

System clock selection

▼ Clock

8000000 Hz External Clock (0 MHz - 64 MHz) Clock Source

▶ FRC Postscaler

▶ PLL Enable

8 MHz Fosc

4 MHz Fosc/2

External Clock

FRC Oscillator 内部振荡器模式

Primary Oscillator XT模式

External Clock EC模式

LPRC Oscillator 低功耗RC

Back up Fast RC Oscillator 备份FRC

• 中速振荡器 (XT 模式)
XT 模式是中等增益、中频模式，以 3.5 MHz 至 10 MHz 的晶振频率工作。

• 高速振荡器 (HS 模式)
HS 模式是高增益、高频模式，以 10 MHz 至 25 MHz 的晶振频率工作。

• 外部时钟源操作 (EC 模式)
如果不使用片上振荡器，EC 模式可以将内部振荡器旁路。器件时钟由外部时钟源 (0.8 MHz 至 60 MHz) 产生，并从 OSC1 引脚输入。

▼ Clock

8000000 Hz FRC Oscillator (8.0 MHz) Clock Source

▶ FRC Postscaler

▼ PLL Enable

8 MHz 1:1 Prescaler

1600 MHz 1:200 Feedback

400 MHz 1:4 Postscaler1

400 MHz 1:1 Postscaler2

200 MHz Fosc

100 MHz Fcy Fosc/2

Clock Output Pin Configuration OSC2 is clock output

▶ Reference Oscillator Output 参考时钟输出

▼ CAN FD Clock Generator

Clock Source No Clock Selected CAN-FD设置

Requested FCAN Frequency 20 MHz

Achievable FCAN Frequency

Enable Clock Switching

Enable Fail-Safe Monitor

▼ Auxiliary Clock

8000000 Hz FRC Clock Source

8 MHz PLL Enable

8 MHz 1:1 Prescaler

1000 MHz 1:125 Feedback

500 MHz 1:2 Postscaler1

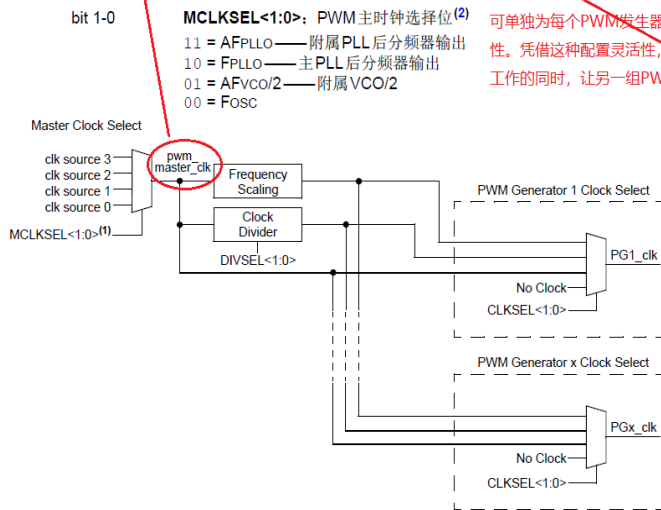
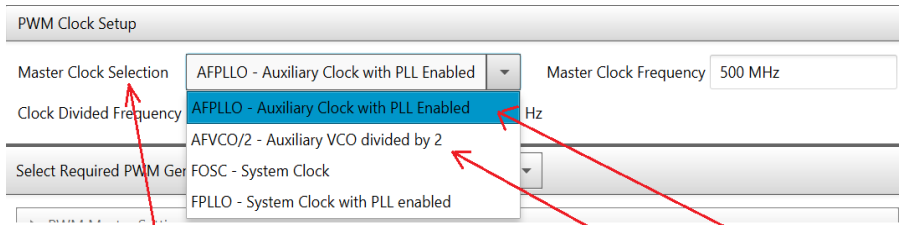
500 MHz APLL 1:1 Postscaler2

▼ VCO & AVCO

400 MHz FVCO/4 VCO Divider

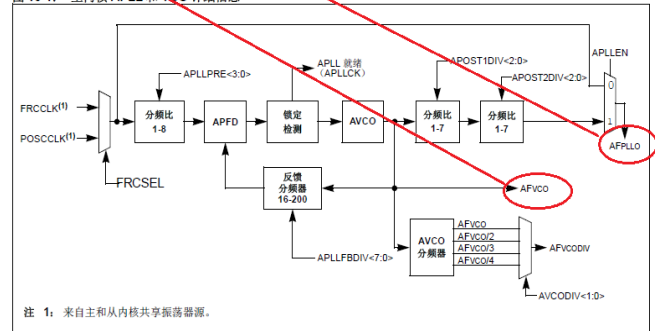
500 MHz FVCO/2 AVCO Divider

Master Clock selection

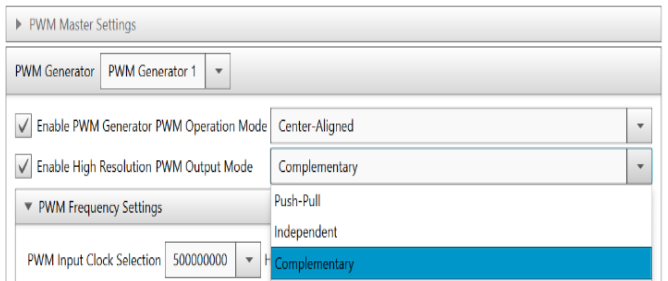
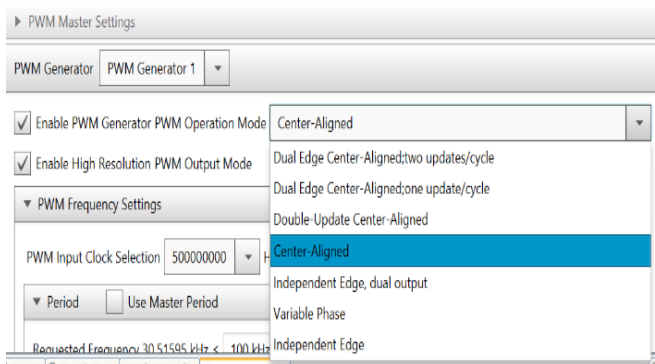


可单独为每个PWM发生器提供时钟，以实现最大的灵活性。凭借这种配置灵活性，可以在一组PWM发生器以高频工作的同时，让另一组PWM发生器以低频工作。

图 10-1: 主内核 APLL 和 VCO 详细信息



PWM Master settings



PWM 模块支持多种 PWM 模式，适用于电机控制和电源设计。支持以下 PWM 模式：

- 独立边沿 PWM 模式（默认） Independent Edge
- 可变相位 PWM 模式 Variable phase
- 独立边沿 PWM 模式，双输出 Independent Edge, dual output
- 中心对齐 PWM 模式 Center-Aligned
- 双重更新中心对齐 PWM 模式 Double-Update Center-Aligned
- 双边沿中心对齐 PWM 模式 Double Edge Center-Aligned

通过设置 MODSEL<2:0>位 (PGxCONL<2:0>) 选择 PWM 模式。在某些模式下，会利用多个时基周期来完成单个 PWM 周期。关于具体的时序信息，请参见前面的公式。

每个 PWM 发生器都可以编程为三种输出模式之一，以控制 PWMxH 和 PWMxL 引脚的行为。输出模式选择与 PWM 模式无关。输出模式包括：

- 互补输出模式（默认） Complementary
- 独立输出模式 Independent
- 推挽输出模式 Push-Pull

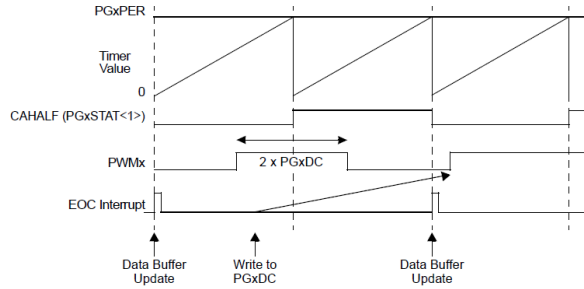
PWM 模式

| | |
|--|--|
| <p>独立边沿 PWM 模式</p> <ul style="list-style-type: none"> • PGxPHASE: 确定定时器计数周期开始后的PWM 信号上升沿位置 • PGxDC: 确定定时器计数周期开始后的PWM 信号下降沿位置 • PGxPER: 确定 PWM 定时器计数周期的结束位置 | |
| <p>可变相位 PWM 模式</p> <p>PGxPHASE: 确定定时器周期开始后的PWM 信号上升沿偏移</p> <ul style="list-style-type: none"> • PGxDC: 确定PWM 脉冲的宽度和 PWM 信号下降沿的位置 • PGxPER: 确定 PWM 定时器计数周期的结束位置 | |
| <p>多相 PWM 示例</p> | |
| <p>双 PWM 模式</p> <p>在高分辨率 (HREN = 1) 下工作时, 双 PWM 模式不能与互补输出模式结合使用。</p> | |

中心对齐 PWM 模式

- PGxDC: 基于两个定时器周期的中心确定 PWM 脉冲的宽度
- PGxPER: 确定 PWM 定时器计数周期的结束位置

仅在第一个定时器周期开始时允许对占空比或周期进行缓冲区更新



双重更新中心对齐 PWM 模式

与中心对齐 PWM 模式基本相同，唯一的区别是每个 PWM 周期会产生两次中断和两次数据缓冲区更新。

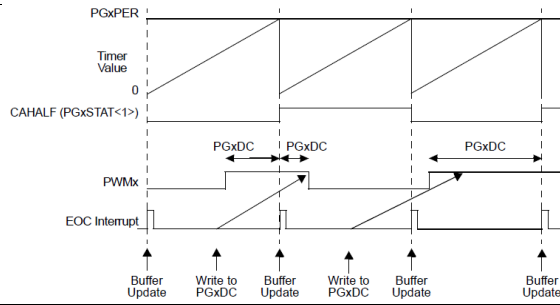


图 4-8. 双边沿中心对齐 PWM 模式 (MODSEL<2:0> = 110)

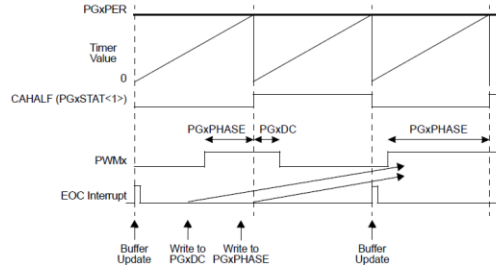
双边沿中心对齐 PWM 模式

与双重更新中心对齐 PWM 模式基本相同，唯一的区别是允许通过不同的数据寄存器控制上升沿和下降沿时间。

PGxPHASE: 基于两个定时器周期的中心确定上升沿时间脉冲;

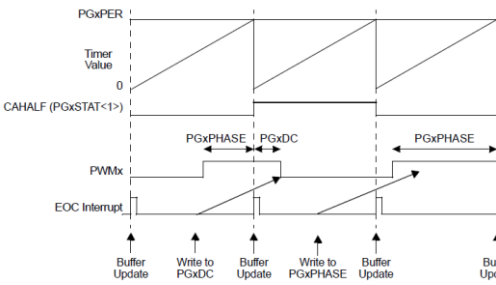
PGxDC: 基于两个定时器周期的中心确定下降沿时间脉冲

在该模式下，单次更新模式和双重更新模式都可以使用。



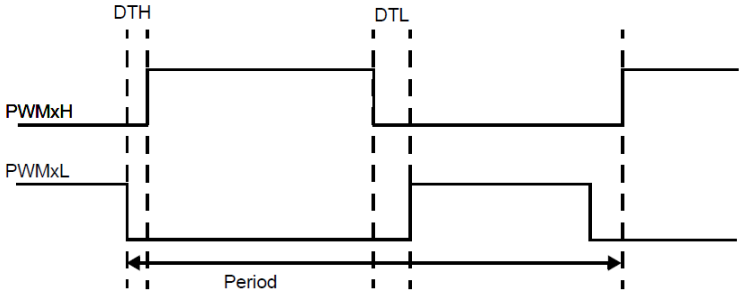
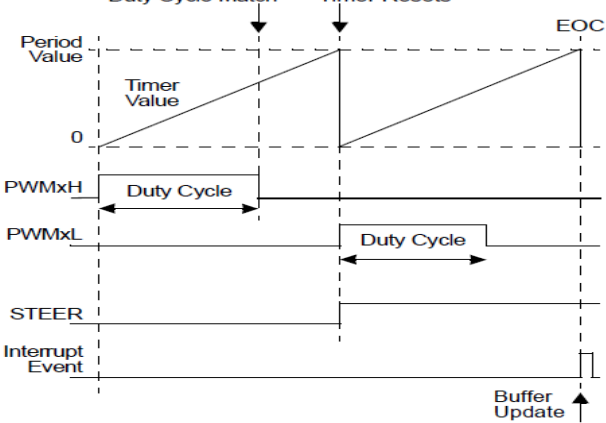
可以在周期内随时写入新的值

图 4-9. 双边沿中心对齐 PWM 模式 (MODSEL<2:0> = 111)



前半周期写入 PGxDC 寄存器，后半周期写入 PGxPHASE 寄存器。

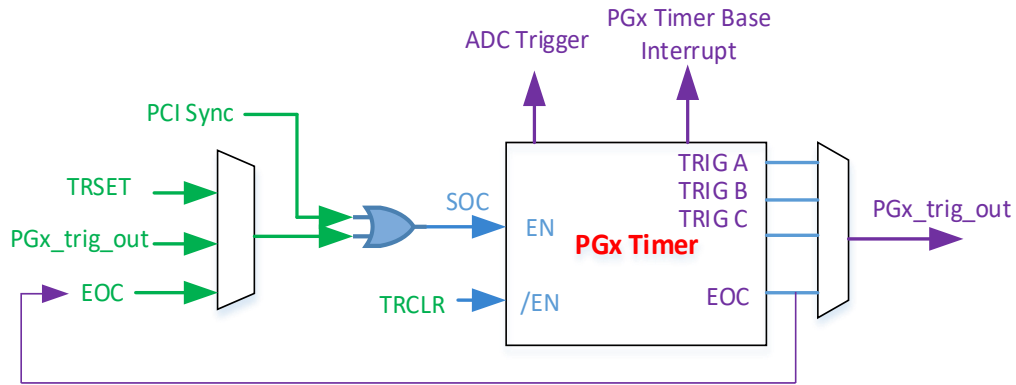
输出模式

| | |
|---------------|--|
| <p>互补输出模式</p> | <p>图 4-10. 插入死区后的 PWMxH/PWMxL 上升沿和下降沿</p>  |
| <p>独立输出模式</p> | <p>在独立输出模式下，PWM 发生器的输出同时连接到 PWMxH 和 PWMxL 引脚。在大多数应用场合下，PWMxH 和 PWMxL 引脚只有一个使能。另一个引脚可供 GPIO 或其他外设功能使用。如果选择双 PWM 模式，PWM 发生器将在 PWMxH 和 PWMxL 上产生独立的脉冲宽度。在独立输出模式下，不使用死区开关延时。PWMxH 和 PWMxL 引脚的状态不受限制；它们可通过外部硬件信号或软件改写的方式进行控制。</p> |
| <p>推挽输出模式</p> |  |

Trigger Control

SOC trigger sources:

- Local SOC
- Other's PG's ECO
- Other PG's Trigger
- Comparator
- CLC
- I/O Pins
- Software trigger
- PCI Sync(Always OR'd with other SOC signal)



▼ Trigger Control

▼ PWM Start of Cycle Control

Start of Cycle Trigger: Self-trigger 选择触发源

Trigger Output Selection: EOC event 选择触发信号

每个PWM发生器必须接收到周期开始 (SOC) 触发信号才能开始PWM周期。触发信号可由PWM发生器自身提供 (自触发), 也可由其他外部触发源提供。

▼ Trigger Control

▼ PWM Start of Cycle Control

Start of Cycle Trigger: Self-trigger

Trigger Output Selection: Trigger output selected by PG4 or PG8

▼ ADC Trigger

ADC Trigger 1: None

ADC Trigger 2: None

任何PWM发生器都可以充当“主”发生器, 为其他PWM发生器提供触发信号。

例如现在是PG1选择SOC信号, 可以选择Self-trigger, 也可以选择由PG2-PG8来产生SOC进行触发;

▼ Trigger Control

▼ PWM Start of Cycle Control

Start of Cycle Trigger: Self-trigger “接收”外部SOC信号

Trigger Output Selection: EOC event “输出”触发信号, 给其他PGx发生器使用

▼ ADC Trigger

ADC Trigger 1: None

ADC Trigger 2: None

使用TRIGx之一作为另一个PWM发生器的SOC触发信号对于实现可变相位PWM非常有用 (PGxTRIGA数据可以频繁改写), 两个不同PWM发生器之间的相位关系可以通过写入PGxTRIGx寄存器的值来控制。

Start of cycle trigger 选项要注意:PG1-PG8 分为两组, PG1-PG4 之间相互触发同步, PG5-PG8 之间相互触发同步, 也就是说 PG1 不能作为 PG5-PG8 的触发源。但是可以通过 PCI 模块进行每个 PG 模块之间的同步。

ADC Trigger

▼ ADC Trigger

ADC Trigger 1 ▼

ADC Trigger 2 ▼

每个PWM发生器可生产两个ADC触发信号：ADC触发信号1和ADC触发信号2。两个触发信号输出对于通常需要在在一个周期内测量两个量的SMPS应用非常有用。

Trigger A Compare 0 us ≤ ≤ 131.07 us

Trigger B Compare 0 us ≤ ≤ 131.07 us

Trigger C Compare 0 us ≤ ≤ 131.07 us

ADC触发信号基于TRIGA, TRIGB和TRIGC比较事件

▼ ADC Trigger

ADC Trigger 1 ▼

ADC Trigger 2 None

Trigger A Compare

Trigger A Comp ≤ 131.07 us

Trigger B Compare

Trigger B Compare 0 us ≤ ≤ 131.07 us

Trigger C Compare

Trigger C Compare 0 us ≤ ≤ 131.07 us

ADC触发信号1输出具有额外的偏移和后分频器。

▼ ADC Trigger

ADC Trigger 1 ▼

ADC Trigger 2 ▼

None

Trigger A Compare

Trigger A Comp ≤ 131.07 us

Trigger B Compare

Trigger B Comp. ≤ 131.07 us

Trigger C Compare

Trigger C Compare 0 us ≤ ≤ 131.07 us

Dead Time and Override

▼ Dead Time and Override

PWM L Dead Time Delay 0 us ≤ 500 ns ≤ 32.766 us **互补模式下的死区时间设置**

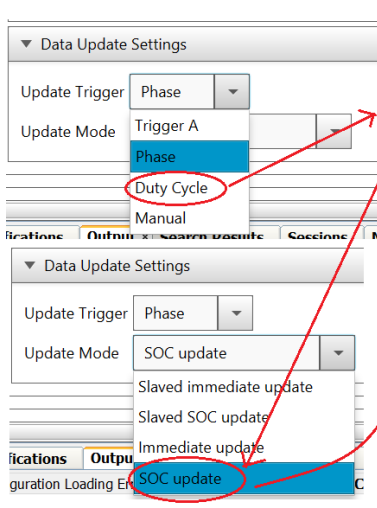
PWM H Dead Time Delay 0 us ≤ 500 ns ≤ 32.766 us

PWM L Override disabled ▼ **disable,Low,High**

PWM H Override disabled ▼

DATA UPDATE

如果要更新多个PWM数据寄存器，则被选作更新触发源的寄存器必须是要写入的最后一个寄存器。例如，要同时更新Duty Cycle, Phase,Period,则需要将最后计算出的结果比如Duty Cycle设置为Update Trigger。



Bit4:3 - UPDTRG[1:0] 更新触发源选择位

| 值 | 说明 |
|----|-------------------------------------|
| 11 | 对 PGxTRIGA 寄存器进行写操作会自动将 UPDREQ 位置 1 |
| 10 | 对 PGxPHASE 寄存器进行写操作会自动将 UPDREQ 位置 1 |
| 01 | 对 PGxDC 寄存器进行写操作会自动将 UPDREQ 位置 1 |
| 00 | 用户必须手动将 UPDREQ 位 (PGxSTAT<3>) 置 1 |

表 4-3. PWM 数据寄存器更新模式

| UPDMOD<2:0> | 模式 | 说明 |
|-------------|----------|---|
| 000 | SOC | 如果 UPDREQ = 1, 则在下一个 PWM 周期开始时更新数据寄存器。发生更新后, UPDATE 状态位将自动清零。(1) |
| 001 | 立即 | UPDREQ = 1 时, 立即或尽快更新数据寄存器。发生更新后, UPDATE 状态位将自动清零。 |
| 010 | 从发生器 SOC | 接收到主更新请求时, 会在下一个周期开始时更新数据寄存器。对于请求的 PWM 发生器, 如果 MSTEN = 1 且 UPDREQ = 1, 则会发送主更新请求。 |
| 011 | 从发生器 立即 | 当接收到主更新请求时, 立即或尽快更新数据寄存器。对于请求的 PWM 发生器, 如果 MSTEN = 1 且 UPDREQ = 1, 则会发送主更新请求。 |

为进行数据寄存器更新，PWM 周期长度可变。PWM 周期可包含一个、两个或四个定时器周期，具体取决于 PWM 工作模式和所选输出模式。请求 SOC 更新后，PWM 数据寄存器可在下一个、下两个或四个定时器周期进行更新（由 PWM 工作模式和输出模式决定，详见 FRM）。下表总结了每次 SOC 更新之间相隔的定时器周期数与 PWM 发生器工作模式和输出模式之间的关系。

| PWM 模式 | 输出模式 | 每个 PWM 周期的定时器周期数 | 每个中断和数据寄存器更新的定时器周期数 |
|------------------|---------|------------------|---------------------|
| 独立边沿、双 PWM 或可变相位 | 独立输出和互补 | 1 | 1 |
| 独立边沿、双 PWM 或可变相位 | 推挽 | 2 | 2 |
| 中心对齐 | 独立输出和互补 | 2 | 2 |
| 中心对齐 | 推挽 | 4 | 4 |
| 双重更新中心对齐或双边沿中心对齐 | 独立输出和互补 | 2 | 1 |
| 双重更新中心对齐或双边沿中心对齐 | 推挽 | 4 | 1 |

更多的功能配置请参考数据手册在寄存器页进行配置。