

Altium Designer 6.0 初学教程

Altium Designer6.0 集成了 FPGA 设计的 PCB 工具。

我们的联系邮件地址是: support@altium.com.cn, [中文网站: www.altium.com.cn](http://www.altium.com.cn),

英文网站: www.altium.com

上海联系电话: 021-68764016

Altium 的演示中心提供很多有用的操作范例。网址是:

<http://www.altium.com/Evaluate/DemoCenter/AltiumDesigneroverview>.

- **Altium Designer** ----- 完整的板级系统设计平台
- **NanoBoard-NB1** ----- 数字逻辑可编程芯片可替换的系统验证平台



- Altium Designer 是业界第一款也是唯一一种完整的板级设计解决方案。Altium Designer 拓宽了板级设计的传统界限，集成了 FPGA 设计功能，从而允许工程师能将系统设计中的 FPGA 与 PCB 设计集成在一起。Altium Designer 以强大的设计输入功能为特点，在 FPGA 和板级设计中，同时支持原理图输入和 HDL 硬件描述输入模式；同时支持基于 VHDL 的设计仿真，混合信号电路仿真、布局前/后信号完整性分析。Altium Designer 的布局布线采用完全规则驱动模式，并且在 PCB 布线中采用了无网格的 Situs™ 拓扑逻辑自动布线功能；同时，将完整的 CAM 输出功能的编辑结合在一起。
- 基于 Altium 新推出的支持 Livedesign 的 DXP 平台，Altium Designer 在你的整个系统设计中充分发挥其卓越的性能。
- 支持多国语言（中文、英文、德文、法文、日文）
- 完全兼容 Protel98/Protel99/Protel99se/ProtelDXP，并提供对 Protel99se 下创建的 DDB 文件导入功能
- 支持 PCB 与 FPGA 引脚的双向同步
- 提供完善的混合信号仿真、布线前后的信号完整性分析功能
- 提供了对高密度封装（如 BGA）的交互布线功能
- NanoBoard NB1 开发板和 板上的逻辑可编程芯片一起组成了可重新配置的系统设计验证平台
- NanoBoard NB1 使用板上 JTAG* 接口与用户的 PC 进行连接，来支持硬件设计的下载和提供 NanoBoard NB1 与用户 PC 之间的通讯
- NanoBoard NB1 是第一款 LiveDesign – enabled 系统设计验证平台
- 允许用户交互式的执行并调试验证基于逻辑可编程芯片的系统设计
- 用于配合 Altium 公司 Altium Designer 的设计方案验证
- NanoBoard NB1 配套子板：
 - Altera® - Cyclone™ (EP1C12-Q240C7)
 - Altera® - Cyclone™ with SRAM (EP1C20F400C8)
 - Altera® - Stratix™ with SRAM (EP1S10-F780C7)

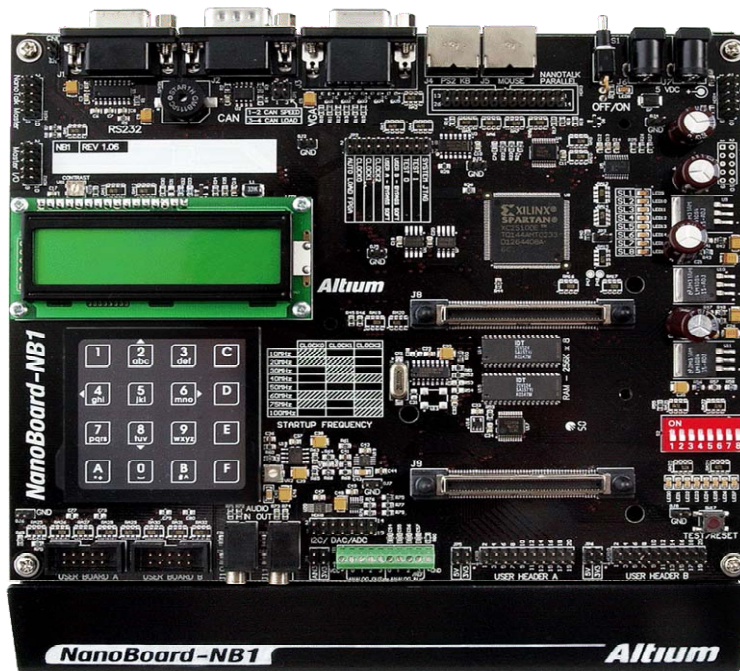
- Altera® - Max® 3000/7000 with PLCC sockets (EPM7032AELC44-10)
- Xilinx® - Spartan®-IIE (XC2S300E-6PQ208C)
- Xilinx® - Spartan®-II (XC2S200-6PQ208C)
- Xilinx® - Spartan®-IIE with SRAM (XC2S600E-6FG456C)
- Xilinx® - Spartan®-3 with SRAM (XC3S1000-4FG456C)
- Xilinx® - Virtex®-II with SRAM (XC2V1000-4FG456C)
- Xilinx® - Virtex®-II Pro with SRAM (XC2VP7-5FG456C)
- Xilinx® - CoolRunner®-II (XC2C256-6PQ208C)
- Xilinx® - CoolRunner® XPLA3 (XCR3256XL-12PQ208C)
- Xilinx® - XC9500XL™ (XC95288XL-6PQ208C)
- Xilinx® - XC9500XV™ (XC95288XV-6PQ208C)
- Actel® - ProASIC Plus™ (APA600-FPQ208)

▪ **PCB 与 FPGA 设计的系统集成**

- Altium Designer 将传统的 PCB 设计与数字逻辑电路设计集成起来，突破了传统板级设计的界限；从而使系统电路设计、验证及 CAM 输出功能结合在一起。Altium Designer 的 PCB 与 FPGA 引脚的双向同步功能，充分诠释了 Altium 公司为主流设计人员提供易学、易用的 EDA 设计工具的一贯理念。

▪ NanoBoard NB1

▪ ○



前言： Protel 软件的最新高端版本 Altium Designer 6.0 介绍

2005 年年底，Protel 软件的原厂商 Altium 公司推出了 Protel 系列的最新高端版本 Altium Designer 6.0。 Altium Designer 6.0，它是完全一体化电子产品开发系统的一个新版本，也是业界第一款也是唯一一种完整的板级设计解决方案。Altium Designer 是业界首例将设计流程、集成化 PCB 设计、可编程器件（如 FPGA）设计和基于处理器设计的嵌入式软件开发功能整合在一起的产品，一种同时进行 PCB 和 FPGA 设计以及嵌入式设计的解决方案，具有将设计方案从概念转变为最终成品所需的全部功能。

这款最新高端版本 Altium Designer 6.除了全面继承包括 99SE, Protel2004 在内的先前一系列版本的功能和优点以外，还增加了许多改进和很多高端功能。Altium Designer 6.0 拓宽了板级设计的传统界限，全面集成了 FPGA 设计功能和 SOPC 设计实现功能，从而允许工程师能将系统设计中的 FPGA 与 PCB 设计以及嵌入式设计集成在一起。

首先：在 PCB 部分，除了 Protel2004 中的多通道复制；实时的、阻抗控制布线功能；SitusTM 自动布线器等新功能以外，Altium Designer 6.0 还着重在：差分对布线，FPGA 器件差分对管脚的动态分配，PCB 和 FPGA 之间的全面集成，从而实现了自动引脚优化和非凡的布线效果。还有 PCB 文件切片，PCB 多个器件集体操作，在 PCB 文件中支持多国语言（中文、英文、德文、法文、日文），任意字体和大小的汉字字符输入，光标跟随在线信息显示功能，光标点可选器件列表，复杂 BGA 器件的多层自动扇出，提供了对高密度封装（如 BGA）的交互布线功能，总线布线功能，器件精确移动，快速铺铜等功能。

交互式编辑、出错查询、布线和可视化功能，从而能更快地实现电路板布局，支持高速电路设计，具有成熟的布线后信号完整性分析工具。Altium Designer 6.0 对差分信号提供系统范围内的支持，可对高速内连的差分信号对进行充分定义、管理和交互式布线。支持包括对在 FPGA 项目内部定义的 LVDS 信号的物理设计进行自动映射。LVDS 是差分信号最通用的标准，广泛应用于可编程器件。Altium Designer 可充分利用当今 FPGA 器件上的扩展 I/O 管脚。

其次，在原理图部分，新增加“灵巧粘帖”可以将一些不同的对象拷贝到原理图当中，比如一些网络标号，一页图纸的 BOM 表，都可以拷贝粘帖到原理图当中。原理图文件切片，多个器件集体操作，文本筐的直接编辑，箭头的添加，器件精确移动，总线走线，自动网标选择等！强大的前端将多层次、多通道的原理图输入、VHDL 开发和功能仿真、布线前后的信号完整性分析功能。在信号仿真部分，提供完善的混合信号仿真，在对 XSPICE 标准的支持之外，还支持对 Pspice 模型和电路的仿真。对 FPGA 设计提供了丰富的 IP 内核，包括各种处理器、存储器、外设、接口、以及虚拟仪器。

第三 在嵌入式设计部分，增强了 JTAG 器件的实时显示功能，增强型基于 FPGA 的逻辑分析仪，可以支持 32 位或 64 位的信号输入。除了现有的多种处理器内核外，还增强了对更多的 32 位微处理器的支持，可以使嵌入式软件设计在软处理器，FPGA 内部嵌入的硬处理器，分立处理器之间无缝的迁移。使用了 Wishbone 开放总线连接器允许在 FPGA 上实现的逻辑模块可以透明的连接到各种处理器上。Altium Designer 6.0 支持 Xilinx MicroBlaze, TSK3000 等 32 位软处理器，PowerPC 405 硬核，并且支持 AMCC 405 和 Sharp BlueStreak ARM7 系列分立的处理器。对每一种处理器都提供完备的开发调试工具。

引入了以 FPGA 为目标的虚拟仪器，当其与 LiveDesign-enabled 硬件平台 NanoBoard 结合时，用户可以快速、交互地实现和调试基于 FPGA 的设计，可以更换各种 FPGA 子板，支持

更多的 FPGA 器件，例如 Cyclone II, Stratix II, ProASIC3, Virtex-4, MAX II 等系列器件，提供了各个厂家近百种类型的 FPGA 子板，包括几十款 FPGA+MCU (CPU)+RAM+SDRAM 的子板。

在器件库方面支持基于 ODBC 和 ADO 的数据库，可以使用 OrCAD 的器件库。完全兼容 Protel98/Protel99/Protel99se/ProtelDXP，并提供对 Protel99se 下创建的 DDB 和库文件导入功能，还增加了 P-CAD, OrCAD PADS PCB 等软件的设计文件和库的导入，AutoCAD 和其它软件的文件导入和导出功能。完整的 ODB++ / Gerber CAM-系统使得用户可以重新设计原有有的设计，弥补设计和制造之间的差异。

Altium Designer 6.0 以强大的设计输入功能为特点，在 FPGA 和板级设计中，同时支持原理图输入和 HDL 硬件描述输入模式；同时支持基于 VHDL 的设计仿真，混合信号电路仿真、布局前/后信号完整性分析。Altium Designer 6.0 的布局布线采用完全规则驱动模式，并且在 PCB 布线中采用了无网格的 Situs™ 拓扑逻辑自动布线功能；同时，将完整的 CAM 输出功能的编辑结合在一起。

Altium Designer 6.0 是两年之内的第六次更新，极大地增强了对高密板设计的支持，可用于高速数字信号设计，提供大量新功能和改进，改善了对复杂多层板卡的管理和导航，可将器件放置在 PCB 板的正反两面，处理高密度封装技术，如高密度引脚数量的球型网格阵列 (BGAs)。

Altium Designer 6.0 中的 Board Insight™ 系统把设计师的鼠标变成了交互式的数据挖掘工具。Board Insight 集成了“警示”显示功能，可毫不费力地浏览和编辑设计中叠放的对象。工程师可以专注于其目前的编辑任务，也可以完全进入目标区域内的任何其他对象，这增加了在密集、多层设计环境中的编辑速度。Altium Designer 6.0 引入了强大的‘逃逸布线’引擎，尝试将每个定义的焊盘通过布线刚好引到 BGA 边界，这令对密集 BGA 类型封装的布线变的非常简单。显著的节省了设计时间，设计师无需手动就可以完成在一大堆焊盘间将线连接这些器件的内部管脚。

Altium Designer 6.0 极大减少了带有大量管脚的器件封装在高密度板卡上设计的时间，简化了复杂板卡的设计导航功能，设计师可以有效处理高速差分信号，尤其对大规模可编程器件上的大量 LVDS 资源。Altium Designer 6.0 充分利用可得到的板卡空间和现代封装技术，以更有效的设计流程和更低的制造成本缩短上市时间。

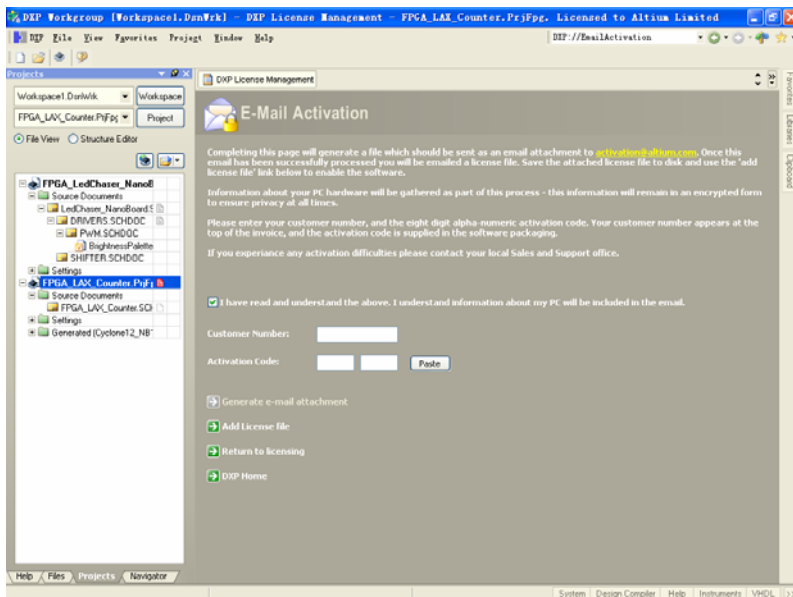
目录

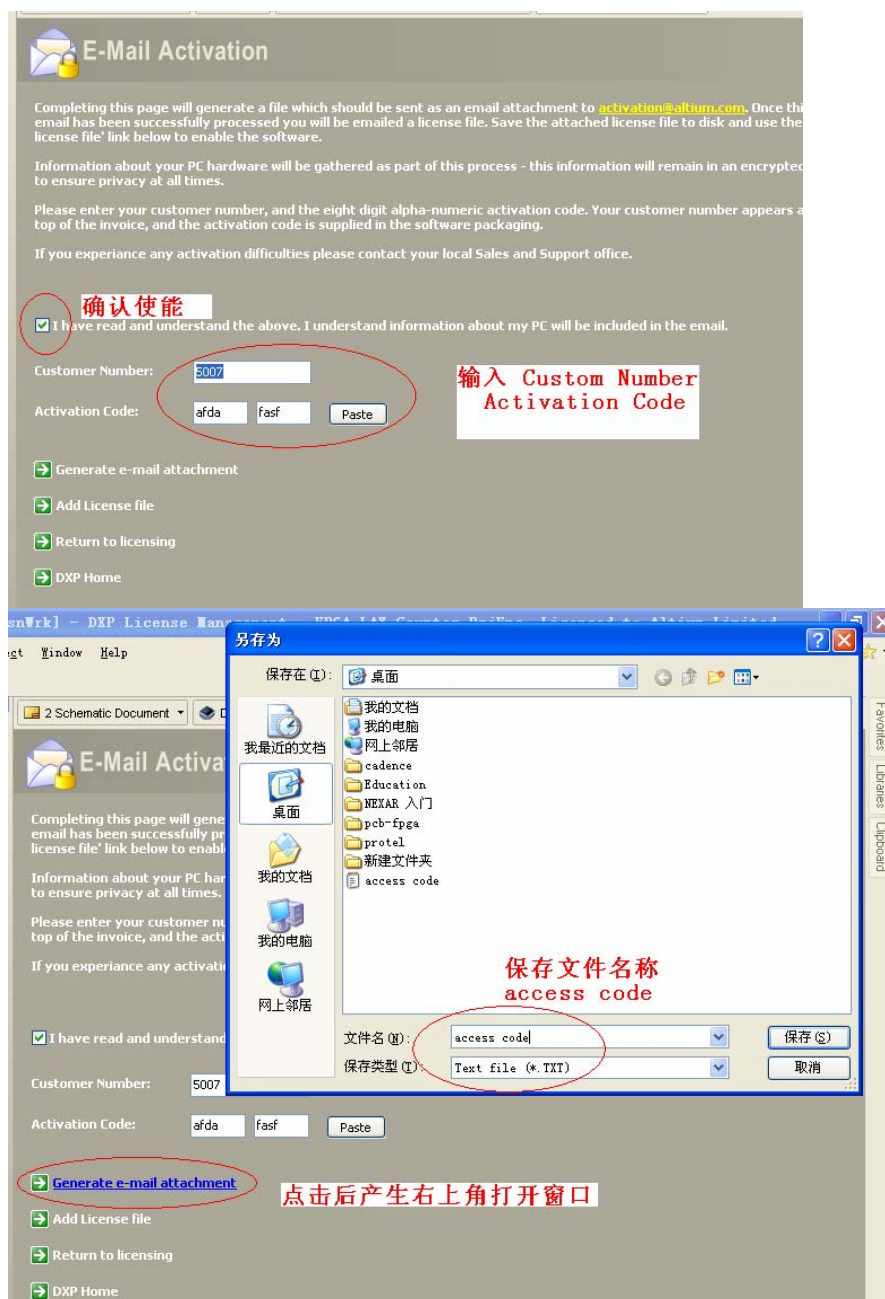
- 1 安装说明及如何激活并申请添加 license
- 2 在 Altium Designer 中进行原理图和 PCB 的设计
- 3 在 Altium Designer 中进行 PCB 的完备的 CAM 输出。
4. 1 在 Altium Designer 中进行混合信号仿真
4. 2 在 Altium Designer 中进行信号完整性分析
- 5 在 Altium Designer 中进行包含 FPGA 设计和仿真。
- 6 在 Altium Designer 中进行包含 FPGA 设计并下载到 NanoBoard 板进行调试。
- 7 在 Altium Designer 中进行包含 FPGA 的原理图和 PCB 设计
- 8 FPGA 与原理图和 PCB 双向优化同步与更新（自动管脚交换）
- 9 在 Altium Designer 对 PCB 进行形状，板层设置及内电层进行分割
- 10 Altium Designer 中多通道功能在原理图及 PCB 中的使用技巧
- 11 如何从原理图及 PCB 中生成网表并且实现网表的加载
- 12 如何生成一个集成库并且实现对库的管理
- 13 在 Altium Designer 中进行 FPGA 设计综合布线及生成下载文件。
- 14 如何在 Altium Designer 中运用查找编辑集体整批修改功能
- 15 如何在 Altium Designer 6 中快速的设计一块 PCB
- 16 如何在 Altium Designer 6 中快速进行差分对走线
- 17 如何在 Altium Designer 6 的 PCB 中添加各种不同字体大小的汉字字符
- 18 如何在 Altium Designer 中进行设置
- 19 在 Altium Designer 中 PCB 中进行规则设置及类的使用说明
- 20 如何把 FPGA 设计转移到用户板中去以及调试所需要注意的问题
- 21 下载电缆的结构及使用方法和需要注意的问题

1 安装说明及如何激活并申请添加 license

我们提供的安装光盘可以在每台电脑上安装 Altium Designer 软件。我们为每个单位或公司产生一个用户号，我们为每台电脑产生一个激活码，用户在软件的 license 界面里输入用户号和激活码，软件将自动产生本机的一个二进制信息文件，用这个信息文件通过电子邮件到我们的服务器上换取本机的 license。有了本机的 license，就可以使用 Altium Designer 软件了。具体的操作请参照《操作步骤》文档。**注意：每个电脑用一个激活码，每个激活码只能用在一台电脑上，不能再用在别的电脑上。**

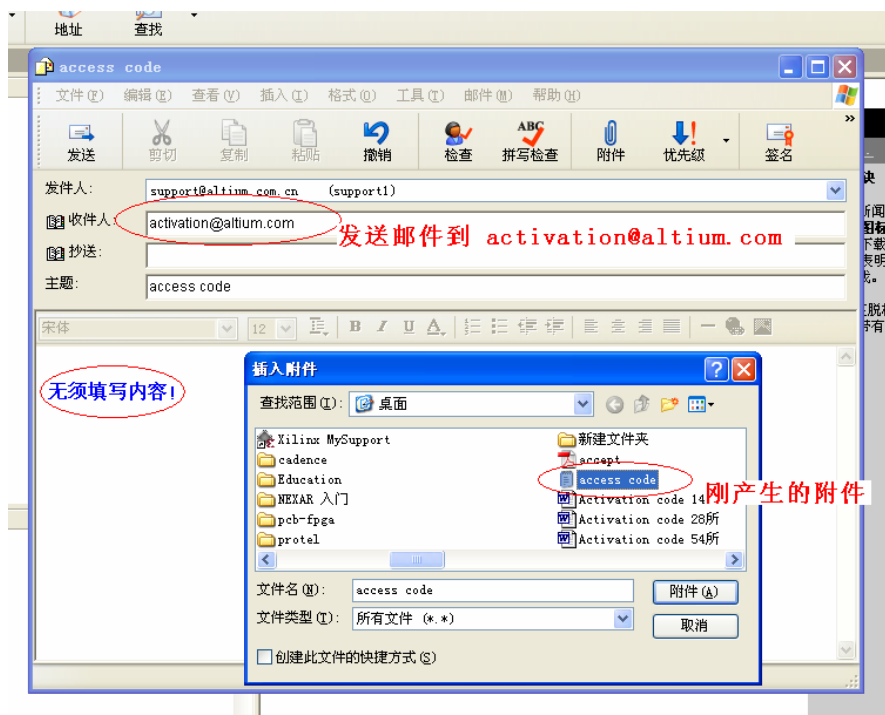
也可以按照以下步骤操作：1：左键点击左上角 DXP\Licensing 进入 license 界面





输入客户号码和激活码，产生本机的信息文件。保存这个本机信息文件。

通过邮件，把这个本机信息文件发作为附件发到我们的激活邮箱，不久，我们的邮箱就会回给你邮件，并附带这个本机的 License。



最后，等待接收来自 Altium 公司的 License file 文档，然后将文档添加到 DXP2004 平台上。
然后，通过在 license 界面里的 Add License file 按钮,指定添加 License file 文档。

2 在 Altium Designer 中进行原理图和 PCB 的设计

在 DXP 主页面下（打开软件时缺省设置就出现 DXP 主页，如果不是，可以通过左键点击 View\Home 来打开 DXP 主页），用鼠标左键点击 File\New\Project\PCB Project,左边的工程资源管理器中就出现了一个名为 PCB_Project1.PrjPCB 的 PCB 工程,现在可以左键点击 File\Save Project as 来改变项目的保存路径和项目名称。

在项目名称上右键点击，在引出的菜单中选择 Add new to Project\Schematic,这样，在当前的工程当中添加了一个新的原理图文件 Sheet.schDoc，原理图文件上右键点击，在引出的菜单中选择 Save as 来改变原理图名称和保存路径。

现在，我们已经在 PCB 工程中添加了一张空白的原理图了。

在原理图的下方偏右的边框上，左键点击 System\Libraries,打开库文件，在库文件的面板里左键点击 Libraries 可以对当前使用的库文件进行添加，移出和排序。

接下来，要从元器件库中拖出我们需要的元器件，用线把它们了连起来，完成原理图设计。

从元器件库选中需要的元器件，按 Place 或 拖出我们需要的元器件，左键点击 Place\Bus 和 Place\Wire ,用线或总线把它们连起来，并且给所有的元器件加上相应的标号（Designator），保存完成原理图设计。（要注意的是，如果你还要进行 PCB 设计，你选的器件就必须要有相应的 Footprint 封装。如果你还要进行功能仿真，你选的器件就必须要有相应的 Simulation 模型文件。如果你还要进行信号完整性分析，你选的器件就必须要有相应的 Signal integrity 模型文件。）

完成原理图设计后,左键点击原理图名称，在引出的菜单中左键点击 Compile Document xxx.SCHDOC ,(xxx 是用户自己定义的文件名)，对这个原理图文件进行编译，如果有什么错误

信息就会自动启动消息窗口（Message），来提示用户那里有什么样的错误。经检查没有错误后，保存原理图。

在项目名称上右键点击，在引出的菜单中选择 Add new to Project\PCB,这样，在当前的工程当中添加了一个新的 PCB 文件 PCB1.PcbDoc,在 PCB 文件上右键点击，在引出的菜单中选择 Save as 来改变 PCB 文件名称和保存路径。

左键点击 Project\Complie PCB Project xxx..PrjPCB (xxx 是用户自己定义的工程名) 编译整个 PCB 工程。

左键双击 PCB 文件在工程资源管理器中的图标，打开这个 PCB 文件，左键点击 Design\Board Shape\ Redefine Board Shape 命令，这时，就会出现绿色的背景，光标上就出现一个十字交叉，移动鼠标，这个十字交叉就会跟着移动，用这个光标在背景上画出一个封闭的曲线，这个曲线内部部分就是定义的 PCB 板。

左键点击 PCB 编辑器下方用来选择当前工作层的图标，选中 Keep-Out Layer，在当前层上，选择 Place\Line 命令，在 Keep-Out Layer 层上画一个边框，作为我们的布局布线的外围约束边框，保存文件和工程。

左键点击 Project\Complie PCB Project xxx..PrjPCB (xxx 是用户自己定义的工程名) 编译整个 PCB 工程，保存工程。

在当前的 PCB 编辑器环境下，左键点击 Design\Import Changes From xxx..PrjPCB,会自动跳出来 Engineering Change Order 对话框，列出了对 PCB 文件加载网表的一些具体操作。添加的有：Componet Class(器件类), Components (器件) ,Nets (网络连接), Rooms (空间)。

器件类是以每张原理子图划分为一个器件类，并且为器件类定义一个空间。

确认没有什么错误就左键依次点击 Validate Changes , Execute Changes 两个按钮，对话框的右边就会冒出来绿色的图标来表示所执行的加载项目是正常的。点击 Close 关闭对话框。

现在，我们已经把网表加载到这个 PCB 文件中了。

在当前的 PCB 编辑器环境下，连续按下键盘上的 PgDn(下页) 按钮，缩小 PCB 画面，就可以发现，元器件已被加载到当前的 PCB 文件中，并且每个元器件类中的器件自动放在一个空间中，移动这个空间，把这个空间中的器件一起移动 PCB 板上，放到合适的位置，这个空间的大小可以修改，也可以删除这个空间。

接下来，我们逐一对器件位置进行调整。我们可以采取用鼠标左键在器件上按住不放，移动鼠标来拖动这个器件到合适的位置。

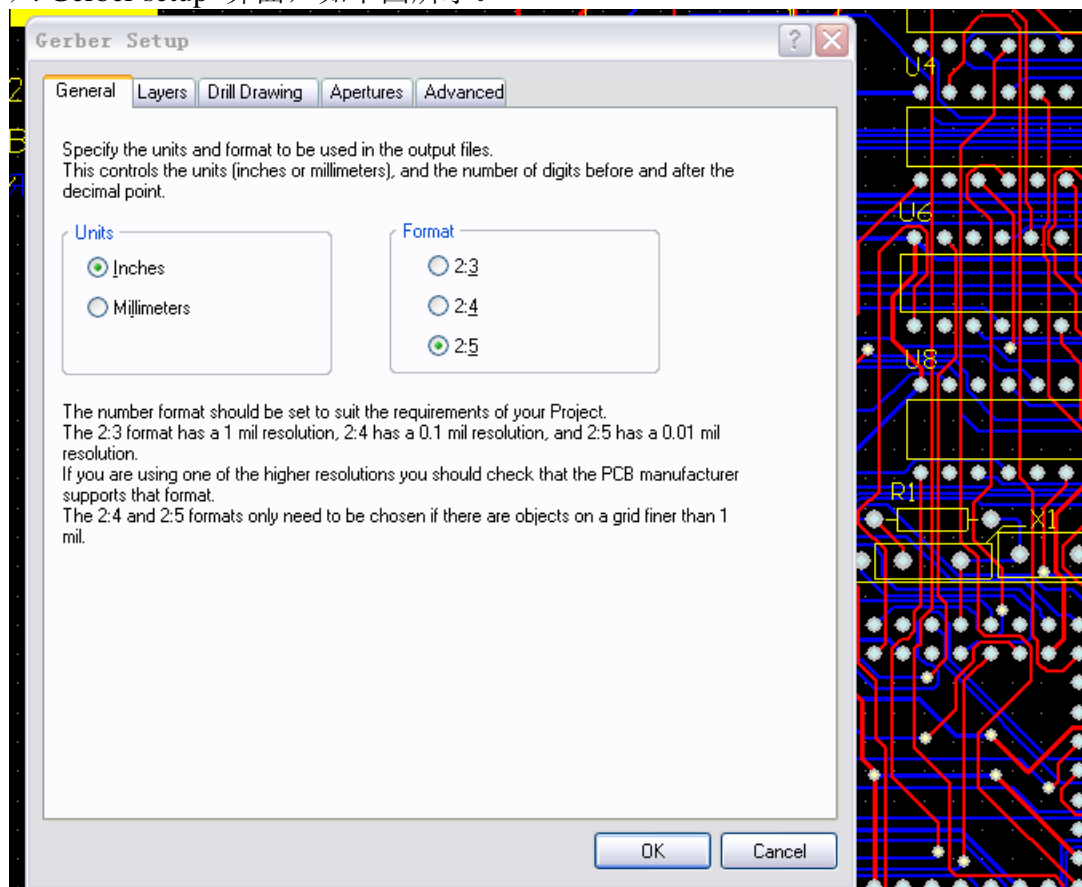
左键点击 Place\ Interactive Routing ,这时，光标上就出现一个十字交叉，移动鼠标，这个十字交叉就会跟着移动。这时，左键点击某个管脚，直线移动鼠标，就可以布出线来，连续左键点击，就可布出拐弯的曲线来，直到另一个管脚，双击左键，完成一条网络布线。接下来，我们可以对继续对器件进行布局布线。完成 PCB 设计。

在当前的 PCB 编辑器环境下，左键点击 Tools\Design Rule Checker,在冒出来的对话框上左键点击 Run Design Rule Check 按钮，可以输出一个当前文件的违反规则报告，详细列出在那个位置违反了那个规则。

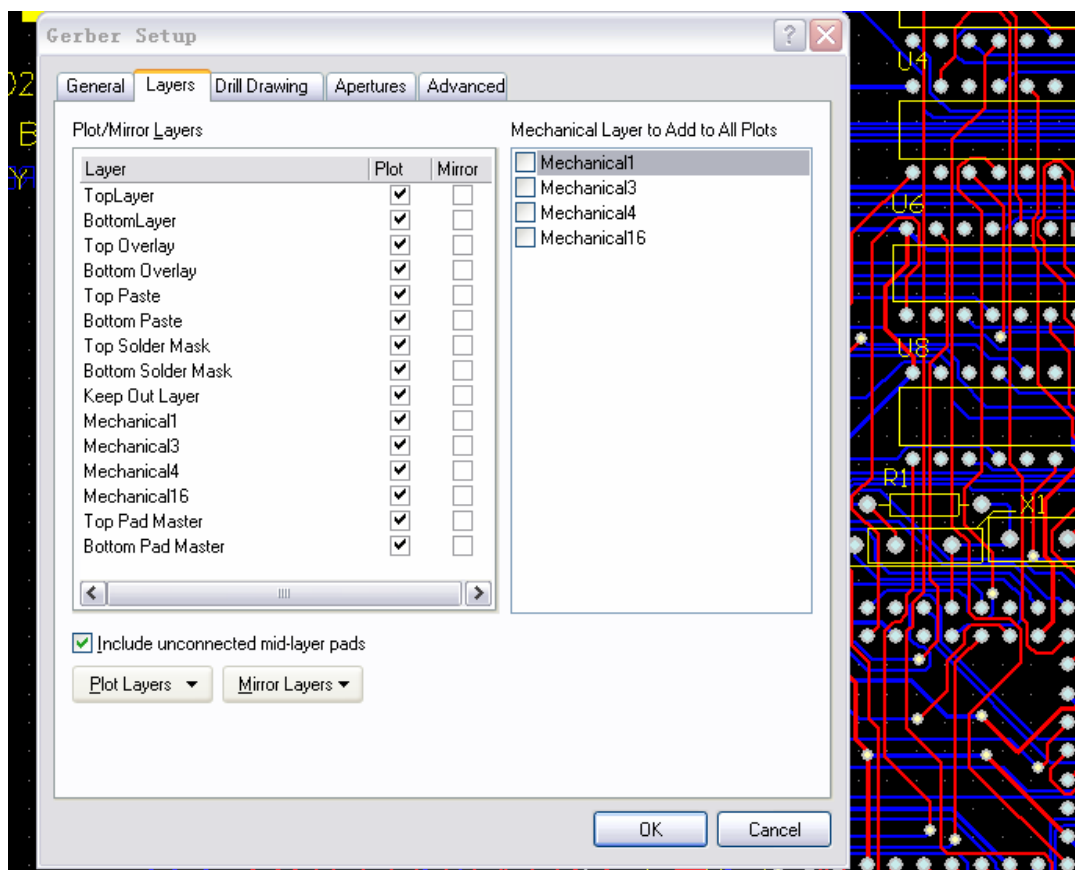
3 在 Altium Designer 中进行 PCB 的 CAM 输出

首先，我们可以输出的 gerber 文件，操作如下：

1: 画好 PCB 后，在 PCB 的文件环境中，左键点击 File\Fabrication Outputs\Gerber Files,进入 Gerber setup 界面，如下图所示。



在 General 里面，Unit 选择 Inches，Format 选择 2:5 ,尺寸精度比较高，当然，也要和加工厂协商确定精度。



在 Layers 里面，选中 Include unconnected mid-layer pads,在 Plot Layers 下拉菜单里面选择 Used On, 要检查一下，不要丢掉层； 在 Mirror Layers 下拉菜单里面选择 All Off ,右边的结构层全不选上。

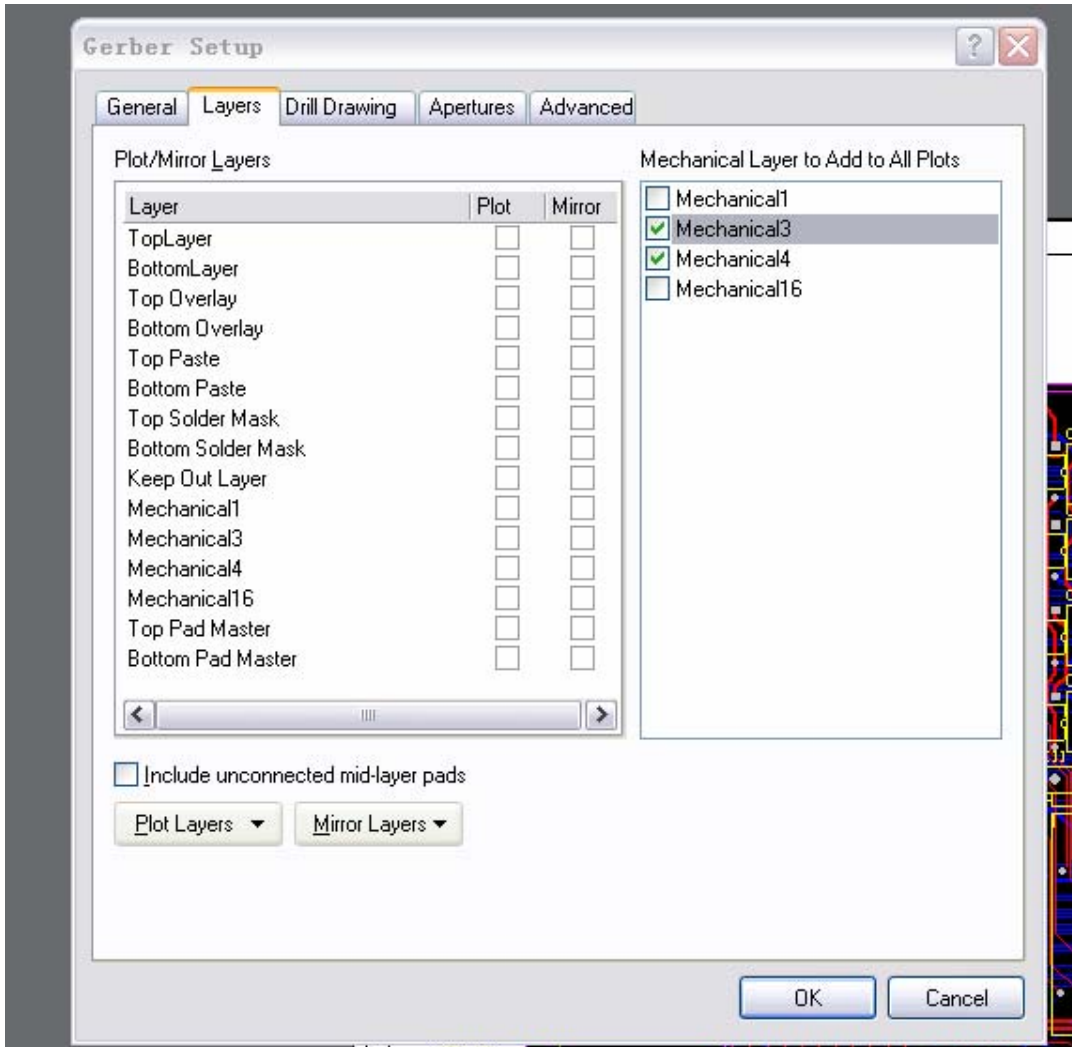
在 Apertures 里面，选中 Embedded apertures(RS274X) (在方格里打勾)

在 Advanced 里面，在 Leading/Trailing Zeroes 区域，选中 Suppress leading zeroes(这个选项可以和加工厂商商量的)

左键点击 OK 按键，进行第一次输出。

2: 在 PCB 的文件环境中，再次进入 Gerber setup 界面，如下图所示

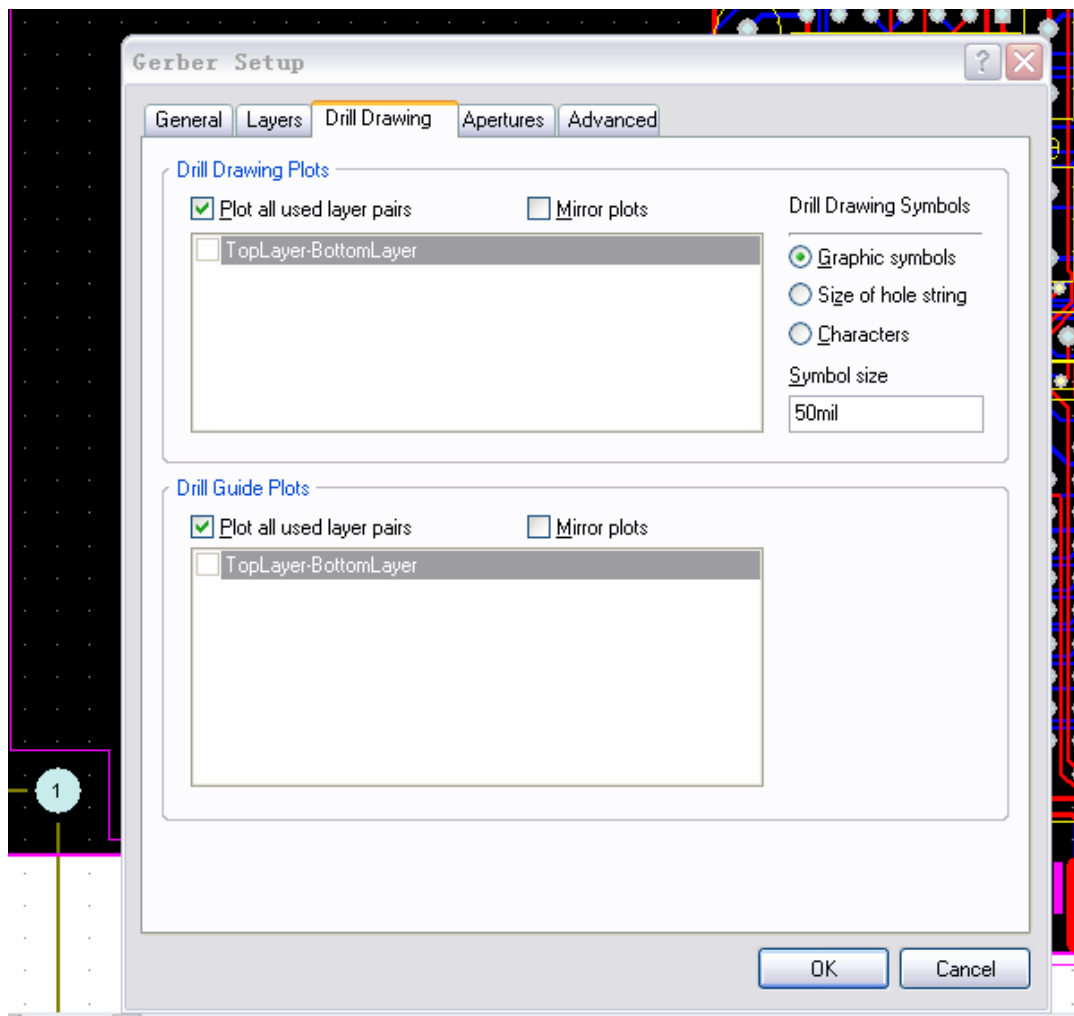
在 Layers 里面，在左边的 Plot/Mirror Layers 全不选中， Include unconnected mid-layer pads 也不选中，选中有关板子外框的机械层。



在 Drill Drawing 里面，选择你要导出的层对。一般选择 plot all used layer pairs

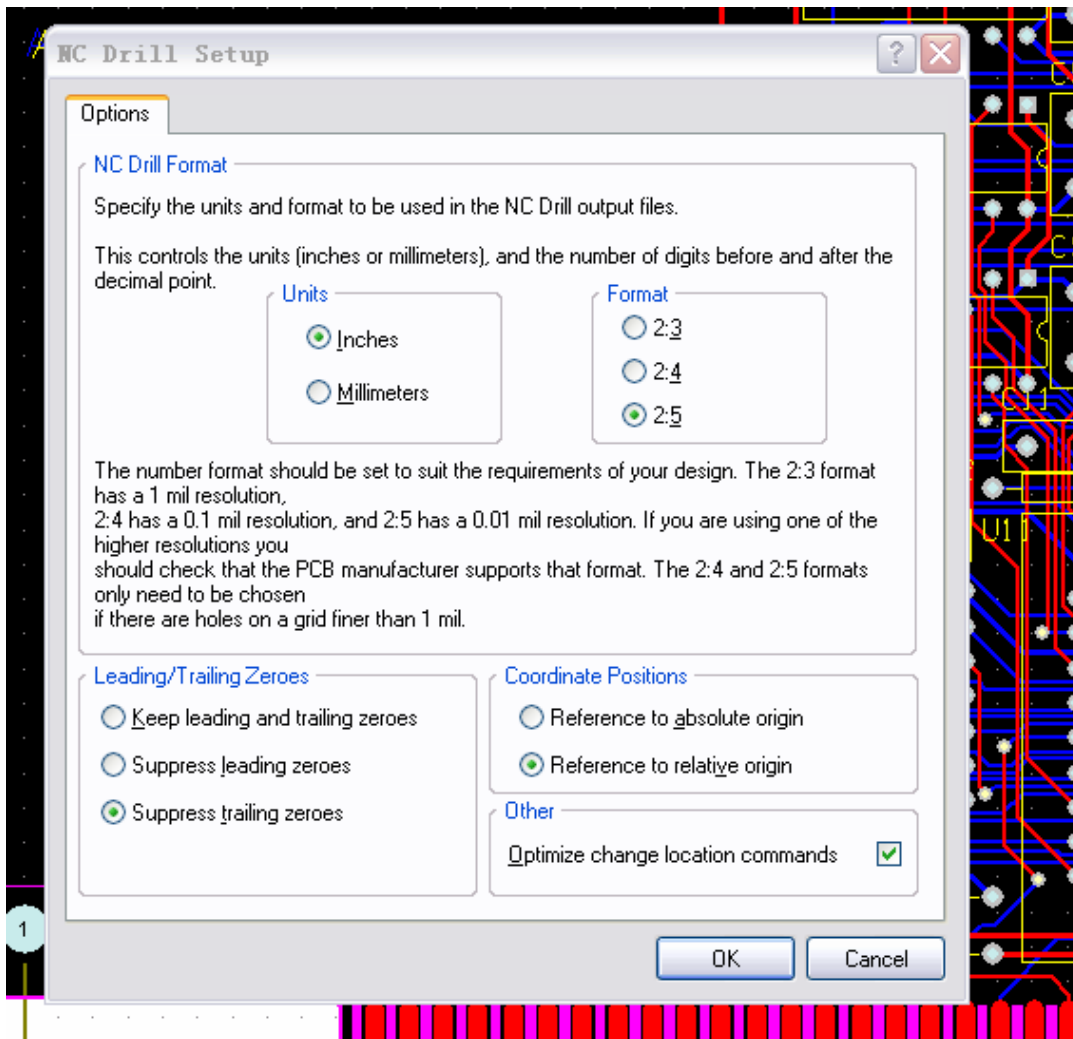
Mirror plots 不用选中，如下图所示。

(Drill DrawingPlots 和 Drill Guide Plots 两个区里面设置要一致，)



左键点击 OK 按钮，进行第二次输出。

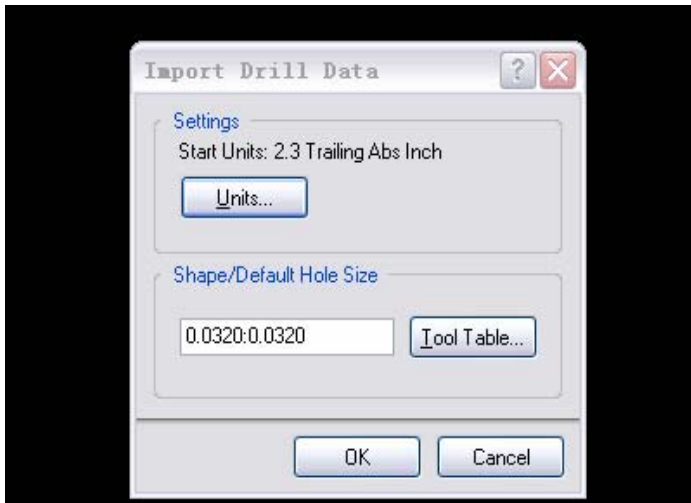
3: 在 PCB 的文件环境中，左键点击 File\Fabrication Outputs\NC Drill Files,进入 NC Drill Setup 界面，如下图所示，



Unit 选择 Inches, Format 选择 2:5 ,尺寸精度比较高, 当然, 也要和加工厂协商确定精度。

在 Leading/Trailing Zeroes 区域, 选中 Suppress leading zeroes(这个选项可以和加工厂商量的), 和 Gerber Setup 的 Advanced 里面保持一致,其他默认选项不变。

左键点击 OK 按钮, 进行第三次输出。



在冒出来的 Import Drill Data 界面里左键点击 OK 按键，进行输出。
所有的.Cam 文件都不用保存的。

把当前工程目录下的 Out 文件夹中的所有的文件进行打包压缩，送到加 PCB 工厂进行加工。

4. 1 在 Altium Designer 中进行混合信号功能仿真

说明：

- 1 混合信号仿真是在原理图的环境下进行功能仿真的。如果要对一个原理图进行功能仿真，原理图中所有的每个器件就必须要有相应的 Simulation 模型文件，否则不能进行仿真。
- 2 用仿真模型的器件完成整个原理图设计，设计时与普通原理图的设计方法一致。
- 3 除了要有电源网络和地网络，还要加上激励信号，就可以进行原理图的功能仿真。
- 4 左键点击 View\Toolbars\Mixed Sim, 选中 Mixed Sim 就会显示一个混合信号功能仿真图标。可以设置，执行混合信号功能仿真和产生 Xspice 网表文件。
- 5 可以设置参数扫描的起始值和参数扫描变化的步长。

操作实例：

在 DXP 主页面下（打开软件时缺省设置就出现 DXP 主页，如果不是，可以通过左键点击 View\Home 来打开 DXP 主页），用鼠标左键点击 File\New\Project\PCB Project,左边的工程资源管理器中就出现了一个名为 PCB_Project1.PrjPCB 的 PCB 工程,现在可以左键点击 File\Save Project as 来改变项目的保存路径和项目名称。

在项目名称上右键点击，在引处的菜单中选择 Add new to Project\Schematic,这样，在当前的工程当中添加了一个新的原理图文件 Sheet.schDoc，原理图文件上右键点击，在引处的菜单中选择 Save as 来改变原理图名称和保存路径。

现在，我们已经在 PCB 工程中添加了一张空白的原理图了。

在原理图的下方偏右的边框上，左键点击 System\Libraries,打开库文件，在库文件的面板里左键点击 Libraries 可以对当前使用的库文件进行添加，移出和排序。

接下来，要从元器件库中拖出我们需要的元器件，用线把它们了连起来，完成原理图设计。因为要进行功能仿真，所选的器件就必须要有相应的 Simulation 模型文件。

从元器件库选中需要的元器件，按 Place 或 拖出我们需要的元器件，左键点击 Place\Bus 和 Plaec\Wire ,用线或总线把它们连起来，并且给所有的元器件加上相应的标号（Designator），保存完成原理图设计。

完成原理图设计后,左键点击原理图名称，在引出的菜单中左键点击 Compile Document xxx.SCHDOC ,(xxx 是用户自己定义的文件名)，对这个原理图文件进行编译，如果有什么错误信息就会自动启动消息窗口（Message），来提示用户那里有什么样的错误。经检查没有错误后，保存原理图。

在当前的原理图环境中，左键点击 Design\ Simulate\Mixed Sim 则引出一个 Analyses Setup 对话框，在左边， 在 Enable 下面方格中打勾要仿真的种类。

在 General setup 选择要观察的信号（图 1），在每种仿真里面进行参数设置（图 2）。左键点击 Analyses Setup 对话框的 OK 按键， 启动功能仿真。 这时软件就会自动执行仿真，并将每种仿真结果分别以不同的波形的方式显示出来（图 3）。

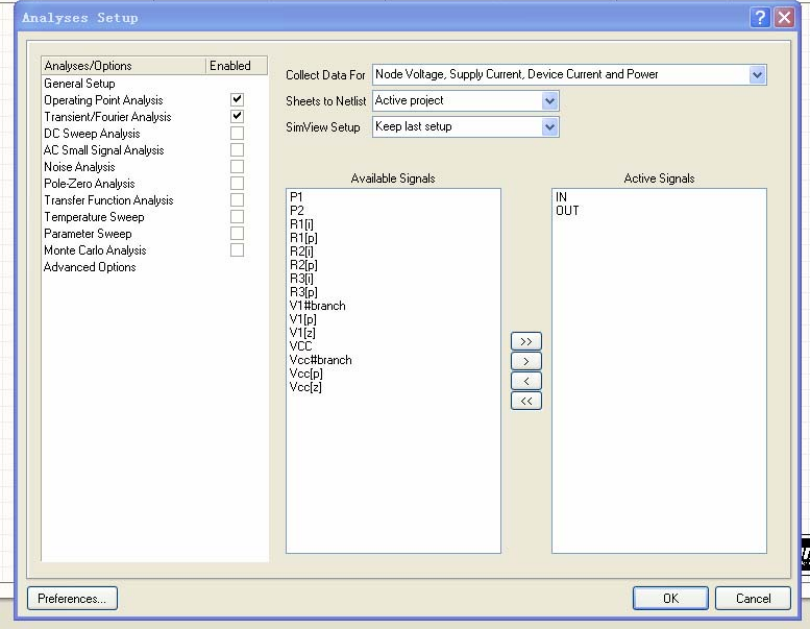


图 1

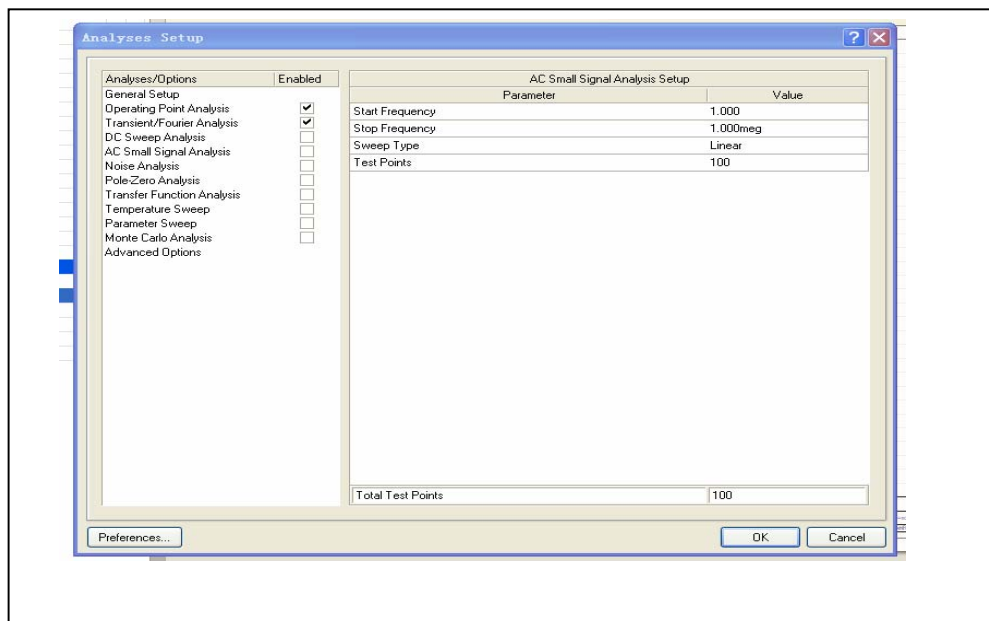


图 2

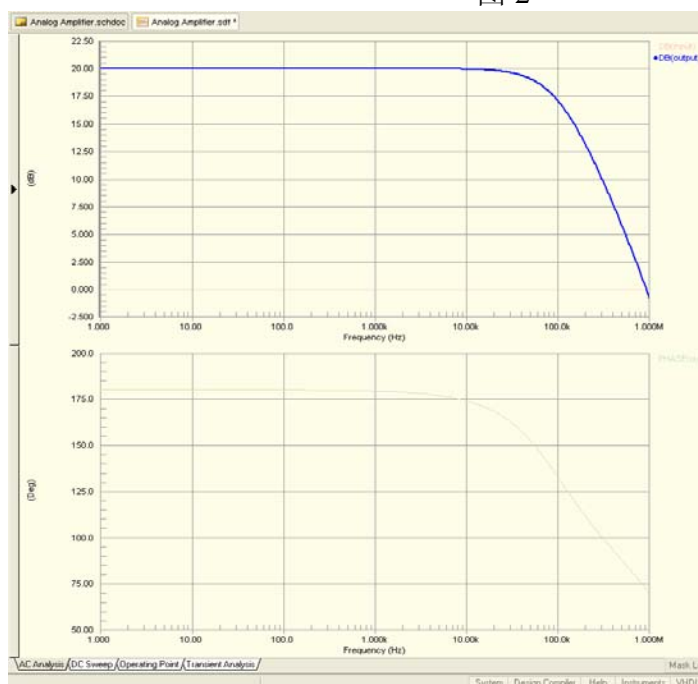


图 3

4.2 在 Altium Designer 中进行信号完整性分析

在 DXP 设计环境下,您既可以在原理图又可以在 PCB 编辑器内实现信号完整性分析,并且能以波形的方式在图形界面下给出反射和串扰的分析结果。

- **Altium Designer** 具有布局前和布局后信号完整性分析功能,采用成熟的传输线计算方法,以及 I/O 缓冲宏模型进行仿真。信号完整性分析器能够产生准确的仿真结果。
- 布局前的信号完整性分析允许用户在原理图环境下,对电路潜在的信号完整性问

题进行分析。

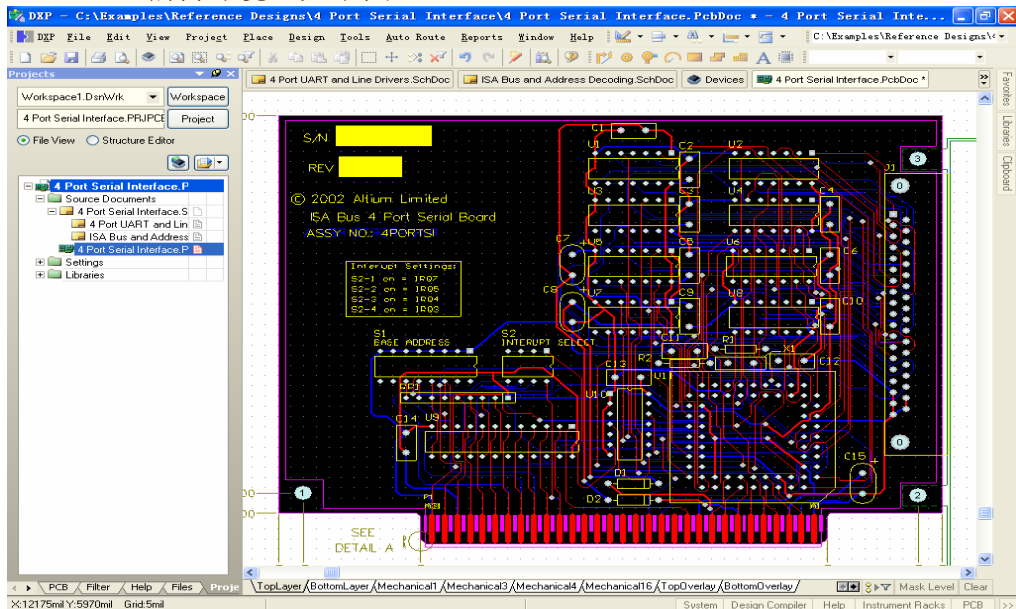
■ 更全面的信号完整性分析是在 PCB 环境下完成的，它不仅能对反射和串扰以图形的方式进行分析，而且还能利用规则检查发现信号完整性问题，**Altium Designer** 能提供一些有效的终端选项，来帮助您选择最好的解决方案。

下面介绍如何使用 **Altium Designer** 进行信号完整性分析：

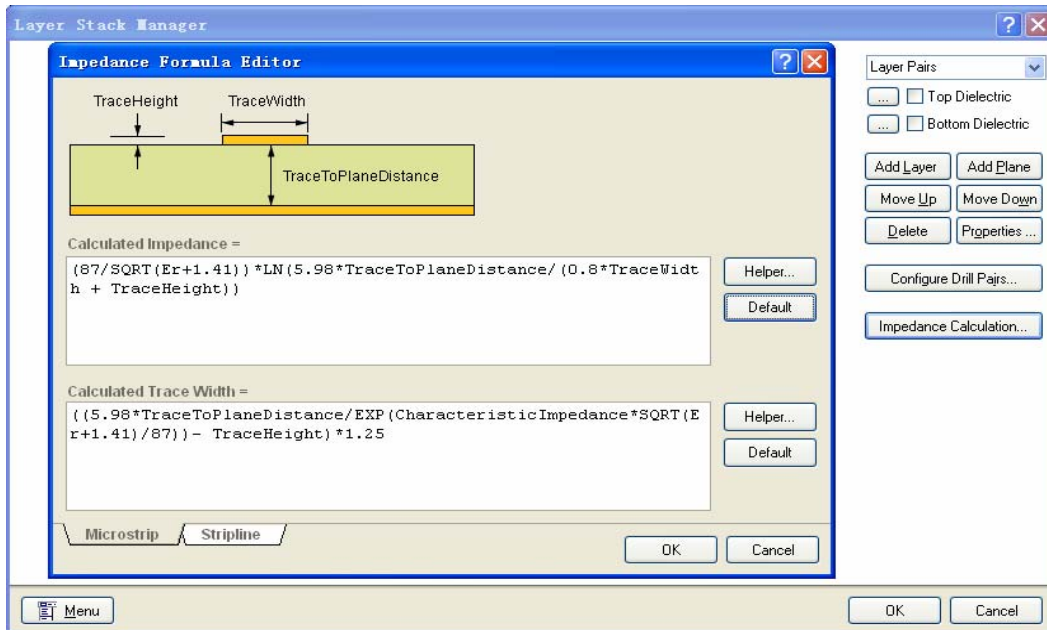
- 不论是在 PCB 或是在原理图环境下，进行信号完整性分析，设计文件必须在工程当中，如果设计文件是作为 **Free Document** 出现的，则不能运行信号完整性分析。
- 本文主要介绍在 PCB 编辑环境下进行信号完整性分析。
- 为了得到精确的结果，在运行信号完整性分析之前需要完成以下步骤：
- 1、电路中需要至少一块集成电路，因为集成电路的管脚可以作为激励源输出到被分析的网络上。像电阻、电容、电感等被动元件，如果没有源的驱动，是无法给出仿真结果的。
- 2、针对每个元件的信号完整性模型必须正确。
- 3、在规则中必须设定电源网络和地网络，具体操作见本文。
- 4、设定激励源。
- 5、用于 PCB 的层堆栈必须设置正确，电源平面必须连续，分割电源平面将无法得到正确分析结果，另外，要正确设置所有层的厚度。

实例演示：

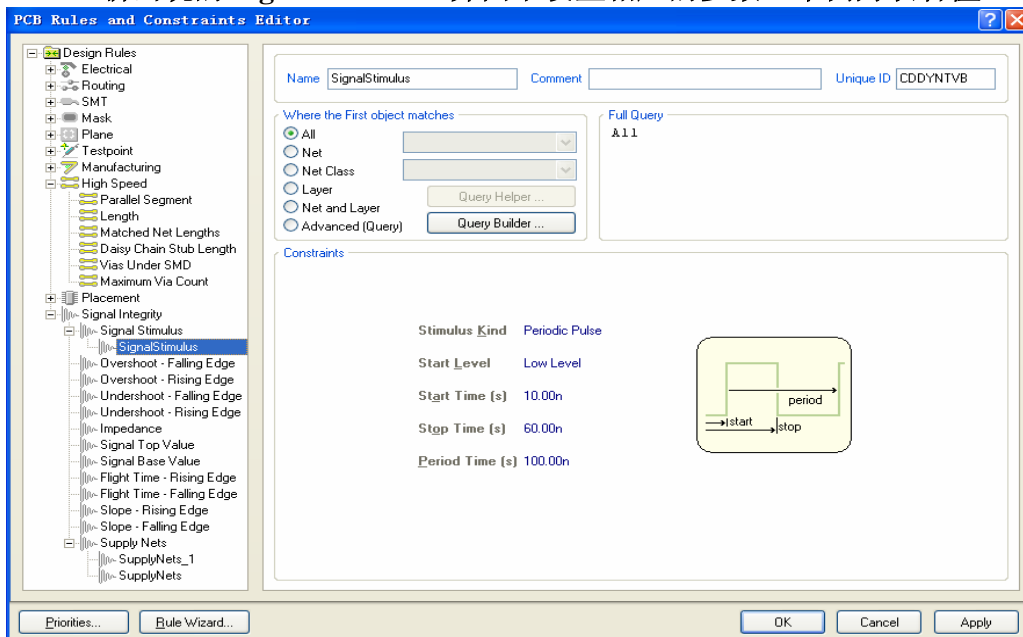
一、在 **Altium Designer** 设计环境下，选择 **File\Open Project**, 选择安装目录下 **Altium2004\Examples\Reference Design\4 Port Serial Interface\4 Port Serial Interface.Prjpcb**, 进入 PCB 编辑环境，如下图。



选择 **Design/Layer Stack Manager...**，配置好相应的层后，选择 **Impedance Calculation...**，配置板材的相应参数如下图 3 所示，本例中为缺省值。



- 选择 Design/Rules 选项，在 Signal Integrity 一栏设置相应的参数，如下图 4 所示。首先设置 Signal Stimulus（信号激励），右键点击 Signal Stimulus，选择 New rule，在新出现的 Signal Stimulus 界面下设置相应的参数，本例为缺省值。



- 接下来设置电源和地网络，右键点击 Supply Net，选择 New Rule，在新出现的 Supplynets 界面下，将 GND 网络的 Voltage 设置为 0 如图 5 所示，按相同方法再添加 Rule，将 VCC 网络的 Voltage 设置为 5。其余的参数按实际需要进行设置。最后点击 OK 推出。

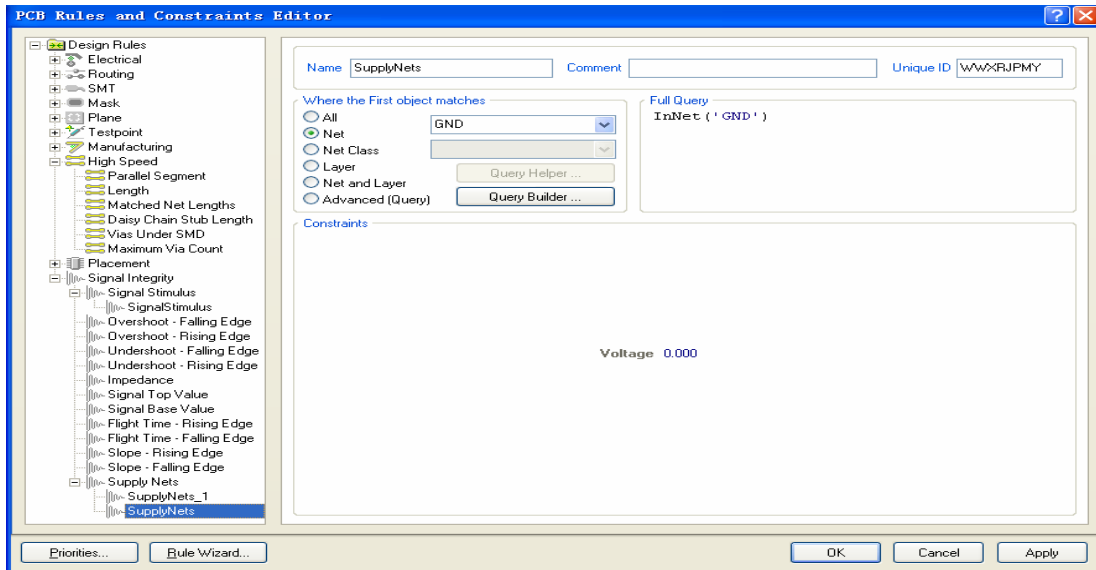


图 5

- 选择 Tools\Signal Integrity..., 在弹出的窗口中(图 6)选择 Model Assignments..., 就会进入模型配置的界面 (图 7)。

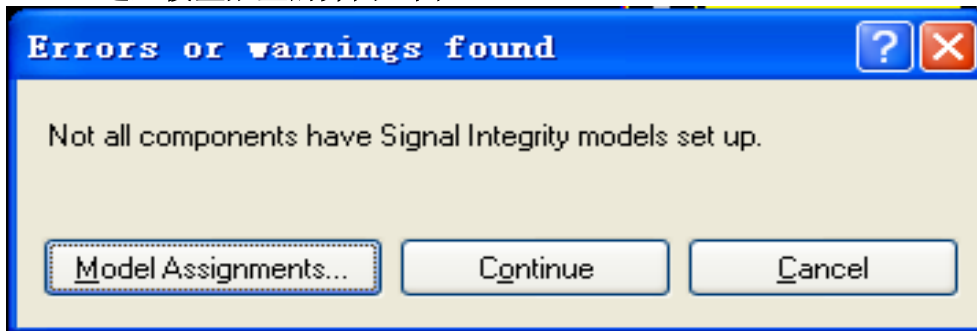


图 6

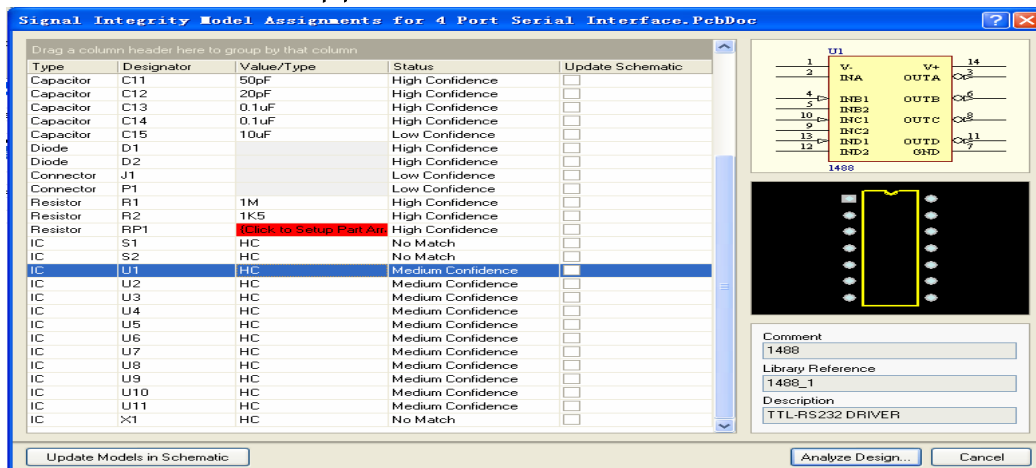


图 7

- 在图 7 所示的模型配置界面下, 能够看到每个器件所对应的信号完整性模型, 并且每个器件都有相应的状态与之对应, 关于这些状态的解释见图 8:

状态	解释
No Match	表示目前没有找到与该器件相关联的信号完整性分析模型，需要人为的去指定。
Low Confidence	系统自动为该器件指定了一种模型，但置信度较低
Medium Confidence	系统自动为该器件指定了一种模型，置信度中等
High Confidence	系统自动为该器件指定了一种模型，置信度较高
Model found	于器件相关联的模型已经存在
User Modified	用户修改了模型的有关参数
Model added	用户创建了新的模型

图 8

- 修改器件模型的步骤如下：
- 1、双击需要修改模型的器件（U1）的 Status 部分，弹出相应的窗口如图 9
- 2、在 Type 选项中选择器件的类型，
- 3、在 Technology 选项中选择相应的驱动类型，
- 4、也可以从外部导入与器件相关联的 IBIS 模型，点击 Import IBIS，选择从器件厂商那里得到的 IBIS 模型即可。
- 5、模型设置完成后选择 OK，退出。

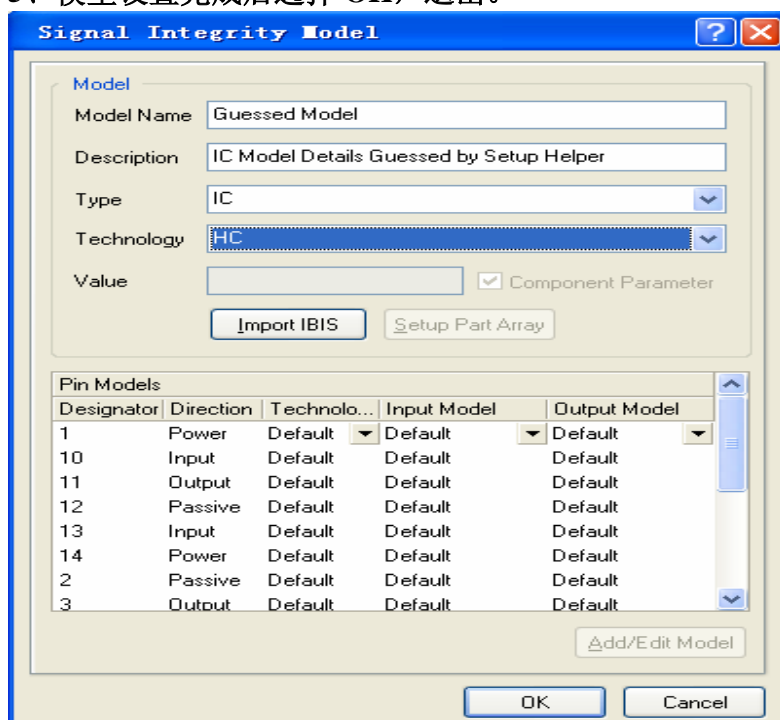


图 9

- 二、在图 7 所示的窗口，选择左下角的 Update Models in Schematic，将修改后的模型

更新到原理图中。

- 三、在图 7 所示的窗口，选择右下角的 **Analyze Design...**，在弹出的窗口中（图 10）保留缺省值，然后点击 **Analyze Design** 选项，系统开始进行分析。
- 四、图 11 为分析后的网络状态窗口，通过此窗口中左侧部分可以看到网络是否通过了相应的规则，如过冲幅度等，通过右侧的设置，可以以图形的方式显示过冲和串扰结果。
- 选择左侧其中一个网络 **TXB**，右键点击，在下拉菜单中选择 **Details...**，在弹出的如图 12 所示的窗口中可以看到针对此网络分析的详细信息。

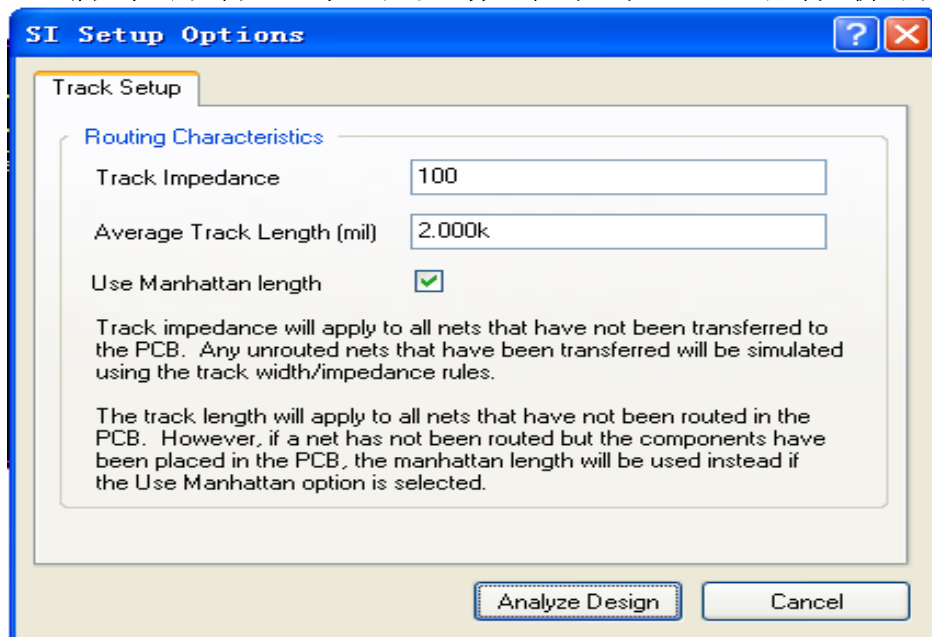


图 10

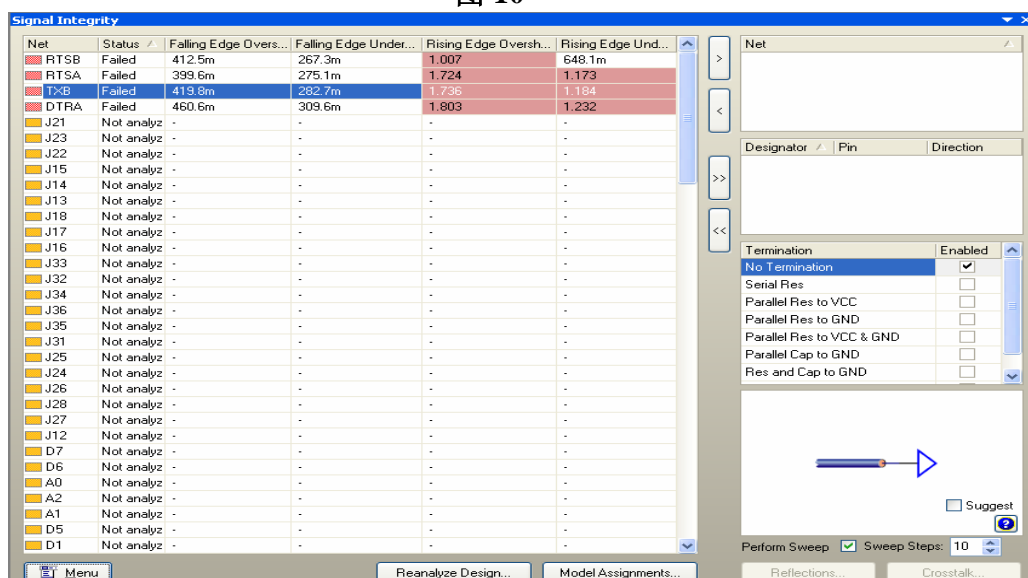


图 11

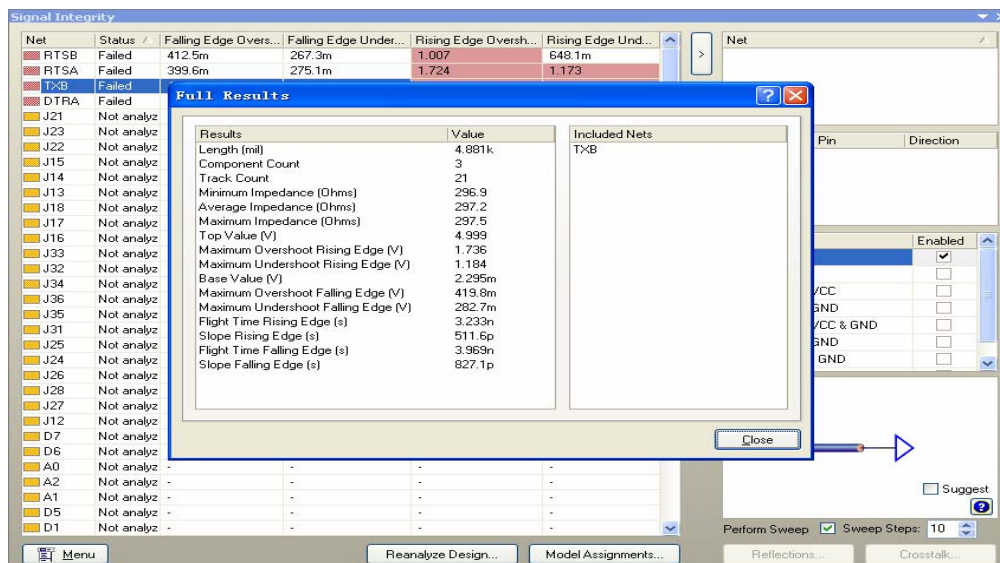


图 12

- 五、下面以图形的方式进行反射分析，双击需要分析的网络 TXB，将其导入到窗口的右侧如图 13 所示。

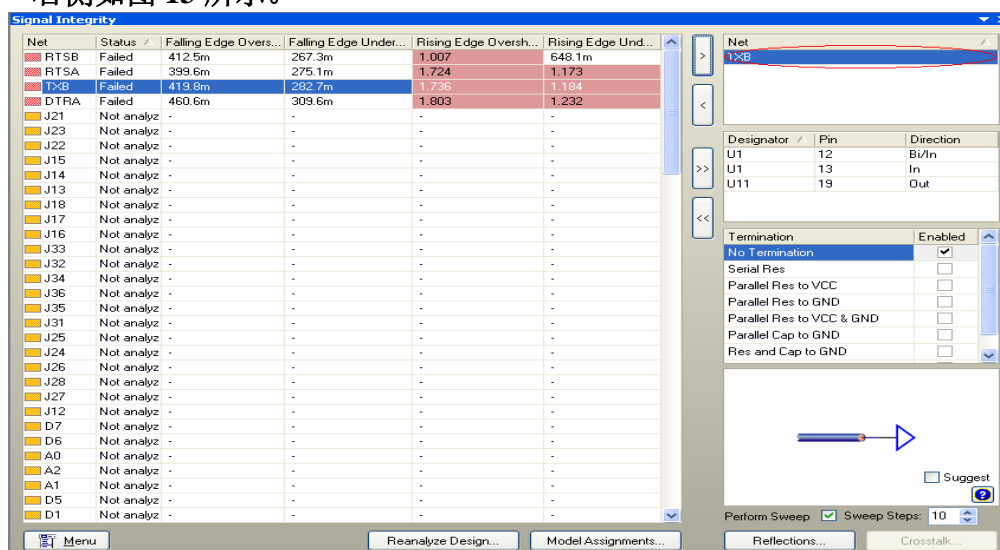


图 13

- 选择窗 13 口右下角的 **Reflections...**，反射分析的波形结果将会显示出来如图 14

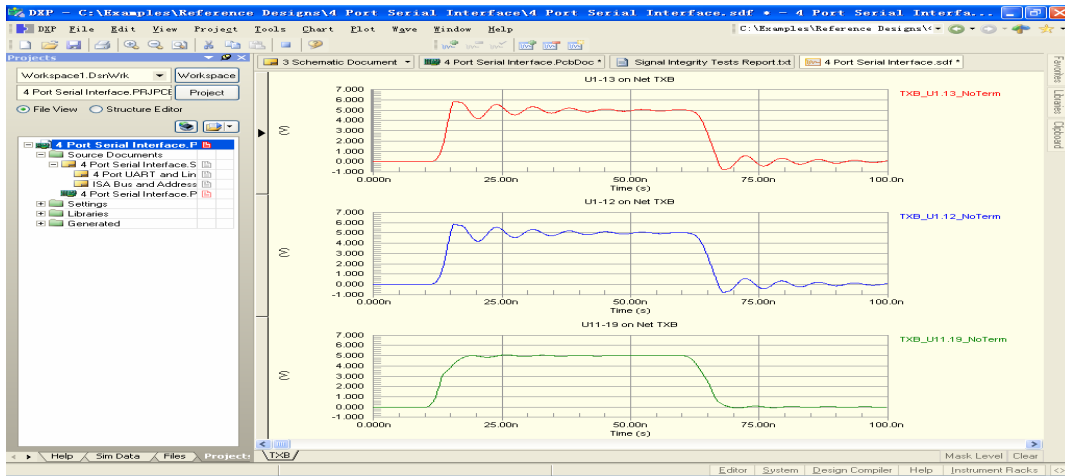


图 14

- 右键点击 TXB_U1.13_NoTerm,如图 15 在弹出的列表中选择 Cursor A 和 Cursor B,然后可以利用它们来测量确切的参数。测量结果在 Sim Data 窗口如图 16 所示。

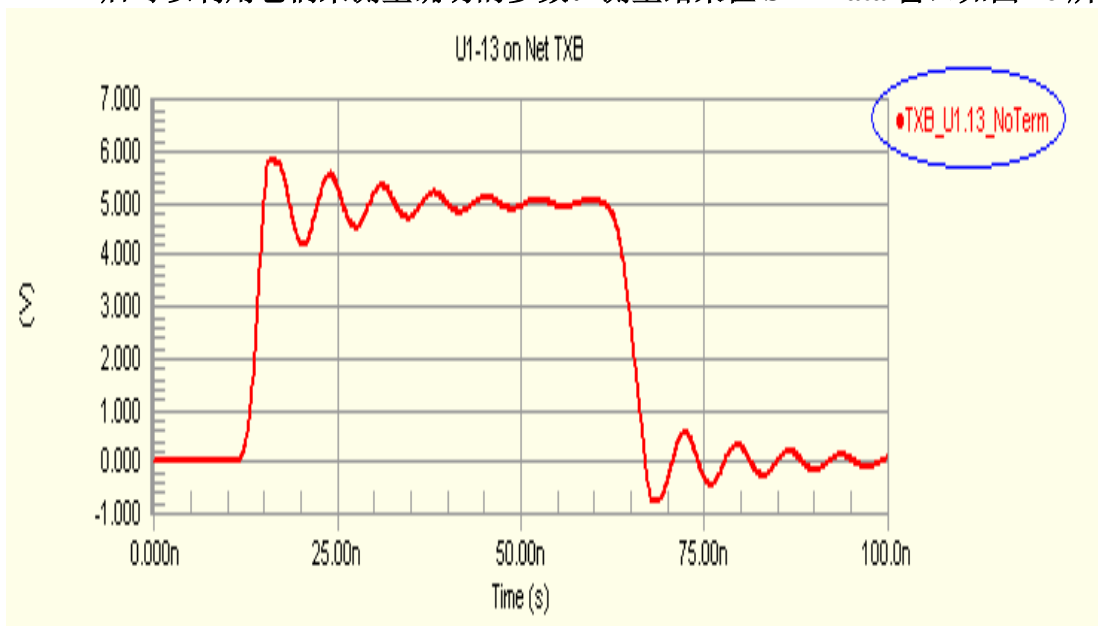


图 15

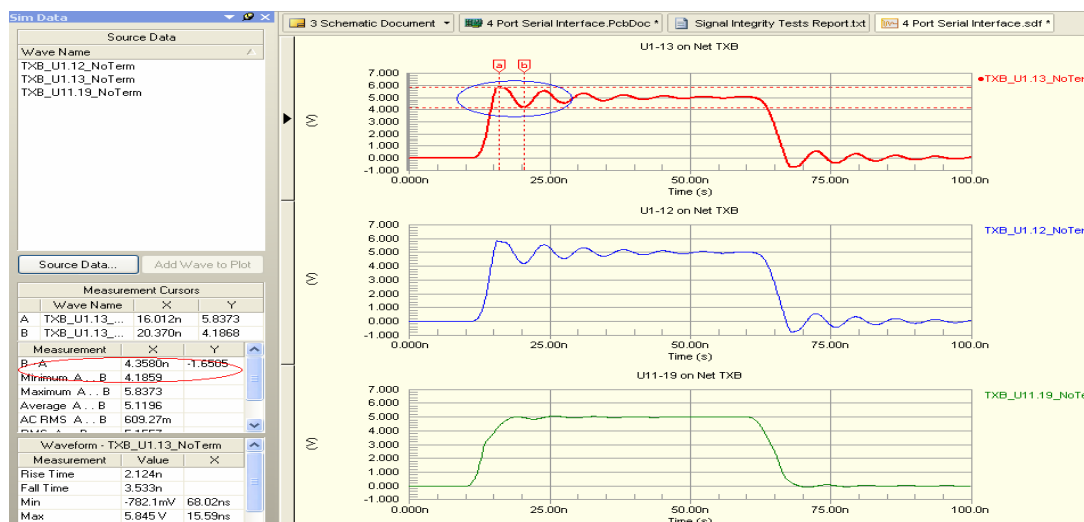


图 16

六、返回到图 11 所示的界面下，窗口右侧给出了几种端接的策略来减小反射所带来的影响，选择 **Serial Res** 如图 18 所示，将最小值和最大值分别设置为 25 和 125，选中 **Perform Sweep** 选项，在 **Sweep steps** 选项中填入 10，然后，选择 **Reflections...**，将会得到如图 19 所示的分析波形。选择一个满足需求的波形，能够看到此波形所对应的阻值如图 17，最后根据此阻值选择一个比较合适的电阻串接在 PCB 中相应的网络上即可。

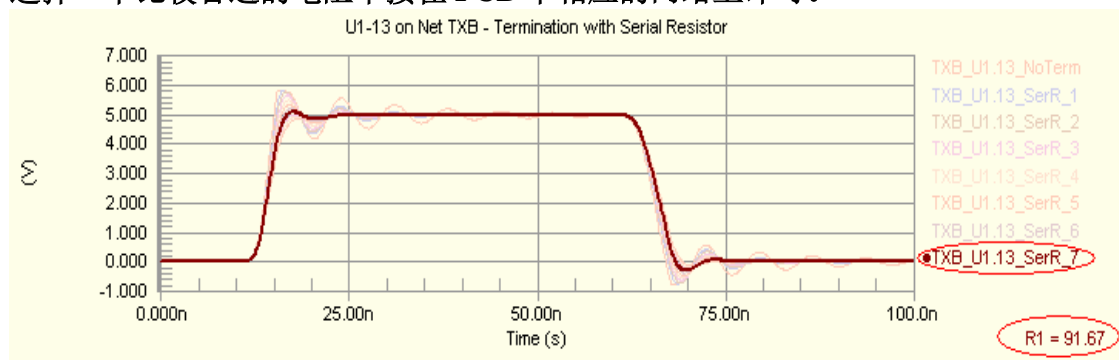


图 17

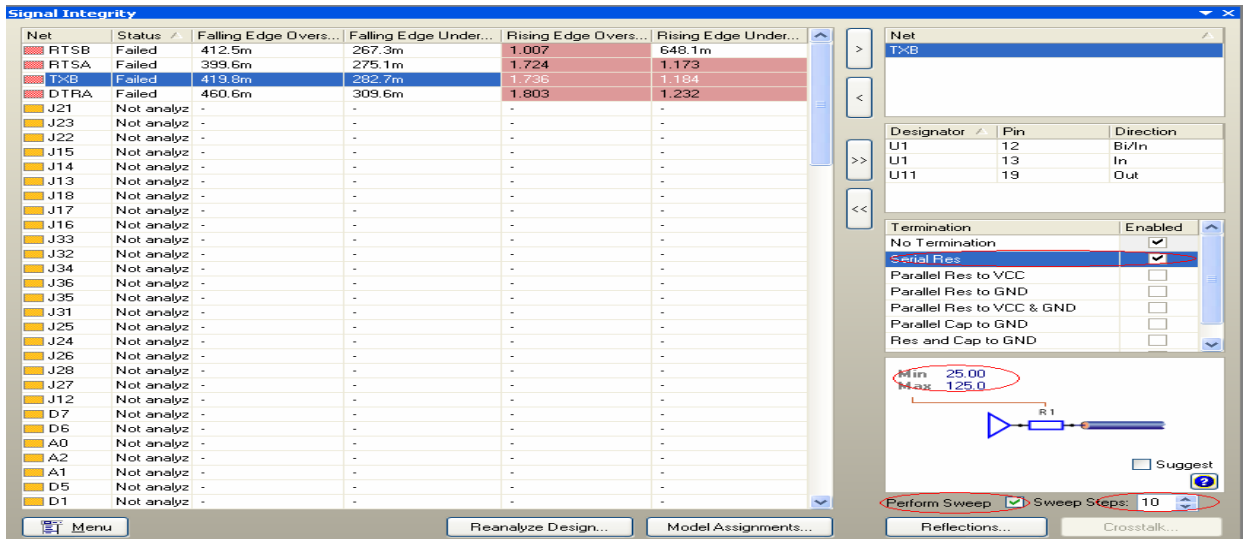


图 18

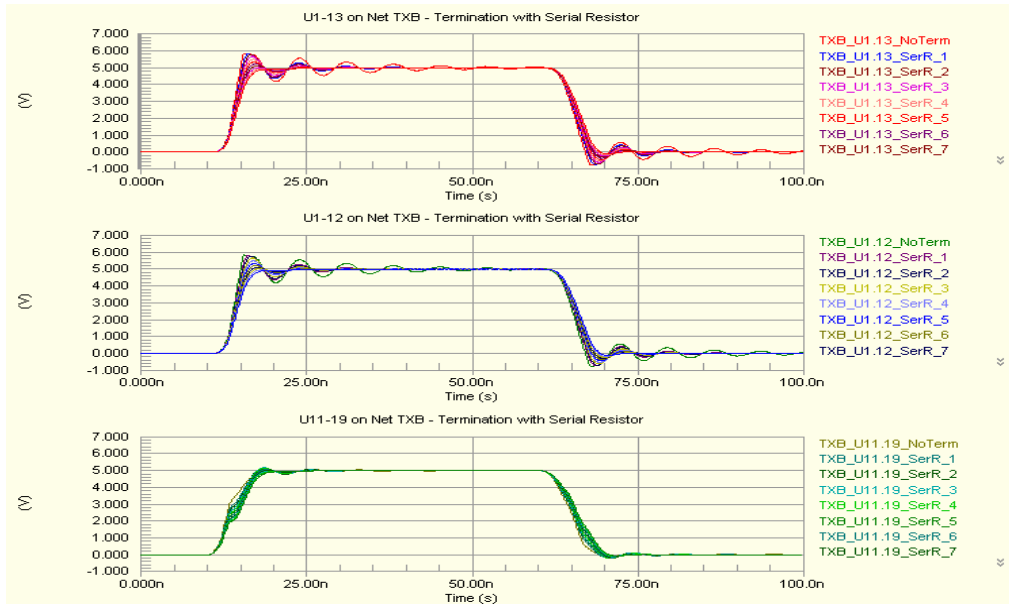


图 19

七、接下来进行串扰分析，重新返回到如图 11 所示的界面下，双击网络 **RTSB** 将其导入到右面的窗口，然后右键单击 **TXB**，在弹出菜单中选择 **Set Aggressor** 设置干扰源，如图 20 所示，结果如图 21。

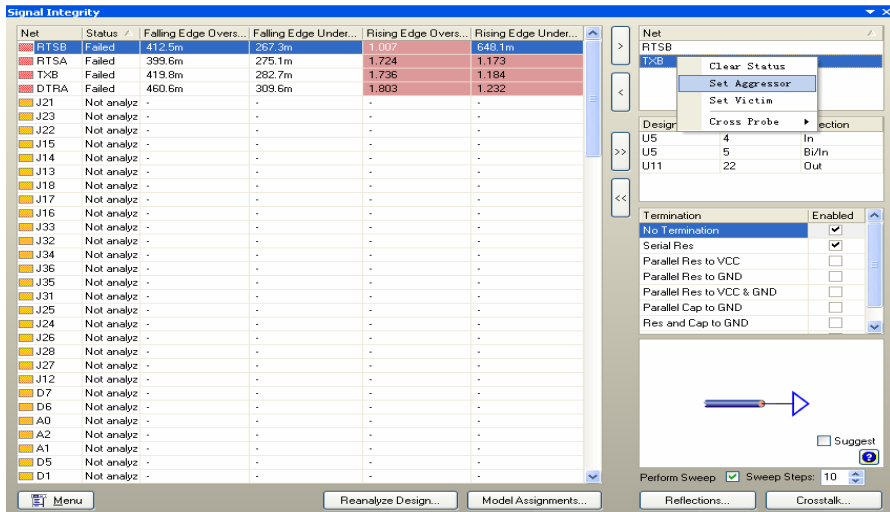


图 20

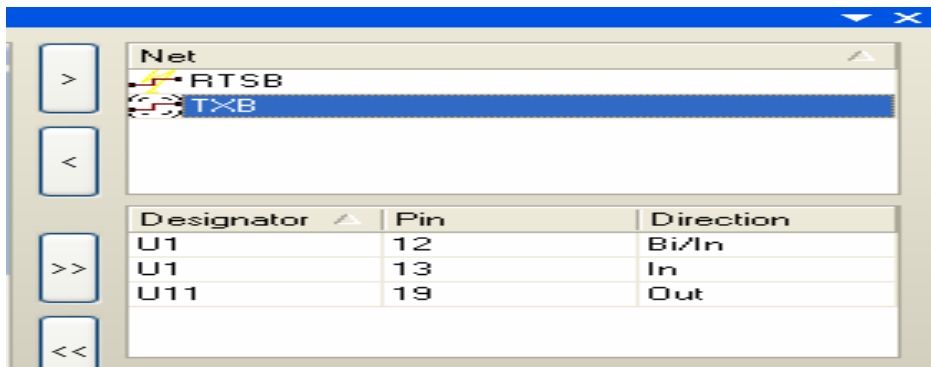


图 21

- 然后，选择图 20 右下角的 Crosstalk...，就会得到串扰得分析波形，如图 22 所示。



图 22

5 在 Altium Designer 中进行 FPGA 设计和仿真

首先说明一下，Altium Designer 中进行 FPGA 设计可以采用：语言设计输入，原理图符号设计输入或者混合输入。象大多数 **FPGA** 设计软件一样，我们推荐用户采取层次化的设计方式：底层设计，上层例化（调用）。在底层用语言或原理图符号设计好一个个文件，并将这些文件生成图表符，上层在原理图的环境中将这些代表各个文件的图表符连接起来，并且可以使用我们提供的各种免费的模块（如虚拟仪器，处理器，外设等），来完成设计与测试。下面的例子中，我们对一个 VHDL 文件进行仿真，当然，我们也可以对原理图文件建立 Testbench 进行仿真。

在 DXP 主页面下（打开软件时缺省设置就出现 DXP 主页），用鼠标左键点击 File\New\Project\FPGA Project,左边的工程资源管理器中就出现了一个名为 FPGA_Project1.PrjFpg 的 FPGA 工程，现在可以左键点击 File\Save Project as 来改变项目的保存路径和项目名称。

在项目名称上右键点击，在引出的菜单中选择 Add new to Project\VHDL Document，这样，在当前的工程当中添加了一个新的 VHDL 文件 VHDL1.Vhd, 在 VHDL 文件上右键点击，在引出的菜单中选择 Save as 来改变 VHDL 文件 名称和保存路径。

现在，我们已经在 FPGA 工程中添加了一个空白的 VHDL 文件了。

接下来，我们在空白的 VHDL 文件中输入 VHDL 源代码，保存文件。

完成 VHDL 文件设计后,左键 VHDL 文件名称，在引出的菜单中左键点击 Compile Document xxx.Vhd,(xxx 是用户自己定义的文件名)，对这个 VHDL 文件进行编译，如果有什么错误信息就会自动启动消息窗口（Message），来提示用户那里有什么样的错误。

经检查没有错误后，保存 VHDL 文件。

左键双击 VHDL 文件名称，打开 VHDL 文件，在当前的文本编辑器环境下，左键点击 Design\Creat VHDL Testbench, 这时，会自动在本工程中增加一个当前 entity 的 Testbench 文件，这个 Testbench 文件已经引用了当前的 entity，并且将当前 entity 的所有输入列出来，用户只要给输入加上需要的测试数据就可以仿真了。有一点要注意，这个软件自动生成的 Testbench 文件没有任何和时序有关的信息，如复位，时钟等基本的信号波形也需要用户自己定义。

左键双击 Testbench 文件名称，打开 Testbench 文件，在当前的文本编辑器环境下，左键点击 Simulator\Simulate, 启动仿真程序，这时，就会冒出一个 Project Compile Order 对话框，里面是软件自己认定的编译序列，选择 Yes 关闭这个对话框，紧接着，又会冒出一个 Choose Top Level 对话框，里面依次是：Testbench 文件名称，Testbench 文件的 entity 名称，Testbench 文件的 entity 结构体的名称。选择 Yes 关闭这个对话框。（这两个对话框是在第一次进行仿真才会出现的。）

随后，软件会自动生成一个 xxx..so 波形文件并打开它（xxx.是当前的工程名）。并且会冒出一个 Edit Simulation Signals 对话框，在要观察的信号上面的 Show Wave 和 Enabled 下面的方格内打勾（缺省状态已经打勾了）。选择 Done 关闭这个对话框。

左键点击 Simulator\Run To Time 就会冒出一个 Enter Time to Run to 对话框, 在 Time Step 里面输入需要仿真的时间数值和单位, 选择 Ok 关闭这个对话框并且开始仿真。

此时, 这个 xxx..so 文件中就会以波形的形式出现当前设计的仿真结果。

用户通过对比输入和输出波形来检查逻辑是否有错误。

在项目名称上右键点击, 在引出的菜单中选择 Save Project, 保存当前工程和仿真波形文件。

6 在 Altium Designer 中进行 FPGA 设计并将其下载到 Nanoboard 进行硬件调试

在 DXP 主页面下 (打开软件时缺省设置就出现 DXP 主页), 用鼠标左键点击 File\New\Project\FPGA Project, 左边的工程资源管理器中就出现了一个名为 FPGA_Project1.PrjFpg 的 FPGA 工程, 现在可以左键点击 File\Save Project as 来改变项目的保存路径和项目名称。

在项目名称上右键点击, 在引出的菜单中选择 Add new to Project\Schematic, 这样, 在当前的工程当中添加了一个新的原理图文件 Sheet1.schDoc, 在原理图文件上右键点击, 在引出的菜单中选择 Save as 来改变原理图名称和保存路径。

在项目名称上右键点击, 在引出的菜单中选择 Add new to Project\VHDL Document, 这样, 在当前的工程当中添加了一个新的 VHDL 文件 VHDL1.Vhd, 在 VHDL 文件上右键点击, 在引出的菜单中选择 Save as 来改变 VHDL 文件 名称和保存路径。

现在, 我们已经在 FPGA 工程中添加了一张空白的原理图和一个空白的 VHDL 文件了。

接下来, 我们在空白的 VHDL 文件中输入 VHDL 源代码, 保存文件。

完成 VHDL 文件设计后, 左键 VHDL 文件名称, 在引出的菜单中左键点击 Compile Document xxx.Vhd, (xxx 是用户自己定义的文件名), 对这个 VHDL 文件进行编译, 如果有什么错误信息就会自动启动消息窗口 (Message), 来提示用户那里有什么样的错误。

经检查没有错误后, 保存 VHDL 文件。

左键双击原理图名称, 打开原理图文件, 在当前的原理图编辑器环境下, 左键点击 Design\Creat Sheet Symbol From Sheet, 在冒出来的对话框上左键点击要生成一个图表符的 VHDL 文件, 选中这个文件, 按 OK 键, 这时, 光标上就会粘上一个绿色的图表符, 移动鼠标, 把这个图表符放到合适的位置, 这时, 我们可以看到, 源代码的所有端口都在图表符上列出了。如果我们有多个 VHDL 文件模块, 我们可以重复这个操作, 在原理图中以生成图表符的方式调用各个 VHDL 文件模块, 并且可以使用我们提供的各种免费的模块 (如虚拟仪器, 外设等), 来完成设计与测试。

左键点击 Place\Bus 和 Place\Wire, 用线和总线把各个模块连起来。对要接到 FPGA 芯片 I/O 口上的信号, 可以从 FPGA Nanoboard Port-Plugin.IntLib 库里面拖出一些我们可以直接用的外设的图标, 如时钟源, 复位键, VGA, 串口, 键盘, LCD, LED, ADC/DAC, SRAM, SDRAM, SPEAKER, CAN, JTAG_NEXUS 等接口, 把外设图标端口连接到我们设计逻辑的输入输出端口上。当然, 还可以从 FPGA Instruments.IntLib 库里面拖出一些虚拟的逻辑测试仪器, 把这些仪器的输入连接到要观察的网络或总线上, 下载后, 就可以通过虚拟仪器来观察这些信号了。

完成了设计, 我们需要一个目标 FPGA 的约束配置文件。下面, 我们给现有的设计加一个约束文件。

左键点击 **Project\Configuration Manager...** 就会冒出一个 **Configuration Manager..**对话框，在对话框的下部中间，在 **Constraint Files** 旁边，左键点击 **Add** 按钮，会冒出一个 **Choose Constraint file to add to project** 对话框，显示的是在 **FPGA** 目录下的约束文件，包括了所有的 **Nanoboard** 板上 **FPGA** 子板的约束文件，我们可以根据现在板子上所插子板的型号和封装，选择对应的约束文件添加到当前工程中来，比如 我们选择将 **NB1_6_XC2S300E-6PQ208.Constraint** 添加到当前工程中来，因为我们选用的是一个 **XC2S300E-6PQ208** 子板。这个约束文件包含了这个器件在 **Nanoboard** 板上的外设的所有 **I/O** 口的位置约束信息，我们可以直接使用这个文件。虽然我们的设计没有用到所有的外设，但我们能用到的外设模块的端口信息都在这个文件里面，我们直接使用这个文件。

左键点击 **Project\Configuration Manager...**。在冒出来配置管理器对话框中，左键点击左下角 **Configurations** 右边的 **Add** 按钮，在冒出来命名框里输入一个配置名称，这个配置是和我们自己建立的约束文件相对应的。在配置管理器对话框中选中配置。（配置名称下面的格子打上勾）。右键点击 **OK** 按钮，关闭配置管理器对话框。

左键点击 **View /Devices View**，将 **Nanoboard** 板通过并行电缆与电脑的并口连接好后上电，左键点击 **Live** 左边的方格，打勾选中。这时，绿色的电路板图标和 **FPGA** 的图标。下面还有一行表示我们目前项目中所用的虚拟仪器和 **CPU** 内核的情况。

左键点击右边的 **Program FPGA** 按钮，则整个工程开始编译，综合，布局布线，下载。

当下载成功后，子板上绿色的 **LOADED** 小灯就会亮。这时，我们就可以使用 **Nanoboard** 板上外设模块来对我们设计的逻辑进行调试和验证。

7 在 **Altium Designer** 中进行 **FPGA** 设计并且将 **FPGA** 工程导入到 **PCB** 工程中进行 **PCB** 设计。

这里先说明一下，**FPGA** 工程中的原理图是采用原理图符号进行的芯片内部的逻辑电路的设计。

在 **DXP** 主页面下（打开软件时缺省设置就出现 **DXP** 主页），用鼠标左键点击 **File\New\Project\FPGA Project**，左边的工程资源管理器中就出现了一个名为 **FPGA_Project1.PrjFpg** 的 **FPGA** 工程，现在可以左键点击 **File\Save Project as** 来改变项目的保存路径和项目名称。

在项目名称上右键点击，在引出的菜单中选择 **Add new to Project\Schematic**，这样，在当前的工程当中添加了一个新的原理图（这里的原理图是指设计 **FPGA** 的原理图文件）**Sheet1.schDoc**，在原理图文件上右键点击，在引出的菜单中选择 **Save as** 来改变原理图名称和保存路径。

在项目名称上右键点击，在引出的菜单中选择 **Add new to Project\VHDL Document**，这样，在当前的工程当中添加了一个新的 **VHDL** 文件 **VHDL1.Vhd**，在 **VHDL** 文件上右键点击，在引出的菜单中选择 **Save as** 来改变 **VHDL** 文件 名称和保存路径。

现在，我们已经在 **FPGA** 工程中添加了一张空白的原理图和一个空白的 **VHDL** 文件了。

接下来，我们在空白的 **VHDL** 文件中输入 **VHDL** 源代码，保存文件。

完成 **VHDL** 文件设计后，左键 **VHDL** 文件名称，在引出的菜单中左键点击 **Compile Document xxx.Vhd**，(xxx 是用户自己定义的文件名)，对这个 **VHDL** 文件进行编译，如果有什么错误信息就会自动启动消息窗口 (**Message**)，来提示用户那里有什么样的错误。

经检查没有错误后，保存 **VHDL** 文件。

左键双击原理图名称，打开原理图文件，在当前的原理图编辑器环境下，左键点击 Design\Creat Sheet Symbol From Sheet, ,在冒出来的对话框上左键点击要生成一个图表符的 VHDL 文件，选中这个文件，按 OK 键，这时，光标上就会粘上一个绿色的图表符，移动鼠标，把这个图表符放到合适的位置，这时，我们可以看到，源代码的所有端口都在图表符上列出了，如果我们有多个 VHDL 文件模块，我们可以重复这个操作，在原理图中以生成图表符的方式调用各个 VHDL 文件模块，

编译以后，就会看到，以生成图表符的方式被调用各个 VHDL 文件模块自动的成为原理图文件的子文件，体现了各个模块文件和上层文件的调用关系。

经检查没有错误后，保存原理图。

在原理图的下方偏右的边框上，左键点击 System\Libraries,打开库文件，在库文件的面板里左键点击 Libraries 可以对当前使用的库文件进行添加，移出和排序。

从 FPGA 元器件库选中需要的元器件，按 Place 或拖出我们需要的元器件，用 PLACE\WIRE 线或 PLACE\Bus 总线把它们和我们设计的 FPGA 模块的图表符连起来，并且给所有的元器件加上相应的标号（Designator），保存完成原理图设计。

左键点击 Place\Bus 和 Place\Wire,用线和总线把各个模块连起来。对要接到 FPGA 芯片 I/O 口上的信号，左键点击 Place\Port, 给每个信号加上一个端口，并且选择好各个端口的属性和名称。

完成原理图设计后,左键点击原理图名称，在引出的菜单中左键点击 Compile Document xxx.SCHDOC ,(xxx 是用户自己定义的文件名)，对这个原理图文件进行编译，如果有什么错误信息就会自动启动消息窗口（Message），来提示用户那里有什么样的错误。

经检查没有错误后，保存原理图。

我们已经完成了各个源代码模块的设计，并且已经在顶层将各个模块与器件连接了起来，现在，我们需要一个约束文件来配置 FPGA 器件里面逻辑设计中信号的 I/O 口位置。

在项目名称上右键点击，在引出的菜单中选择 Add new to Project\Constraint File,这样，在当前的工程当中添加了一个新的约束文件 Constraint1.constraint, 在约束文件上右键点击，在引出的菜单中选择 Save as 来改变约束名称和保存路径。

在项目名称上右键点击,保存整个工程，在编译整个工程。

左键点击约束文件，进入约束文件的编辑环境，左键点击 Design\Add/Modify....\Parts... 在冒出来的器件对话框中选择目标器件，如选择 Xilinx 公司的 Spartan2E 系列的 XC2S300E-PQ208 器件。在列表中双击这个器件，则器件对话框关闭，且在约束文件中就多了一条约束，如 **Record=Constraint | TargetKind=Part | TargetId=XC2S300E-7PQ208C**，表明当前设计的目标器件是 XC2S300E-7PQ208C

左键点击 Design\Import Port Constraint from Project 当前 FPGA 工程中的所有的端口就会自动添加到约束文件中来。

左键点击 Design\Fpga Signal Manager, 在冒出来信号管理器对话框中，右键点击，在引出的菜单中选择 Show\Hide Columns\Pin Number,器件的 Pin Number 列就会显现，左键点击 Assign Unconstrained Signals 按键，给所有的信号加上 Pin Number。右键点击 OK 按键，关闭信号管理器对话框。保存约束文件。

左键点击 Project\Configuration Manager。。。在冒出来配置管理器对话框中，左键点击左下角 Configurations 右边的 Add 按键，在冒出来命名框里输入一个配置名称，这个配置

是和约束文件相对应的。在配置管理器对话框中选中配置。（配置名称下面的格子打上勾）。右键点击 OK 按钮，关闭配置管理器对话框。

在项目名称上右键点击，保存整个工程，在编译整个工程。

左键点击 FPGA 工程中的顶层原理图文件，在原理图的编辑环境中，左键点击 Tools\FPGA To PCB Project Wizard，就启动了 FPGA 工程到 PCB 工程的向导。在跳出来的对话框里左键点击 NEXT 按钮，再 Select The FPGA 对话框里注意选择配置名称！继续左键点击 NEXT 按钮，直至到最后左键点击 FINISH 按钮。

这时，自动生成一个 PCB 工程，包含两张原理图，一张是 FPGA 目标器件的原理图符号的电气连接，另一张是 FPGA 器件在上层的文件中调用的模块图表符。右键点击 PCB 工程名称，在弹出的菜单中选择 Compile PCB Project xxx.Pcbprj (xxx 是 PCB 工程名称)。经过编译，这个 PCB 工程自动就和 FPGA 工程级连在一起了。项目关系很清晰，PCB 工程中用到了一块 FPGA 器件，而这个 FPGA 器件中装有一个 FPGA 工程！

在 PCB 工程项目名称上右键点击，在引出的菜单中选择 Add new to Project\Schematic,这样，在当前的工程当中添加了一个新的原理图文件 Sheet1.schDoc, 在原理图文件上右键点击，在引出的菜单中选择 Save as 来改变原理图名称和保存路径。

给这个 PCB 工程添加其他原理图（这里的原理图是指普通的电路图），设计其他的电路模块，如电源，接插件，Flash 模块等。给每个模块添加电阻，电容等器件完成各个模块的电路设计。在顶层，将每个电路模块生成一个图表符，用线和总线把表示各个模块的图表符连起来，完成整体电路板的设计。

完成原理图设计后，左键点击原理图名称，在引出的菜单中左键点击 Compile Document xxx.SCHDOC ,(xxx 是用户自己定义的文件名)，对这个原理图文件进行编译，如果有什么错误信息就会自动启动消息窗口（Message），来提示用户那里有什么样的错误。

经检查没有错误后，保存原理图。

编译，查错，修改保存。将所有的错误解决掉。

在 PCB 工程项目名称上右键点击，在引出的菜单中选择 Add new to Project\PCB,这样，在当前的工程当中添加了一个新的 PCB 文件 PCB1.PcbDoc,在 PCB 文件上右键点击，在引出的菜单中选择 Save as 来改变 PCB 文件名称和保存路径。

左键点击 Project\Complie PCB Project xxx..PrjPCB (xxx 是用户自己定义的工程名) 编译整个 PCB 工程。

左键双击 PCB 文件在工程资源管理器中的图标，打开这个 PCB 文件，左键点击 Design\Board Shape\ Redefine Board Shape 命令，这时，就会出现绿色的背景，光标上就出现一个十字交叉，移动鼠标，这个十字交叉就会跟着移动，用这个光标在背景上画出一个封闭的曲线，这个曲线内部部分就是定义的 PCB 板。

左键双击 PCB 文件在工程资源管理器中的图标，打开这个 PCB 文件 定义好 PCB 板的外形尺寸，左键点击 PCB 编辑器下方用来选择当前工作层的图标，选中 Keep-Out Layer，在当前层上，选择 Place\Line 命令，在 Keep-Out Layer 层上画一个边框，作为我们的布局布线的外围约束边框，保存文件和工程。

左键点击 Project\Complie PCB Project xxx..PrjPCB (xxx 是用户自己定义的工程名) 编译整 PCB 工程。

在当前的 PCB 编辑器环境下，左键点击 Design\Import Changes From xxx..PrjPCB, 会自动跳出来 Engineering Change Order 对话框，列出了对 PCB 文件加载网表的一些具体操作。

添加的有：Componet Class(器件类)，Components（器件），Nets（网络连接），Rooms（空间）。

器件类是以每张原理子图划分为一个器件类，并且为器件类定义一个空间。

确认没有什么错误就左键依次点击 **Validate Changes**，**Execute Changes** 两个按键，对话框的右边就会冒出来绿色的图标来表示所执行的加载项目是正常的。点击 **Close** 关闭对话框。

现在，我们已经把网表加载到这个 PCB 文件中了。

在当前的 PCB 编辑器环境下，连续按下键盘上的 **PgDn**(下页) 按键，缩小 PCB 画面，就可以发现，元器件已被加载到当前的 PCB 文件中，并且每个元器件类中的器件自动放在一个空间中，移动这个空间，把这个空间中的器件一起移动 PCB 板上，放到合适的位置，这个空间的大小可以修改，也可以删除这个空间。

接下来，我们可以对器件进行布局布线。。。。。。。。完成 PCB 设计。

在当前的 PCB 编辑器环境下，左键点击 **Tools\Design Rule Checker**，在冒出来的对话框上左键点击 **Run Design Rule Check** 按键，可以输出一个当前文件的违反规则报告，详细列出在那个位置违反了那个规则。

8 FPGA 和 PCB 的管脚双向优化同步与更新（自动管脚交换）

当网表和器件被导入到 PCB 环境中，我们就可以开始对 PCB 板进行布局了！

在当前的 PCB 编辑器环境下，连续按下键盘上的 **PgDn**(下页) 按键，缩小 PCB 画面，就可以发现，元器件已被加载到当前的 PCB 文件中，并且每个元器件类中的器件自动放在一个空间中，移动这个空间，把这个空间中的器件一起移动 PCB 板上，放到合适的位置，这个空间的大小可以修改，也可以删除这个空间。

接下来，我们逐一对器件位置进行调整。我们可以采取用鼠标左键在器件上按住不放，移动鼠标来拖动这个器件到合适的位置。

当我们完成布局以后，我们观察飞线网络的交叉情况，如果我们觉得 FPGA 器件管脚上的飞线网络交叉较多，或者我们对 FPGA 上面信号的位置分布不满意，我们可以对 FPGA 器件管脚进行自动优化。我们可以根据 FPGA 管脚 I/O 口的飞线的交叉情况对 FPGA 管脚 I/O 口信号进行重新的绑定。

在 PCB 文件中，左键点击 **Tools \Pin /Part Swapping\Configure...**，进入 **Configure Swapping Information in Components** 界面，在这个界面里选中要管脚 I/O 口信号重新的绑定的器件，在 **Pin Swap** 列选中器件（左键点击打上勾），如 **U1 XC2S300E-6PQ208C**，左键点击本界面左下角的 **Configure Component...**，进入 **Configure Pin Swapping For [U1.....]** 界面

在此界面的任意行上左键点击，再按 **Ctrl+A**，选中所有的行后，右键点击，在拖出的菜单中左键点击 **Assign Pin-Swap Groups By\Type**，点击 **OK** 按键退出这个菜单。这时，在 **Configure Swapping Information in Components** 界面中就会发现 **U1** 这行的 **Pin Swap Data** 数字有变化。注意不要忘了在 **Pin Swap** 列选中器件（左键点击打上勾）。点击 **OK** 按键退出这个菜单。

左键点击 **Tools \Pin /Part Swapping\Automatic Net\pin Optimizer...**，启动 FPGA 管脚 I/O 口的自动优化，这时就会自动冒出一个对话框，左键点击 **OK** 按键关闭对话框，这时，就可以在看到，FPGA 管脚 I/O 口上的信号的飞线在飞快地调整位置。

调整结束后还需要更新原理图，因为现在 FPGA 管脚上信号的位置经过了调整，网表发生了变化，为了保持原理图和 PCB 网表的一致性，必须更新原理图，左键点击 Design\Update Schematic in xxxxx.PrjPCB，启动原理图更新，随后会冒出一个 Engineer Chang Order 对话框，列出了对 FPGA 器件原理图修改的一些具体操作。主要是一些 I/O 位置的调整。确认没有什么错误就左键依次点击 Validate Changes，Execute Changes 两个按钮，对话框的右边就会冒出来绿色的图标来表示所执行的修改是正常的。点击 Close 关闭对话框。

现在，我们已经把 PCB 中 FPGA 器件网表的变化回注到对应的原理图文件中了。这时，在 PCB 工程之中，名为 FPGA_U1_Auto.schDoc 文件名称的右上方出现了一个星号，表示这个文件刚被修改过，因为我们原理图上是采取端口和网络标号来表示网络连接关系的。我们在原理图上的所作修改是 FPGA 符号 Pin 脚上网络标号位置的移动。这样就把 FPGA I/O 口上信号的位置进行了重新绑定。使原理图和 PCB 网表保持一致。

左键点击 Project\FPGA Workspace Map...就会冒出一个 FPGA Workspace Map 对话框，这时候就会看到 PcbDoc 和 SchDoc 之间是绿色的连线，而 SchDoc 和 PrjFpg 之间是红色的连线，这说明：PCB 和原理图网表保持一致，而原理图和 FPGA I/O 口上信号的位置是不一致的。左键点击 SchDoc 和 PrjFpg 之间的红色的连线，就会冒出一个 Synchronize U1 and xxx.PrjFpg 同步对话框，绿色的行表示 FPGA 和 PCB 是一致的，红色的行表示 FPGA 和 PCB 是不一致的。对话框中部右边的有 Update to PCB 和 Update to FPGA 两个按钮。他们都表示以己方为依据，更新另一方。Update to PCB 表示 FPGA 工程中的 I/O 口上信号的位置不变，以此为依据，修改更新 PCB。Update to FPGA 表示 PCB 工程中的 I/O 口上信号的位置不变，以此为依据，修改更新 FPGA。

我们现在要使 FPGA 工程中的 I/O 口上信号的位置按照 PCB 的情况改变，我们左键点击 Update to FPGA，随后会冒出一个 Engineer Chang Order 对话框，列出了对 FPGA 器件约束文件进行修改的一些具体操作。主要是一些 I/O 位置的调整。确认没有什么错误就左键依次点击 Validate Changes，Execute Changes 两个按钮，对话框的右边就会冒出来绿色的图标来表示所执行的修改是正常的。点击 Close 关闭对话框。这时候，同步对话框中所有的行都是绿色的。表示 FPGA 和 PCB 是一致的。点击 Close 关闭同步对话框。这时 FPGA Workspace Map 对话框，这时候就会看到 PcbDoc 和 SchDoc 之间是绿色的连线，而 SchDoc 和 PrjFpg 之间也是绿色的连线。这说明：PCB 和原理图网表保持一致，而原理图和 FPGA I/O 口上信号的位置也是一致的。点击 Close 关闭 FPGA Workspace Map 对话框。

这时，在 FPGA 工程之中，Setting 下面的 Constraint Files 中的约束文件名称的右上方出现了一个星号，表示这个文件刚被修改过，因为约束文件上 I/O 端口的位置是刚刚修改过。我们可以用这个新的约束文件对 FPGA 器件信号 I/O 口的位置进行重新配置。保存所有修改过的文件。保存整个工程。

这样，我们就做了一个从 PCB 到原理图再到 FPGA 的管脚优化同步！

9 在 Altium Designer 中对 PCB 进行板层设置及内电层进行分割。

在项目名称上右键点击，在引出的菜单中选择 Add new to Project\PCB,这样，在当前的工程当中添加了一个新的 PCB 文件 PCB1.PcbDoc,在 PCB 文件上右键点击，在引出的菜单中选择 Save as 来改变 PCB 文件名称和保存路径。

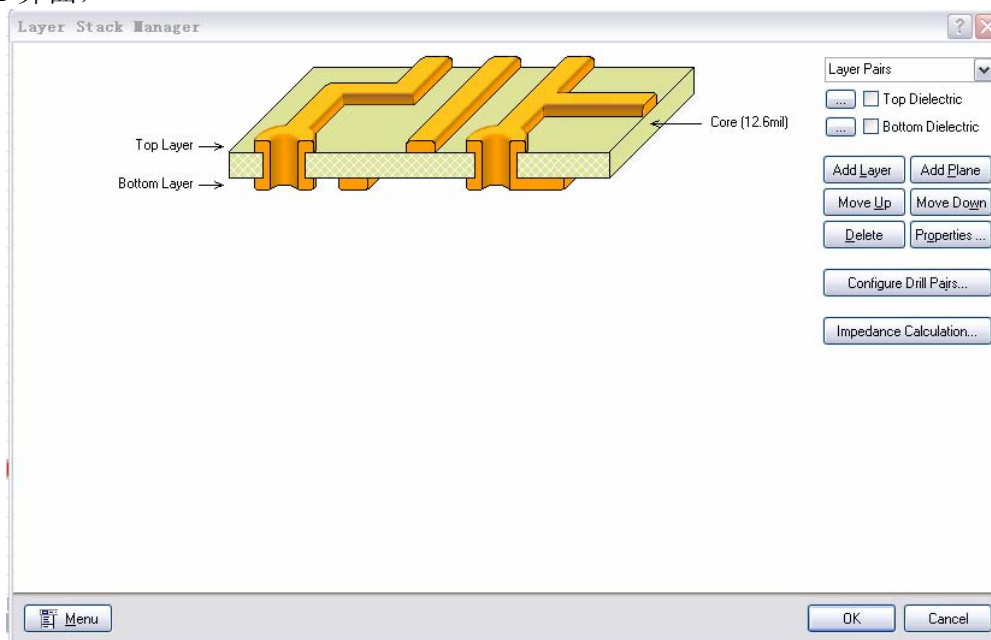
左键点击 **Project\Complie PCB Project xxx..PrjPCB** (xxx 是用户自己定义的工程名) 编译整个 PCB 工程。

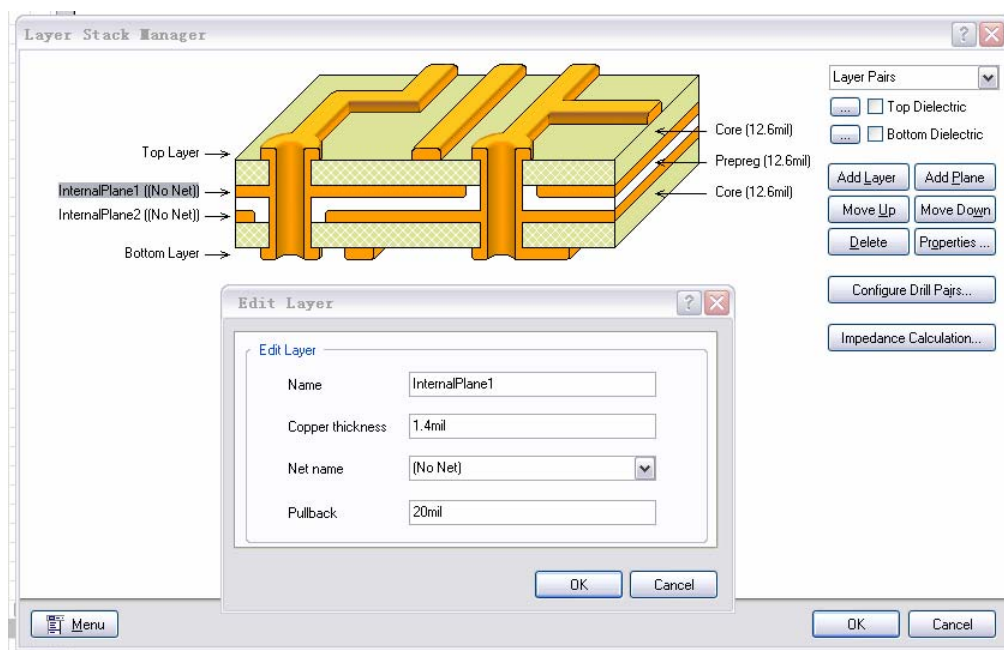
左键双击 PCB 文件在工程资源管理器中的图标，打开这个 PCB 文件，左键点击 **Design\Board Shape\ Redefine Board Shape** 命令，这时，就会出现绿色的背景，光标上就出现一个十字交叉，移动鼠标，这个十字交叉就会跟着移动，用这个光标在背景上画出一个封闭的曲线，这个曲线内部部分就是定义的 PCB 板。

左键点击 PCB 编辑器下方用来选择当前工作层的图标，选中 **Keep-Out Layer**，在当前层上，选择 **Place\Line** 命令，在 **Keep-Out Layer** 层上画一个边框，作为我们的布局布线的外围约束边框，保存文件和工程。

左键点击 **Project\Complie PCB Project xxx..PrjPCB** (xxx 是用户自己定义的工程名) 编译整个 PCB 工程，保存工程。

在当前 PCB 板文件中，左键点击 **Design\Layer Stack Manager** ,进入 **Layer Stack Manager** 界面，



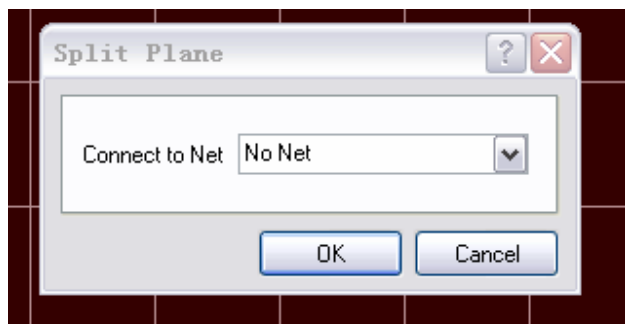


首先，在左边左键点击选中 **Top Layer** 或 **Bottom Layer**，左键点击 **Add Layer** 或 **Add Plane**，在已选中的信号层旁边添加信号层或电源层。开始添加的电源层是没有网络的，左键点击选中一个电源层，左键双击选层边的 **No Net**，就会冒出一个 **Edit Layer** 小的对话框界面，在这个小界面的 **Net name** 栏中的向下的箭头，从这些所有的网络中选择这个电源层的网络。

在 **PCB** 的文件中按“**L**”按键，则进入 **Board Layers and Colors** 界面，在这个界面里可以选择设定每层的颜色，并且选择是否显示某一层。

如果想对电源层进行分割，把一个电源平面分给好几个网络，就需要对电源层进行分割。要注意一下，在电源层上走的线是负片，意思是说你走线的地方没有敷铜，而不走线的地方却是敷铜。

首先，在 **Board Layers and Colors** 界面设定电源层的颜色和选择显示电源层。然后，通过下面的图标进入电源层界面，左键点击 **Place\Line**，在电源层用线画一个头尾相接的线，这个线内部可以是任何几何形状的。现在，画的线已经把电源平面分割开来。现在，双击电源平面的每一部分，就冒出一个对话框，你可以在对话框中给你选择的这部分平面添加一个网络。不同的部分添加不同的网络，这样，就把内部电源平面分割了。



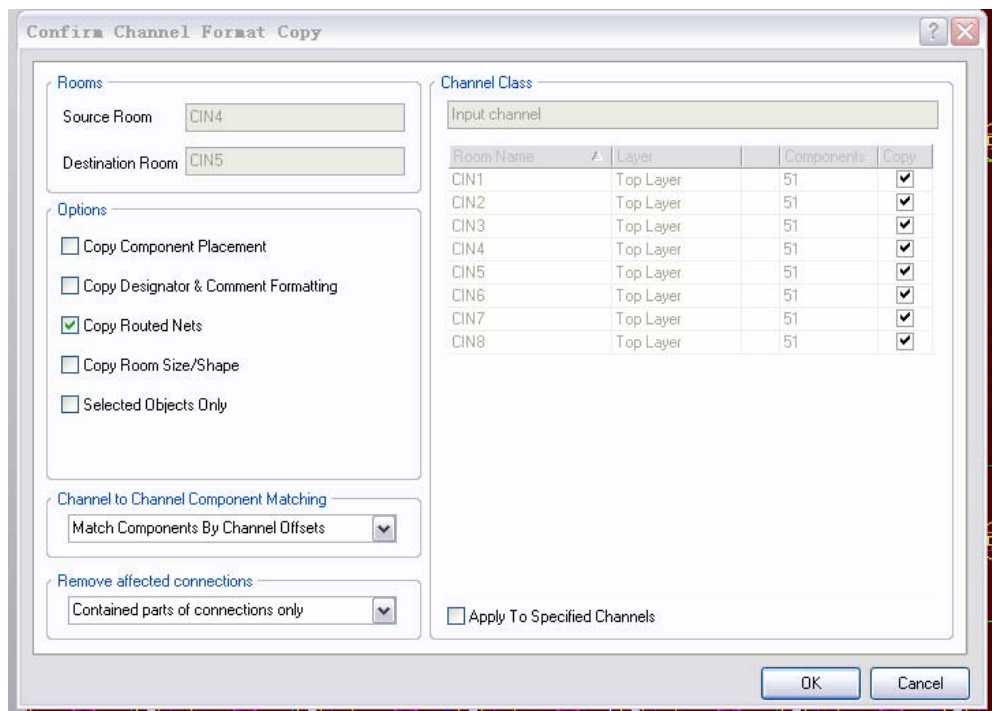
10 Altium Designer 中多通道功能在原理图及 PCB 中的使用技巧

在 Altium Designer 环境下，完成对电路设计中原理图及 PCB 版图的设计时，采用多通道设计功能将极大的提高电路设计的可靠性，也必将会大大降低电子设计人员在多个相同通道设计中的复杂度。

简而言之，Altium Designer 的多通道设计分为原理图和 PCB 设计两个层次：

首先，在原理图中，需要将独立的通道电路放在一个底层的子图中，通过在其顶图中使用设计菜单下 Create sheet symbol from sheet 由系统自动创建一个图表符，然后用鼠标双击，打开图表符的属性栏，在 Designator 输入项中键入关键字 Repeat (ChannelName, First, Last)，参数的说明可以通过点击属性栏右上角的的问号图形符，求助。

其次，在 PCB 中，先要将个通道按设计要求合理摆放位置，然后通过手工、自动或交互式布局/布线，完成对单个通道的 layout。用鼠标选中该通道，然后用右键，在浮动命令条上选择 Rooms Action->Select room connections，将会高亮显示所有选中的信号线，接下来就可以直接利用设计菜单下，Rooms->Copy room formats，就可以实现在 PCB 版图中的多通道设计。左键点击 Design\Rooms\Copy room formats，光标就会变成一个十字叉，左键点击要复制的 ROOM 区域作为源区，接着左键点击目标 ROOM 区，就会跳出一个菜单，在这里面 Option 选项中选择要拷贝的内容



左键点击 OK 按钮， 则开始对这个 ROOM 实现 布线的复制。

11 如何从原理图及 PCB 中生成网表并且实现网表的加载

首先说明一下： 在 Altium Designer 中进行由原理图到 PCB 的设计已经包含了网表的生成和加载，不需要再进行这些步骤的。如下所述：

（在当前的 PCB 编辑器环境下，左键点击 Design\Import Changes From xxx..PrjPCB, 会自动跳出来 Engineering Change Order 对话框，列出了对 PCB 文件加载网表的一些具体操作。添加的有：Componet Class(器件类), Components (器件) ,Nets (网络连接), Rooms (空间)。

器件类是以每张原理子图划分为一个器件类，并且为器件类定义一个空间。

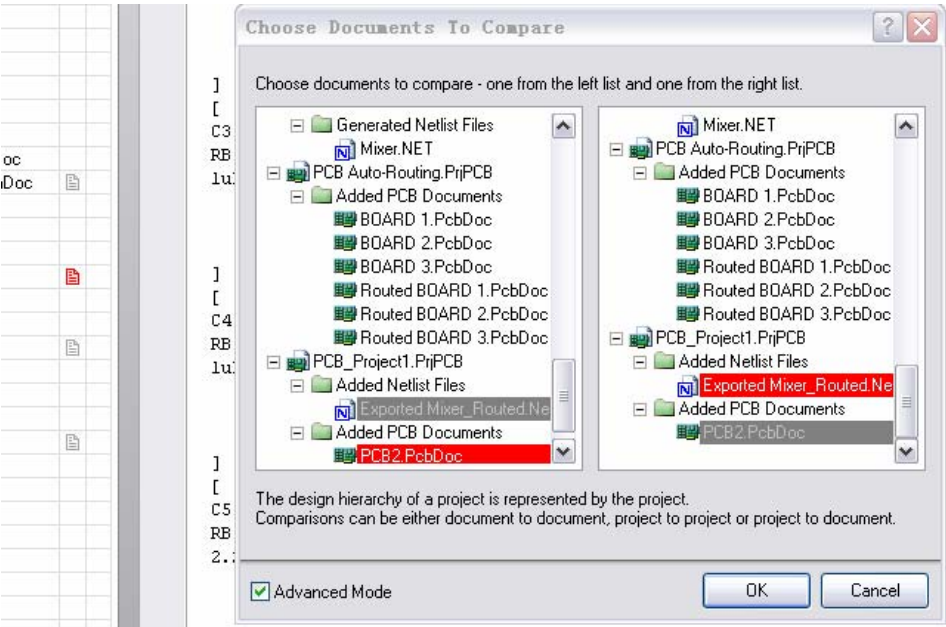
确认没有什么错误就左键依次点击 Validate Changes , Execute Changes 两个按钮，对话框的右边就会冒出来绿色的图标来表示所执行的加载项目是正常的。点击 Close 关闭对话框。现在，我们已经把网表加载到这个 PCB 文件中了。）

但是如果需要这么做， 可以如下进行操作。

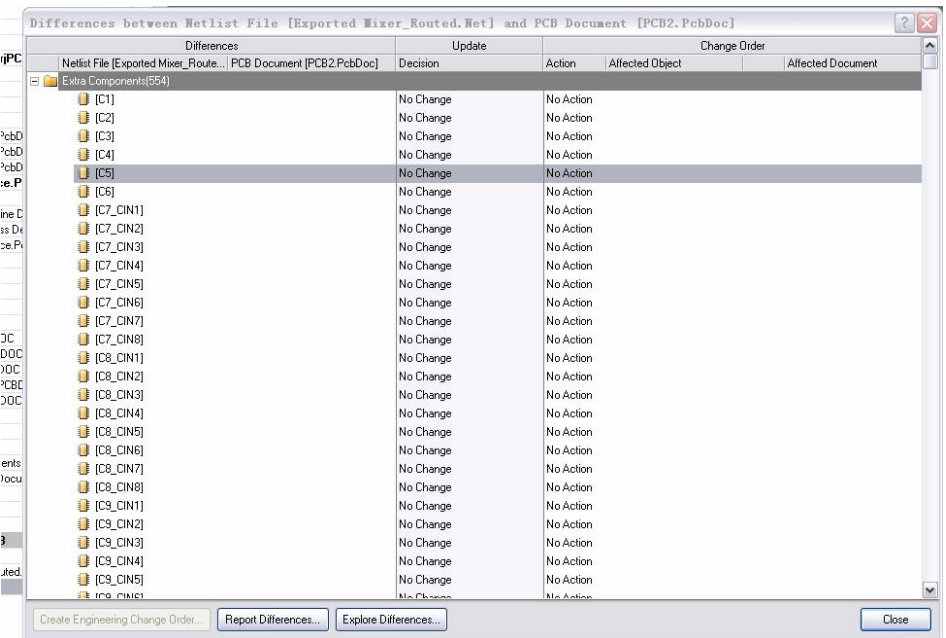
我们可以选中打开一个顶层原理图文件，左键点击 Design\Netlist For Project \Protel,则软件就产生当前设计的网表，在本工程中就会多一个 Generated 文件夹其中的 Netlist File 中就有一个当前文件的网表。

我们可以选中打开一个 PCB 文件，左键点击 Design\Netlist\Export Netlist From PCB,在跳出的 Confirm 对话框中选择 OK，则软件就产生当前 PCB 文件网表，作为一个自由文件在 Free Document 文件夹中。

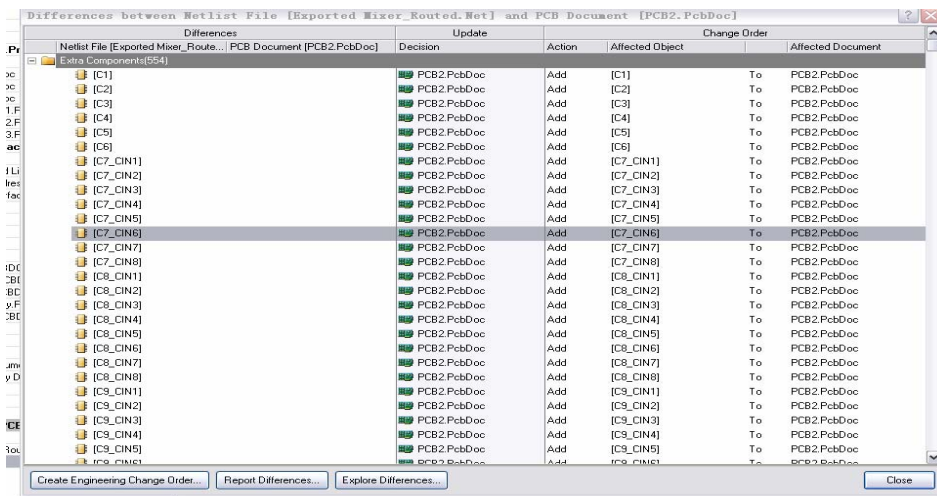
新建一个 PCB 工程， 添加一个 PCB 文件，画好布线约束层，再在本工程中加入一个网表文件，选中 PCB 文件用鼠标右键点击文件名，在冒出的菜单中左键点击 Show Difference ,则跳出一个比较界面，选中 Advanced Mode,则会出现如下界面，



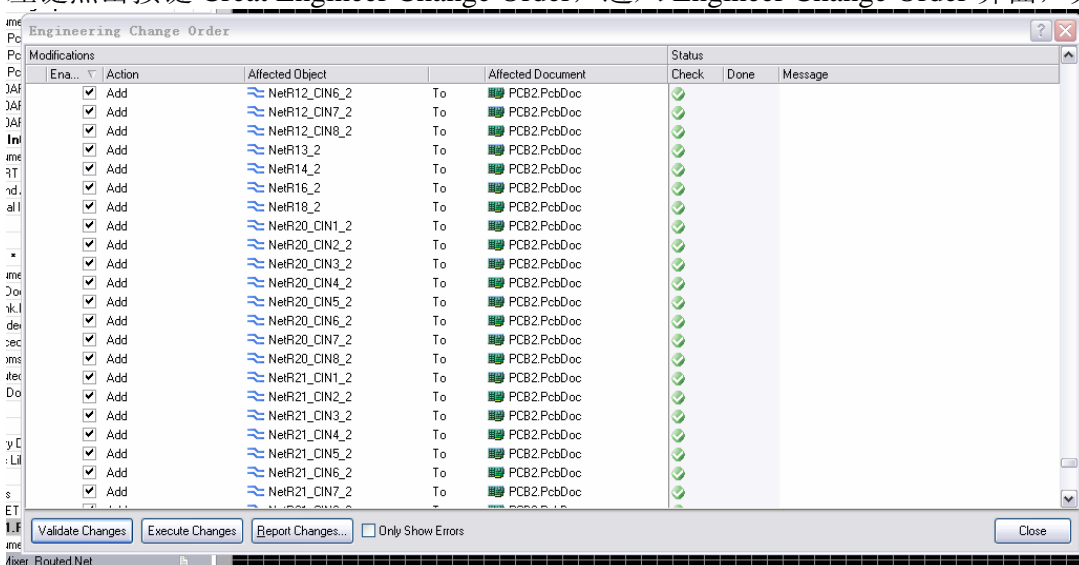
在左右两边分别选中要比较的两个文件,可以是两个同类型的文件(两个网表文件或两个 PCB 文件)， 也可以是两个不同类型的文件（一个网表文件和一个 PCB 文件）， 来进行比较。左键点击 OK 按钮，进入比较更新界面， 如下图所示，



用鼠标右键点击某个器件，在冒出的菜单中左键点击 Update All in >>PCB Document [xxx.PCBDoc],则跳出一个比较导出界面， 如下图所示。



左键点击按钮 Creat Engineer Change Order，进入 Engineer Change Order 界面，如下图所示，



左键点击 Validate Changes 按钮,可以观查有什么错误，看是不是缺少元器件库和元件封装，左键点击 Execute Changes 按钮,就可以执行这个加载操作

左键点击 CLOSE 按钮关闭对话框。缩小 PCB 文件， 你就可以看到这个网表和器件已经加载到 PCB 文件中来了。

Altium Designer 中的 Show Difference 的比较功能非常强大，可以实现多种文件之间的比较，要比较的两个文件，可以是两个同类型的文件(两个网表文件或两个 PCB 文件)， 也可以是两个不同类型的文件（一个网表文件和一个 PCB 文件）， 来进行比较。

注意：要比较的文件必须放在同一个工程中才能进行比较。

12 如何生成一个集成库并且实现对库的管理

如何在 Altium Designer 中创建用户自己的板级设计器件集成库？

在 Altium Designer 中引入了器件集成库的模式,大大方便了用户在板级设计中调用器件的功能。2004 版中的集成库包括器件原理图库、器件封装库、Spice 混合信号仿真模型库及 IBIS 信号完整性分析模型库。

一, 如何在现有的集成库中完成器件修改:

在 DXP 平台下, 打开一个集成库 (如: Miscellaneous Devices.IntLib), 在系统弹出对话框 (Extract Sources or Install 窗口中), 选择 Extract Source, 在工程栏中出现一个集成库工程项目, 其中包含了一个器件原理图库 (Miscellaneous Devices.SchLib), 在工程栏下选择 SCH Library Tab, 在 SCH Library 工程栏中出现了器件名称及关联库的构建关系; 接下来选择一个器件名称可以修改器件原理图的属性 (如, 名称, 引脚方向属性, 关联库)。在工程栏中的 Model 子窗口下点击 ADD 命令, 然后在弹出窗口下拉菜单中选择需要添加的模型属性 (如, 器件封装/仿真模型/信号分析模型)。

二, 如何新建一个集成库:

在 DXP 平台下, 新建一个集成库, 通过菜单[menus]File>>New>>Project>>Integrated Library 命令创建一个集成库工程 (如, Myself.LibPkg), 然后在项目工程中添加相应的器件封装库和器件原理图库 (如 Myself.PcbLib/Myself.SchLib), 在工程栏中选择 PCB Library Tab, 在器件封装库中添加器件封装元件, 然后保存封装库文件 (如: Myself.PcbLib), 接下来在器件原理图库中自建一个元件原理图库, 并在该器件 model 属性中添加该元件其他关联属性 (如封装/仿真等)。

三, 如何将原 Protel99se 的器件库导入到 Altium Designer 中:

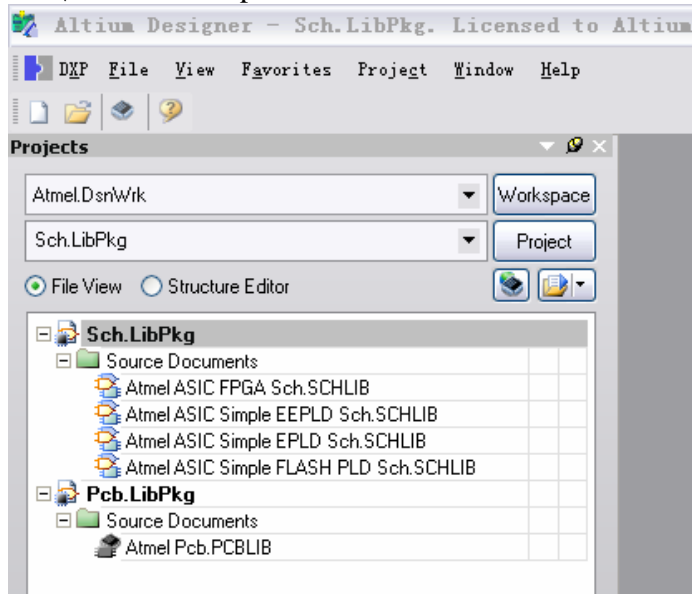
由于在 Protel 2004 中使用的元件库为集成元件库, 所以我在 Altium Designer 中使用 Protel 以前版本的元件库、或自己做元件库、以及在使用从 Altium 网站下载的元件库时最好将其转换生成为集成元件库后使用。为什么从 Altium 网站下载的元件库也要进行转换呢? 根据本人的使用情况, 这主要是因为 Altium 网站下载的元件库均为 . D D B 文件, 正如前面所说的那样, 我们在使用之前应该进行转换。而且使用 Altium 网站下载的元件库进行转换时, 有一个非常优越的条件, 即从 Altium 网站下载的元件库中包括了原理图库、P C B 封装库, 有的还包括了仿真及其它功能要使用到的模型, 这让我们在使用这些元件库进行转换生成集成元件库时非常容易。好了, 请跟我一起来创建一个集成元件库。

在此我们以一个从 Altium.com 网站下载的 [Atmel_003112000.zip](#) 元件库为例。

1 从 altium 网站 http://www.altium.com/forms/libraries/p99se/library_list.asp 下载的 Atmel_003112000.zip 元件库 (如何下载不要我介绍了吧)。

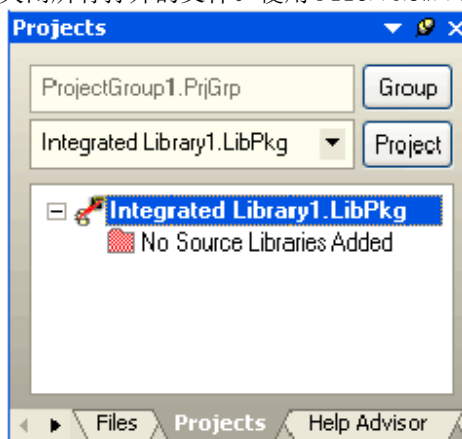
2、下载完后将其解压, 解压后为 Atmel.ddb。

3、用 Altium Designer 软件中 File\Protel99se Import wizard 命令， 选择路径和文件打

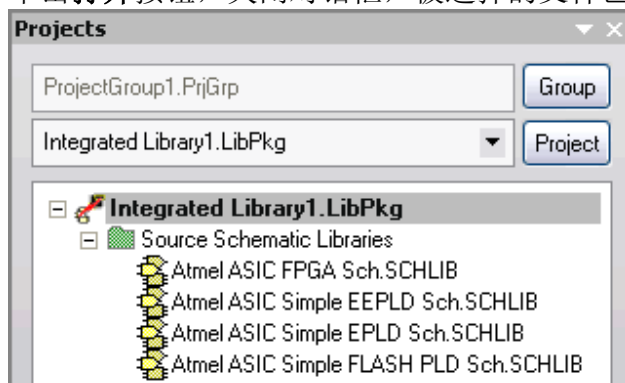


开 Atmel.ddb。打开后如下图所示：

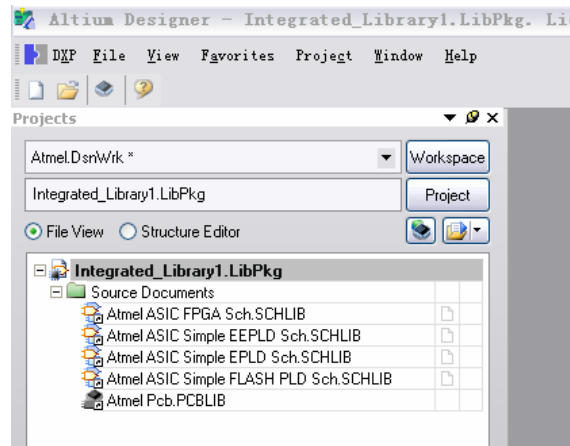
4、关闭所有打开的文件。使用 File>>New>>Integrated Library 创建一个集成元件库项目，如图所示。



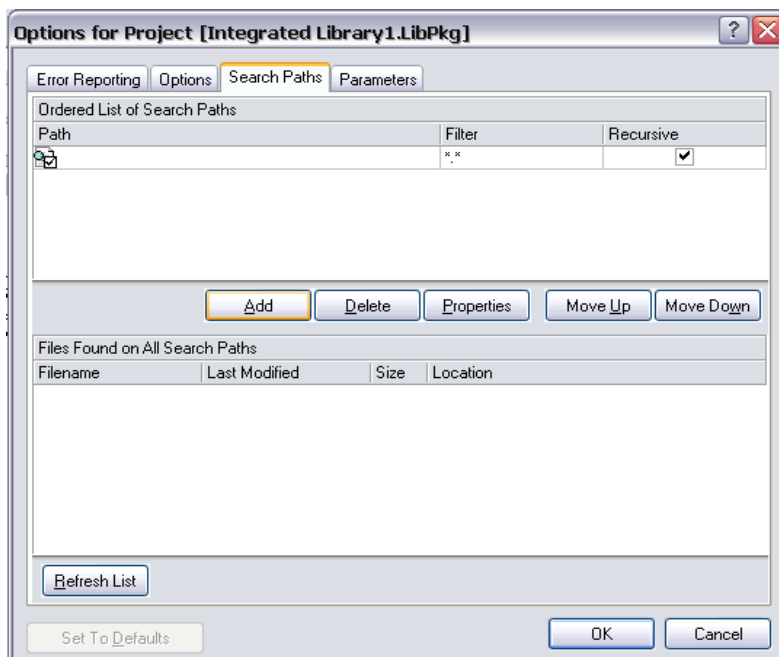
5、选择 Project>>Add to Project... 打开对话框，找到并选择刚才转换的.schlib 文件，单击打开按钮，关闭对话框，被选择的文件已经添加到项目中了，如图所示。



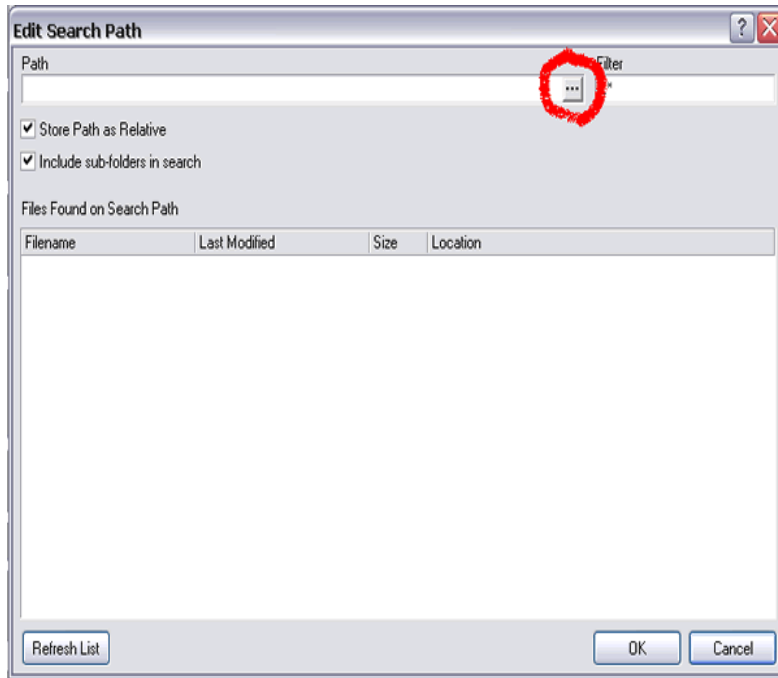
6、重复上一步，选择刚才转换的.pcblib 文件，将其添加到项目中。如图所示。



7、选择 Project>>Project Options，打开如图所示的对话框。



8 单击 **ADD** 按钮,打开如图所示的对话框。点击图中所示按钮,选择 .pcblib 所在的文件夹,单击 **Refresh List** 按钮确认所选择的文件夹是否正确, 然后点击 **O K** 按钮关闭对话框。



9、在 Error Reporting 标签中设置你需要的内容，单击 O K 按钮关闭对话框。

10、选择 Project>>Compile Integrated Library，这样 **Altium Designer** 就将你刚才添加的库文件生成了一个集成元件库，并打开 Libraries 面板，在库列表中你所生成的库为当前库，在该列表下面，你会看到每一个元件名称都对应一个原理图符号和一个 P C B 封装。

好了，你的集成元件库完成了。另外你所生成的集成元件库保存在第 8 步骤中选择的文件夹下的 Project Outputs for Atmel 子文件夹中。

顺便提一下，当你用要自己做元件库时，你必须第 5 步骤之前完成.schlib 和.pclib，然后再从第 5 步骤开始。如果你要修改你的元件库，你可以在.schlib 或.pclib 中修改后，再从第 5 步骤开始。

13 在 Altium Designer 中进行 FPGA 设计综合布线及生成下载文件。

在 DXP 主页面下（打开软件时缺省设置就出现 DXP 主页），用鼠标左键单击 File\New\Project\FPGA Project,左边的工程资源管理器中就出现了一个名为发 FPGA_Project1.PrjFpg 的 FPGA 工程， 现在可以左键单击 File\Save Project as 来改变项目的保存路径和项目名称。

在项目名称上右键单击，在引处的菜单中选择 Add new to Project\Schematic,这样，在当前的工程当中添加了一个新的原理图（这里的原理图是指设计 FPGA 的原理图文件）Sheet1.schDoc，在原理图文件上右键单击，在引处的菜单中选择 Save as 来改变原理图名称和保存路径。

在项目名称上右键单击，在引处的菜单中选择 Add new to Project\VHDL Document ，这样，在当前的工程当中添加了一个新的 VHDL 文件 VHDL1.Vhd，在 VHDL 文件上右键单击，在引处的菜单中选择 Save as 来改变 VHDL 文件 名称和保存路径。

现在，我们已经在 FPGA 工程中添加了一张空白的原理图和一个空白的 VHDL 文件了。

接下来，我们在空白的 VHDL 文件中输入 VHDL 源代码，保存文件。

完成 VHDL 文件设计后，左键单击 VHDL 文件名称，在引出的菜单中左键单击 **Compile Document xxx.Vhd**，(xxx 是用户自己定义的文件名)，对这个 VHDL 文件进行编译，如果有什么错误信息就会自动启动消息窗口（Message），来提示用户那里有什么样的错误。

经检查没有错误后，保存 VHDL 文件。

左键双击原理图名称，打开原理图文件，在当前的原理图编辑器环境下，左键单击 **Design\Creat Sheet Symbol From Sheet**，在冒出来的对话框上左键单击要生成一个图表符的 VHDL 文件，选中这个文件，按 OK 键，这时，光标上就会粘上一个绿色的图表符，移动鼠标，把这个图表符放到合适的位置，这时，我们可以看到，源代码的所有端口都在图表符上列出了，如果我们有多个 VHDL 文件模块，我们可以重复这个操作，在原理图中以生成图表符的方式调用各个 VHDL 文件模块，

编译以后，就会看到，以生成图表符的方式被调用各个 VHDL 文件模块自动的成为原理图文件的子文件，体现了各个模块文件和上层文件的调用关系。

经检查没有错误后，保存原理图。

在原理图的下方偏右的边框上，左键单击 **System\Libraries**，打开库文件，在库文件的面板里左键单击 **Libraries** 可以对当前使用的库文件进行添加，移出和排序。

从 FPGA 元器件库选中需要的元器件，按 **Place** 或拖出我们需要的元器件，用 **PLACE\WIRE** 线或 **PLACE\Bus** 总线把它们和我们设计的 FPGA 模块的图表符连起来，并且给所有的元器件加上相应的标号（Designator），保存完成原理图设计。

左键单击 **Place\Bus** 和 **Place\Wire**，用线和总线把各个模块连起来。对要接到 FPGA 芯片 I/O 口上的信号，左键单击 **Place\Port**，给每个信号加上一个端口，并且选择好各个端口的属性和名称。

完成原理图设计后，左键单击原理图名称，在引出的菜单中左键单击 **Compile Document xxx.SCHDOC**，(xxx 是用户自己定义的文件名)，对这个原理图文件进行编译，如果有什么错误信息就会自动启动消息窗口（Message），来提示用户那里有什么样的错误。

经检查没有错误后，保存原理图。

我们已经完成了各个源代码模块的设计，并且已经在顶层将各个模块与器件连接了起来，现在，我们需要一个约束文件来配置 FPGA 器件里面逻辑设计中信号的 I/O 口位置。

在项目名称上右键单击，在引出的菜单中选择 **Add new to Project\Constraint File**，这样，在当前的工程当中添加了一个新的约束文件 **Constraint1.constraint**，在约束文件上右键单击，在引出的菜单中选择 **Save as** 来改变约束名称和保存路径。

在项目名称上右键单击，保存整个工程，在编译整个工程。

左键单击约束文件，进入约束文件的编辑环境，左键单击 **Design\Add/Modify....\Parts...** 在冒出来的器件对话框中选择目标器件，如选择 Xilinx 公司的 Spartan2E 系列的 XC2S300E-PQ208 器件。在列表中双击这个器件，则器件对话框关闭，且在约束文件中就多了一条约束，如 **Record=Constraint | TargetKind=Part | TargetId=XC2S300E-7PQ208C**，表明当前设计的目标器件是 XC2S300E-7PQ208C

左键单击 **Design\Import Port Constraint from Project** 当前 FPGA 工程中的所有的端口就会自动添加到约束文件中来。

左键点击 Design\Fpga Signal Manager，在冒出来信号管理器对话框中，右键点击，在引出的菜单中选择 Show\Hide Columns\Pin Number,器件的 Pin Number 列就会显现，左键点击 Assign Unconstrained Signals 按键，给所有的信号加上 Pin Number 。右键点击 OK 按键 ， 关闭信号管理器对话框 。 保存约束文件。

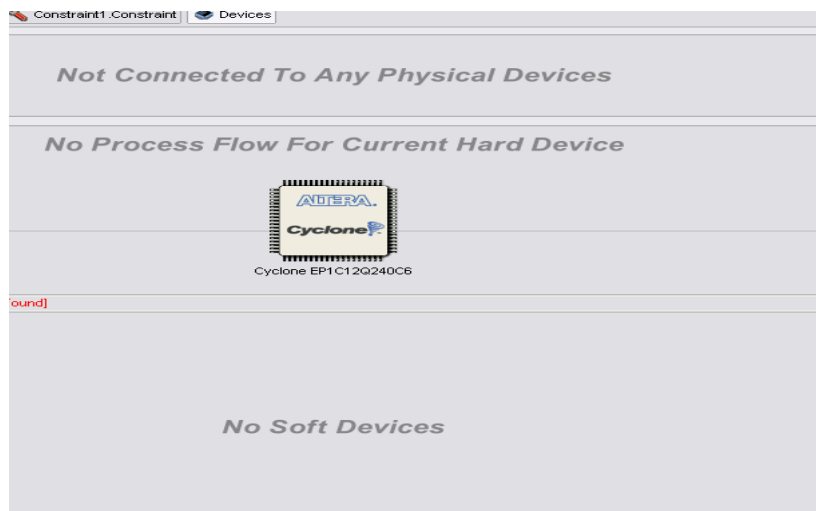
左键点击 Project\Configuration Manager。。。在冒出来配置管理器对话框中，左键点击左下角 Configurations 右边的 Add 按键 ， 在冒出来命名框里输入一个配置名称， 这个配置名称是和约束文件相对应的。 在配置管理器对话框中选中配置。（配置名称下面的格子打上勾）。右键点击 OK 按键 ， 关闭配置管理器对话框 。

在项目名称上右键点击,保存整个工程，在编译整个工程。
左键点击 View\Device View,进入器件界面，如下图 1 所示：

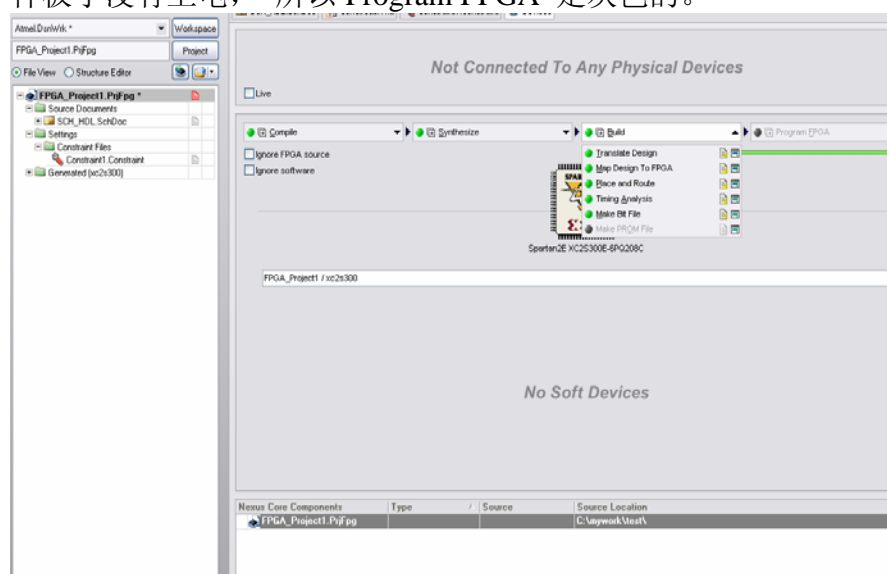


图 1

如果这时器件界面上有其他无关器件，如下图所示，可右键点击,在拖出的菜单中选择 Remove 来删除这个无关的器件，



在图 1 中 No Hard Devices 附近，可右键点击,在拖出的菜单中选择 Add 来添加在约束文件中定义使用的器件，同时，整个编译，综合，布局布线标示也出现了。注意， 因为硬件板子没有上电， 所以 Program FPGA 是灰色的。



可以一步步运行各个进程， 也可以直接点击 **Build** 按键,软件就会自动的进行编译，综合，布局布线，并且生成下载文件。如过那一个过程出错，则自动终止进程并出现紫色标记，这时就可以在 **Message** 栏中查到相应的出错信息。

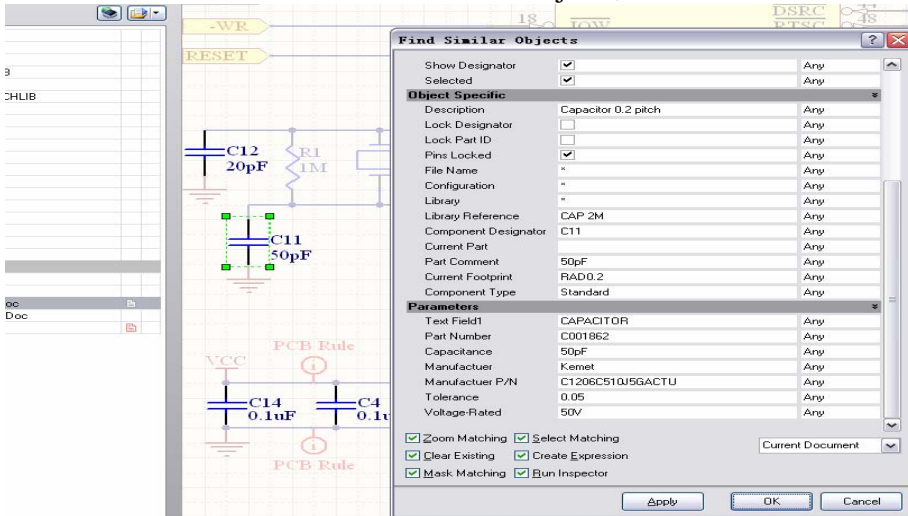
如果硬件板子已经加上了电并且联接了 Altium 的电缆，也可以直接点击 **Program FPGA** 按键，则可以完成所有进程，并且把 bit 文件下载到 **FPGA** 中去 。

生成的这个下载文件可以用 Altium 公司的下载电缆进行下载， 也可以用各个 FPGA 原厂商的软件和电缆进行下载这个 bit 文件

14 如何在 Altium Designer 中运用查找编辑集体整批修改功能

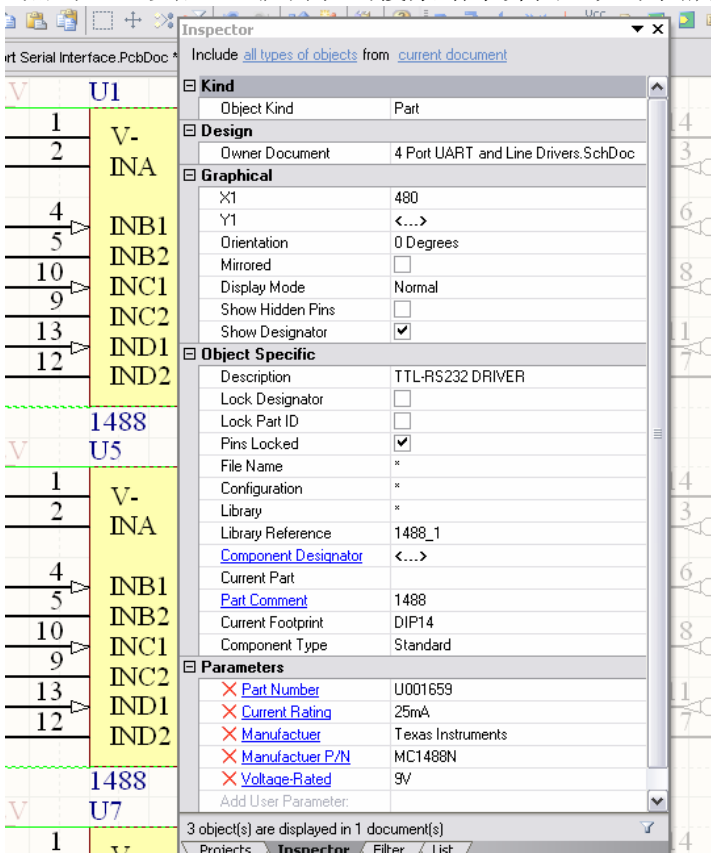
Altium Designer 提供了非常强大搜索修改功能， 有 **List** 和 **Inspector** 等对话框，可以在原理图或 PCB 文件中对器件进行集体修改。在原理图文件中,左键选中器件，右键点击，

在拖出的菜单里左键选中 Find Similar Objects, 则出现选中界面,



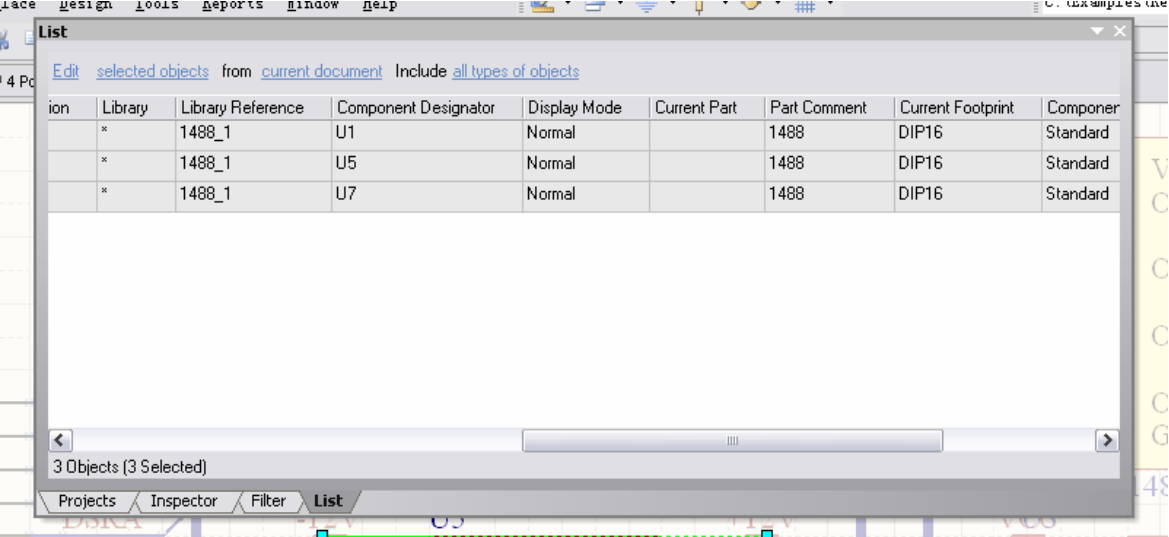
在这个界面里, 所有的选项都可以设置为约束条件来进行查找, 比如, 在 Description 行, 在 ANY 栏里点一下, 在 Any 旁的箭头的选项中选为 SAME, 点击 OK, 就可以找出所有同一个描述的器件; Current Footprint 行箭头的选项中选为 SAME, 点击 OK 这样就可以找出所有同一个封装的器件; Part Comment 行箭头的选项中选为 SAME, 点击 OK 这样就可以找出所有同一个注释的器件, 等等, 如此设置可以进行各种各样的搜索。

点击 OK 以后, 就会跳出搜索结果界面。如下图所示,

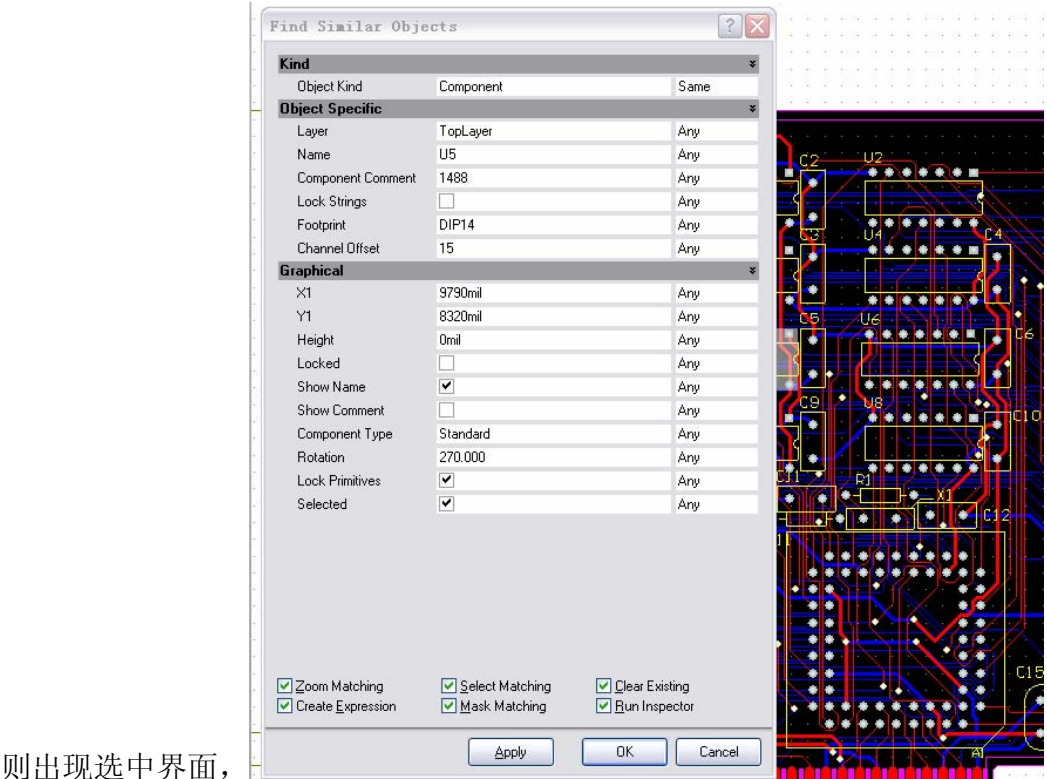


如图所示，这是以 **Part Comment** 为条件找到的三个符合条件对象，这时，如果我想一起修改着三个器件的属性，比如说封装，只要将 **DIP14** 改为 **SOP14**，然后在 **Inspector** 界面其他地方左键点击，则修改就有效了。

如果要一个个修改的话，可以左键点击 **View\Workspace Panel\SCH>List**，则进入列表界面，如下图所示，在列表界面里就可以一个个对所选的器件进行修改。



在 **PCB** 文件中，左键选中器件，右键点击，在拖出的菜单里左键选中 **Find Similar Objects**,

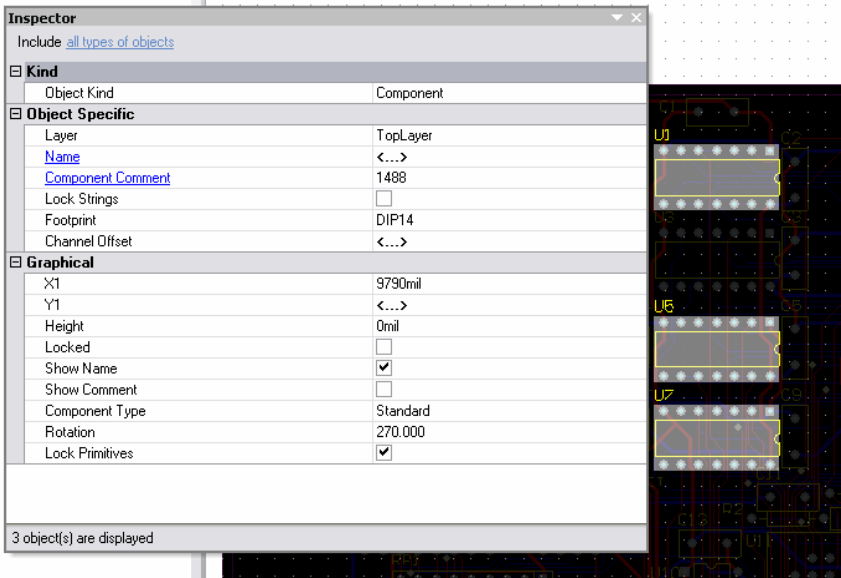


则出现选中界面，

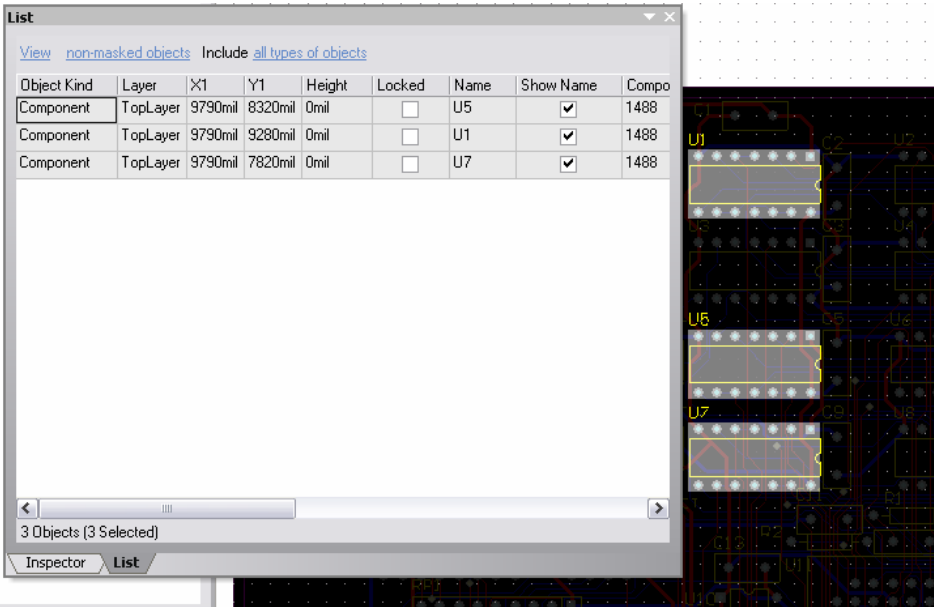
在这个界面里，所有的选项都可以设置为约束条件来进行查找，比如，在 **Current Footprint** 行，在 **Any** 栏里点一下，在 **Any** 旁的箭头的选项中选为 **SAME**，点击 **OK**，就

可以找出所有同一个封装的器件； **Part Comment** 行在 **Any** 栏里点一下，在 **Any** 旁的箭头的选项中选为 **SAME**，点击 **OK** 这样就可以找出所有同一个注释的器件，等等， 如此设置可以进行各种各样的搜索。

点击 **OK** 以后， 就会跳出搜索结果界面。如下图所示，



如图所示，这是以 **Part Comment** 为条件找到的三个符合条件对象， 这时，如果我想一起修改着三个器件的属性，比如说封装，只要将 **DIP14** 改为 **SOP14**，然后在 **Inspector** 界面其他地方左键点击，则修改就有效了,这时， 软件就在库里找新的封装来代替现有的封装。如果要一个个修改的话， 可以左键点击 **View\Workspace Panel\PCB\List**,则进入列表界面， 下图所示， 在列表界面里就可以一个个对所选的器件进行修改。

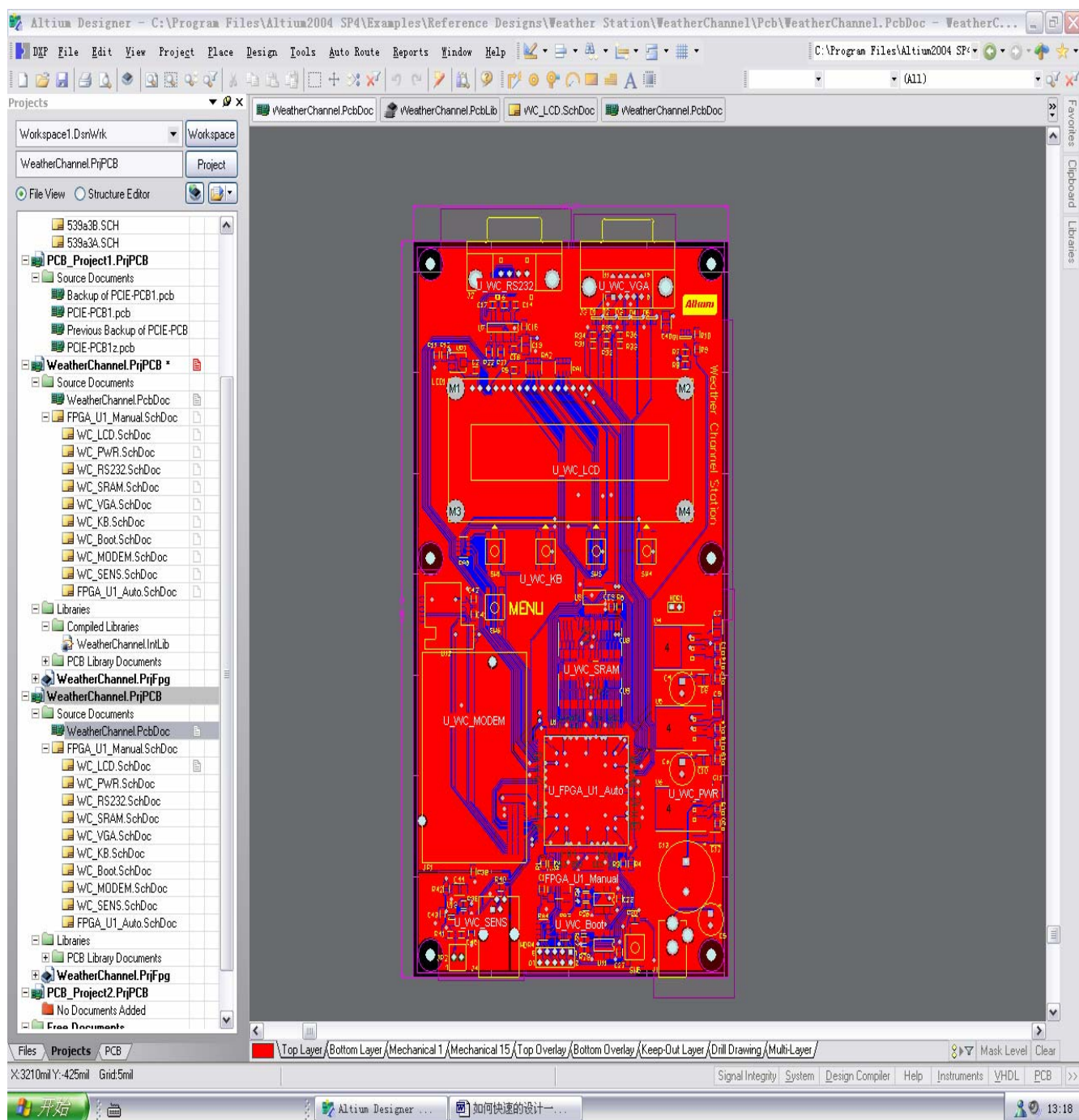


15 如何在 Altium Designer 6 中快速的设计一块 PCB

如何快速的设计一块 PCB!

1 生成库

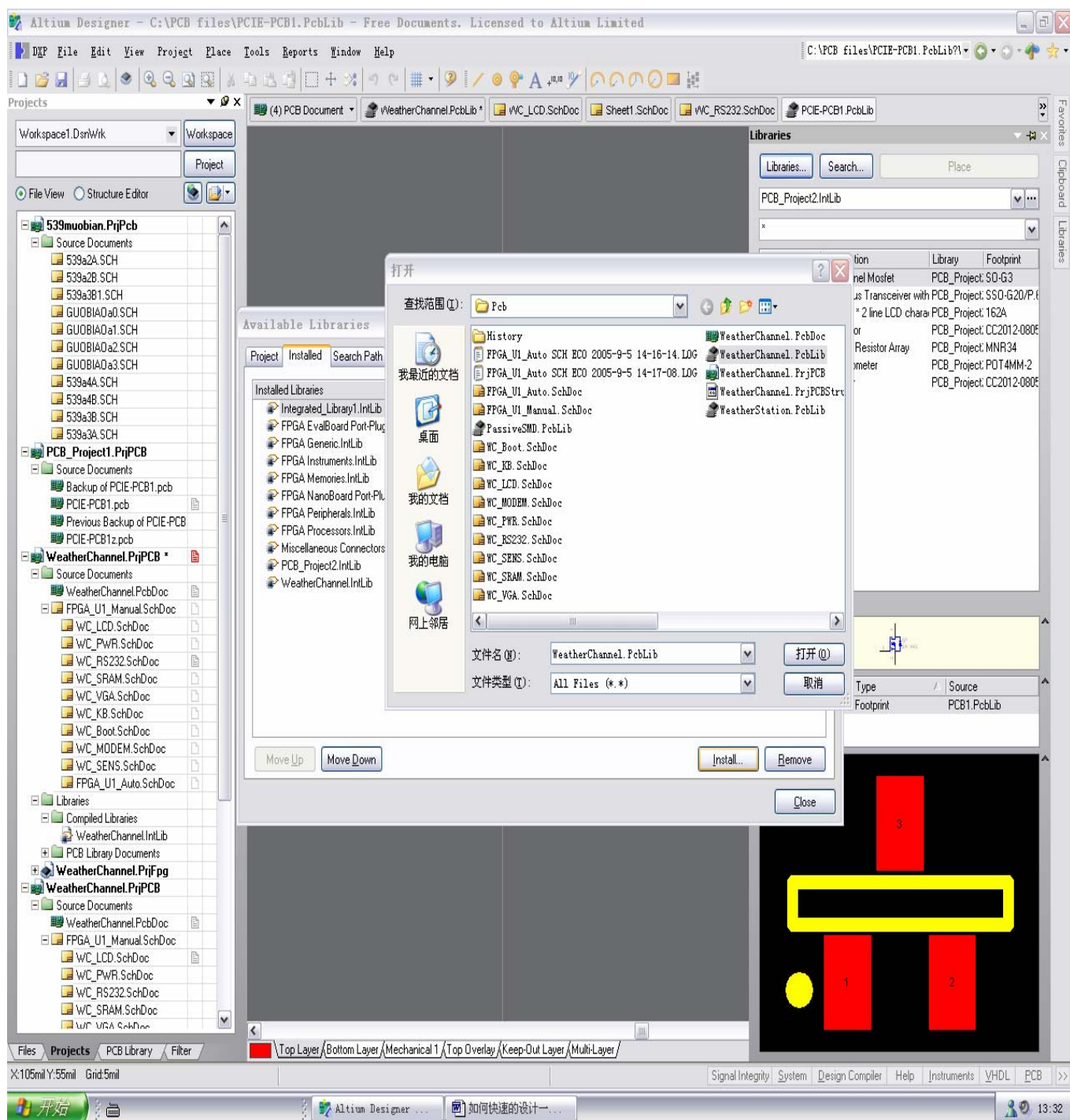
在 PCB 文件打开的环境下，左键点击 Design\Make Integrated Library,这时，软件就会执行一个集成库生成命令，把当前打开的这张 PCB 文件中所有的元器件生成一个集成库！点击保存这个集成库文件。（当然，左键点击 Design\Make PCB Library,这时，软件就会执行一个 PCB 库生成命令，把当前打开的这张 PCB 文件中所有的元器件生成一个 PCB 库，在这里 PCB 库和集成库是一样可以用来进行 PCB 加载的！点击保存这个 PCB 库文件）



2 添加库！保证要用的库在可用库列表之中！

一般情况下，这个库文件会和 PCB 文件保存在同一目录下，但并不一定在当前的软件使用的 Library 当中，就要把它添加进来。

在界面的下方偏右的边框上，左键点击 **System\Libraries**，打开库文件，在库文件的面板里左键点击 **Libraries**，把刚才生成的库加到当前使用的库列表里面来，注意不要搞错库名称，加错库。



在库文件的面板里左键点击 Libraries 后，就冒出一个 Available Libraries 可用库列表，在这个列表里观察一下刚才生成的库在不在这个列表里面，如果没有，点击 Install 按键，在跳出的添加打开界面中可以找到文件夹和那个库文件！

3 建立一个工程，添加一张空白原理图文件和一个空白 PCB 文件！

用鼠标左键单击 File\New\Project\PCB Project,左边的工程资源管理器中就出现了一个名为 PCB_Project1.PrjPCB 的 PCB 工程,现在可以左键单击 File\Save Project as 来改变项目的保存路径和项目名称。

在项目名称上右键单击,在引出的菜单中选择 Add new to Project\Schematic,这样,在当前的工程当中添加了一个新的原理图文件 Sheet.schDoc,原理图文件上右键单击,在引出的菜单中选择 Save as 来改变原理图名称和保存路径。

现在,我们已经在 PCB 工程中添加了一张空白的原理图了。

在项目名称上右键单击,在引出的菜单中选择 Add new to Project\PCB,这样,在当前的工程当中添加了一个新的 PCB 文件 PCB1.PcbDoc,在 PCB 文件上右键单击,在引出的菜单中选择 Save as 来改变 PCB 文件名称和保存路径。

左键单击 Project\Compile PCB Project xxx..PrjPCB (xxx 是用户自己定义的工程名) 编译整个 PCB 工程。

现在,我们已经在 PCB 工程中添加了一张空白的 PCB 文件了。

4 从原来生成库的工程中的原理图文件中拷贝一些原理图,拷到新工程中空白的原理图中。

回到最开始生成库的那个旧 PCB 工程,打开它的一张原理图,左键单击一下,在这个原理图文件中按 Ctrl+A (全选) 再加 Ctrl+C (复制);

再到新建工程里面的原理图中,左键单击一下,在这个原理图文件中按 Ctrl+V (粘贴), (注意,可以调整图纸大小,不要让原理图跑到图纸外面去!),保存这个文件,

这样我们在新工程里面画好原理图了。完成原理图设计后,左键单击原理图名称,在引出的菜单中左键单击 Compile Document xxx.SCHDOC ,(xxx 是用户自己定义的文件名),对这个原理图文件进行编译,如果有什么错误信息就会自动启动消息窗口 (Message),来提示用户那里有什么样的错误。经检查没有错误后,保存原理图。(有时候有的小错误也不要紧)

左键单击 Project\Compile PCB Project xxx..PrjPCB (xxx 是用户自己定义的工程名) 编译整个 PCB 工程。

5 给新工程中空白的 PCB 文件载入原理图的网表

左键双击 PCB 文件在工程资源管理器中的图标,打开这个空白 PCB 文件,左键单击 Design\Board Shape\Redefine Board Shape 命令,这时,就会出现绿色的背景,光标上就出现一个十字交叉,移动鼠标,这个十字交叉就会跟着移动,用这个光标在背景上画出一个封闭的曲线,这个曲线内部部分就是定义的 PCB 板。

左键单击 PCB 编辑器下方用来选择当前工作层的图标,选中 Keep-Out Layer,在当前层上,选择 Place\Line 命令,在 Keep-Out Layer 层上画一个边框,作为我们的布局布线的外围约束边框,保存文件和工程。

左键单击 Project\Compile PCB Project xxx..PrjPCB (xxx 是用户自己定义的工程名) 编译整个 PCB 工程,保存工程。

在当前的 PCB 编辑器环境下,左键单击 Design\Import Changes From xxx..PrjPCB,会自动跳出来 Engineering Change Order 对话框,列出了对 PCB 文件加载网表的一些具体操作。添加的有: Component Class(器件类), Components (器件), Nets (网络连接), Rooms (空间) 等。

确认没有什么错误就左键依次单击 Validate Changes, Execute Changes 两个按钮,对话框的右边就会冒出来绿色的图标来表示所执行的加载项目是正常的。单击 Close 关闭对话框。[如果有错误,诸如 Footprint Not Found xxxxx,(xxxxx 代表某种类型的封装)。有时,很明显所需要的封装已经存在与当前的库中了,却还是有这种错误。请仔细阅读第6节,如果无错误,则不需要读第6节]

现在,我们已经把网表加载到这个 PCB 文件中了。

在当前的 PCB 编辑器环境下,连续按下键盘上的 PgDn(下页) 按钮,缩小 PCB 画面,就可以发现,元器件已被加载到当前的 PCB 文件中,并且每个元器件类中的器件自动放在一个空间中,移动这个空间,

把这个空间中的器件一起移动 PCB 板上，放到合适的位置，这个空间的大小可以修改，也可以删除这个空间。

接下来，我们逐一对器件位置进行调整。我们可以采取用鼠标左键在器件上按住不放，移动鼠标来拖动这个器件到合适的位置。

左键点击 Place\ Interactive Routing ,这时，光标上就出现一个十字交叉， 移动鼠标，这个十字交叉就会跟着移动。这时，左键点击某个管脚，直线移动鼠标，就可以布出线来，连续左键点击，就可布出拐弯的曲线来，直到另一个管脚，双击左键，完成一条网络布线。

接下来，我们可以对继续对器件进行布局布线。完成 PCB 设计。

在当前的 PCB 编辑器环境下，左键点击 Tools\Design Rule Checker,在冒出来的对话框上左键点击 Run Design Rule Check 按键，可以输出一个当前文件的违反规则报告，详细列出在那个位置违反了那个规则。

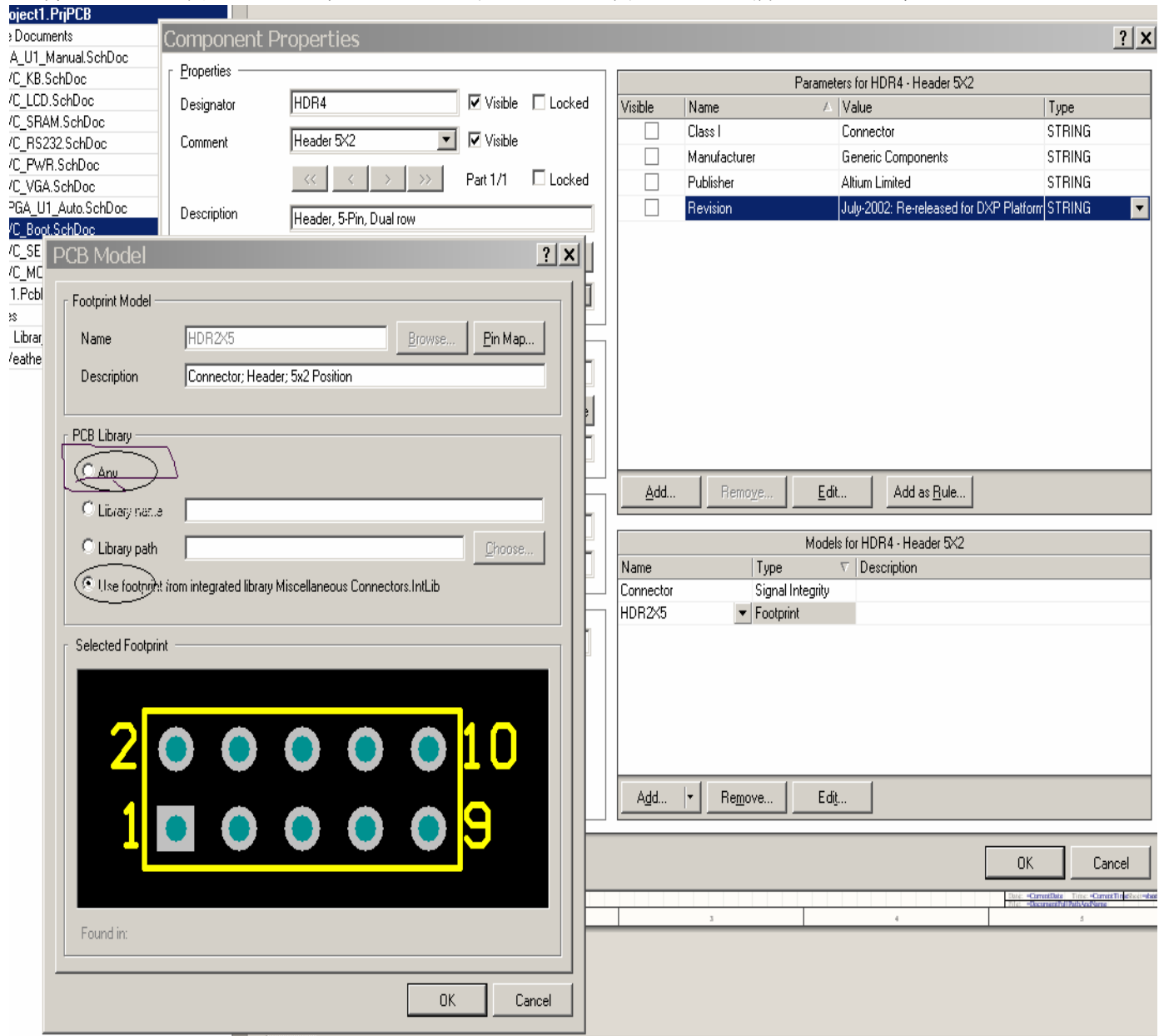
6 排除器件封装找不到的这种问题

有时， 很明显所需要的封装已经存在与当前的库中了， 却还是有这种错误。

如果有 Footprint Not Found xxxxx , (xxxxx 代表某种类型的封装)这种错误，是因为在原理图中这个器件符号对应一个指定的 PCB 器件封装， 而这个 PCB 器件封装在一个指定的 PCB 封装库文件中，而这 PCB 封装库文件不在当前项目中，也不在已经安装了的当前库中。解决这种问题有多种方法。

我们可以在原理图中找到这个器件符号，左键双击器件符号， 则跳出符号的属性界面，在符号的属性界面的右下方 Models 部分中双击 Footprint 字符,则跳出 PCB Model 界面,在这个界面中部将 PCB Library 框 中的选项改为 Any .这个意思就是不管在哪个 PCB 封装库文件的器件封装，只要名称相同就可以用。而 Use footprint from的意思是只能使用某个特定库中的封装，那个特定库不在， 就报错了，所以将 PCB Library 框 中的选项改为 Any 就可以解决这个问题了。

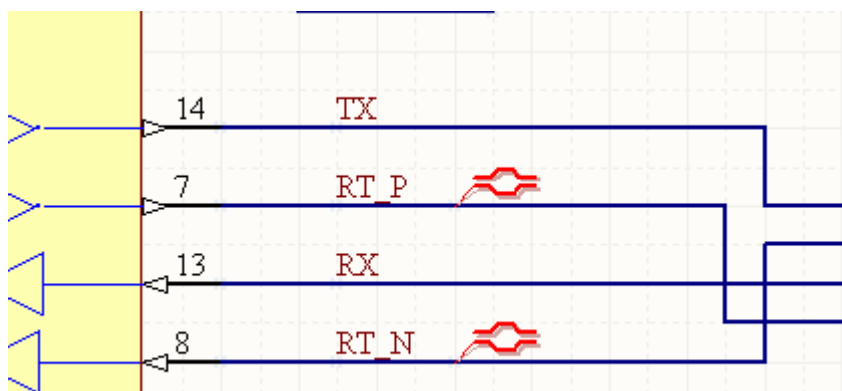
界面如下图所示。



16 如何在 Altium Designer 6 中快速进行差分对走线

1: 在原理图中让一对网络前缀相同，后缀分别为_N 和_P，并且加上差分对对指示。

在原理图中，让一对网络名称的前缀名相同，后缀分别为_N 和_P，左键点击 Place\ Directives \Differential Pair,这时，鼠标上就出现差分对对指示标志，给差分对的两根线都加上差分对对指示，如下图所示。



2: 将差分信息加载到 PCB 文件中来，并定义用户需要的差分规则

保存编译文件，并且编译顶层的原理图。左键点击 Design\Update PCB document...,启动 Engineer Change Order, 把有关的差分对信息加载到 PCB 文件中来，保存 PCB 文件。


在PCB文件中，转移到PCB面板，在靠近PCB这三个字母旁边的行中选择Differential Pairs Editor,在下面的框中选中All Differential Pairs,这样，所有定义的差分对就在Designer 框中出现了。选中定义的差分对(如RT),左键点击 Rule Wizard按键,进入Differential Pair Rule Wizard 界面，点击 Next 按键,回进入各个参数输入界面，可以选择输入各种参数 如下图就是其中的一个界面。

DiffPair_MatchedLengths

Rule Properties

Tolerance

Style



Amplitude

Rule Priority

Priority	Enabled	Name	Scope	Attributes
1	<input checked="" type="checkbox"/>	DiffPair_MatchedLeng	(IsDifferentialPair And (Tolerance = 1000mil Style - 90 Degrees Amplitude = 200mil

到最后，在Rule Creation Completed 界面中，会显示下面的这些种类的信息，告诉你你输入的参数是怎么样的。如果不满意的话左键点击Back按钮返回修改，满意的话左键点击Finish按钮结束差分线规则设置。

Width Constraint

DiffPair_Width

Pref Width = 10mil Min Width = 10mil Max Width = 10mil

InDifferentialPair('RT')

Matched Net Lengths

DiffPair_MatchedLengths

Tolerance = 1000mil Style - 90 Degrees Amplitude = 200mil Gap = 20mil

(IsDifferentialPair And (Name = 'RT'))

Differential Pairs Routing

DiffPair_DiffPairsRouting

Pref Gap = 10mil Min Gap = 10mil Max Gap = 10mil

(IsDifferentialPair And (Name = 'RT'))

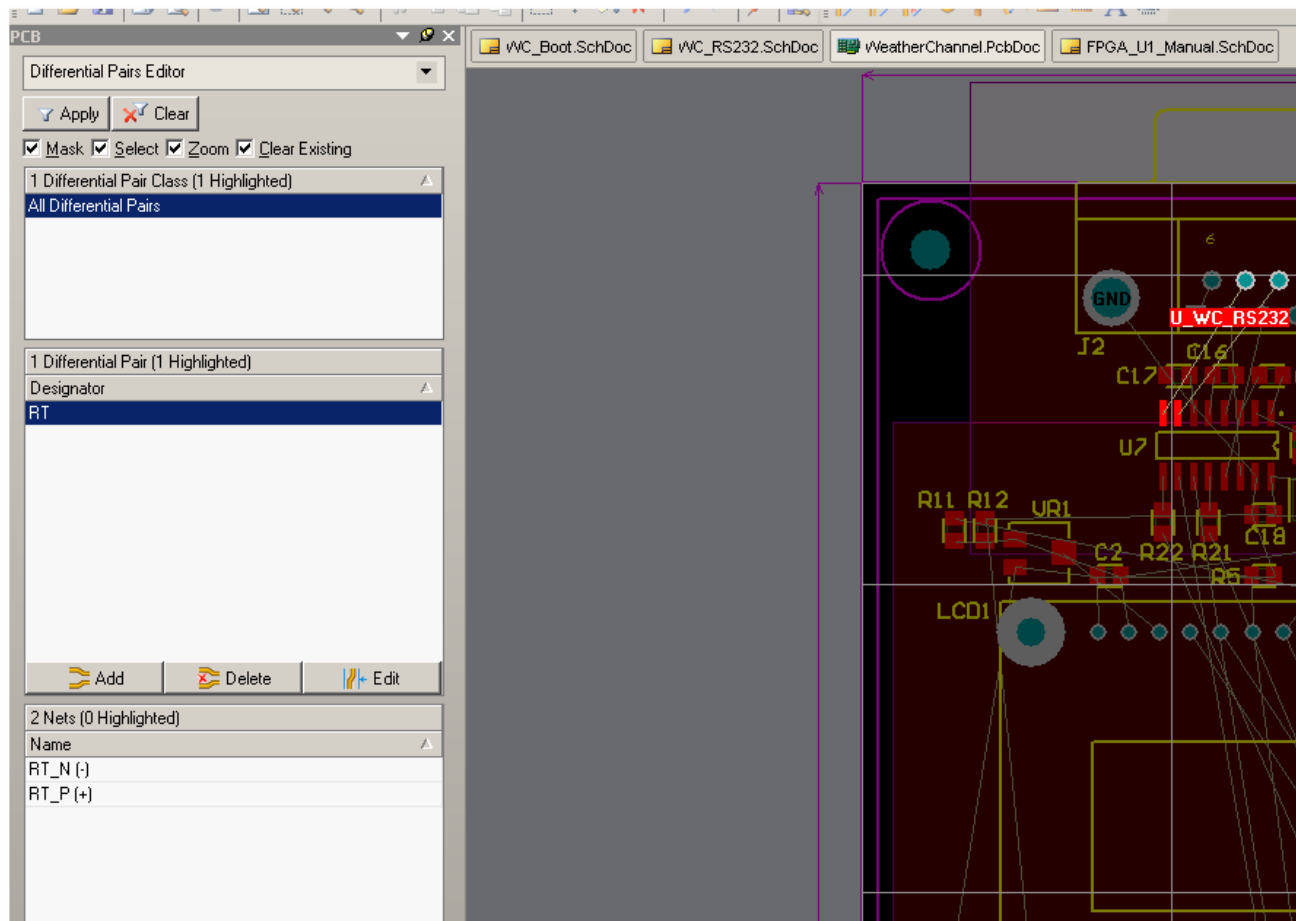
地址：上海浦东张杨路 838 号华都大厦 9A

邮编：200122

联系方式 support@altium.com.cn 公司网址 www.altium.com.cn, www.altium.com,

演示中心 <http://www.altium.com/Evaluate/DemoCenter/AltiumDesigneroverview>.

Tel: 021-68764016 传真：021-68764015



3: 使用差分走线命令完成差分对走线

左键点击 Place\Differeential Pair Routing ,进入差分对布线模式,此时, 用鼠标在差分网络的两个相邻的焊盘上点击一下, 然后移动鼠标, 就会看到对应的另一跟线也会伴随着一起平行的走线, 同时按下 Ctrl+Shift 并且转动鼠标的滚轮, 就可以两跟线同时换层。效果如下图所示。



17 如何在 Altium Designer 6 的 PCB 中添加各种不同字体大小的汉字字符

Altium Designer 6 在 PCB 文件中支持各种字体的汉字输入，并且可以自由的改变大小尺寸，就象加入英文的字符串一样方便，操作方也一样。

在当前的 PCB 文件中，左键点击 Place\String 命令，在跳出的 String 对话框中 Font 中选中 TrueType,这时，就可以在 Font Name 中选择你想要的字体。在 Text 后面的空格中输入中文字符串。在上边的 Height 旁边可以输入需要的大小。在上边的 Rotation 旁边可以输入需要的旋转角度。

