

## 基于信号完整性分析的高速数字 PCB 的设计方法

本文介绍了一种基于信号完整性计算机分析的高速数字信号 PCB 板的设计方法。在这种设计方法中，首先将对所有的高速数字信号建立起 PCB 板级的信号传输模型，然后通过信号完整性的计算分析来寻找设计的解空间，最后在解空间的基础上来完成 PCB 板的设计和校验。

随着集成电路输出开关速度提高以及 PCB 板密度增加，信号完整性已经成为高速数字 PCB 设计必须关心的问题之一。元器件和 PCB 板的参数、元器件在 PCB 板上的布局、高速信号的布线等因素，都会引起信号完整性问题，导致系统工作不稳定，甚至完全不工作。

如何在 PCB 板的设计过程中充分考虑到信号完整性的因素，并采取有效的控制措施，已经成为当今 PCB 设计业界中的一个热门课题。基于信号完整性计算机分析的高速数字 PCB 板设计方法能有效地实现 PCB 设计的信号完整性。

### 1. 信号完整性问题概述

信号完整性(SI)是指信号在电路中以正确的时序和电压作出响应的能力。如果电路中信号能够以要求的时序、持续时间和电压幅度到达 IC，则该电路具有较好的信号完整性。反之，当信号不能正常响应时，就出现了信号完整性问题。从广义上讲，信号完整性问题主要表现为 5 个方面：延迟、反射、串扰、同步切换噪声(SSN)和电磁兼容性(EMI)。

延迟是指信号在 PCB 板的导线上以有限的速度传输，信号从发送端发出到达接收端，其间存在一个传输延迟。信号的延迟会对系统的时序产生影响，在高速数字系统中，传输延迟主要取决于导线的长度和导线周围介质的介电常数。

另外，当 PCB 板上导线(高速数字系统中称为传输线)的特征阻抗与负载阻抗不匹配时，信号到达接收端后有一部分能量将沿着传输线反射回去，使信号波形发生畸变，甚至出现信号的过冲和下冲。信号如果在传输线上来回反射，就会产生振铃和环绕振荡。

由于 PCB 板上的任何两个器件或导线之间都存在互容(mutual capacitance)和互感，当一个器件或一根导线上的信号发生变化时，其变化会通过互容和互感影响其它器件或导线，即串扰。串扰的强度取决于器件及导线的几何尺寸和相互距离。

当 PCB 板上的众多数字信号同步进行切换时(如 CPU 的数据总线、地址总线等)，由于电源线和地线上存在阻抗，会产生同步切换噪声，在地线上还会出现地平面反弹噪声(简称地弹)。SSN 和地弹的强度也取决于集成电路的 IO 特性、PCB 板电源层和地平面层的阻抗以及高速器件在 PCB 板上的布局和布线方式。

另外，同其它的电子设备一样，PCB 也有电磁兼容性问题，其产生也主要与 PCB 板的布局和布线方式有关。

### 2. 传统的 PCB 板设计方法

在传统的设计流程中，PCB 的设计依次由电路设计、版图设计、PCB 制作、测量调试等步骤组成。在电路设计阶段，由于缺乏有效的对信号在实际 PCB 板上的传输特性的分析方法和手段，电路的设计一般只能根据元器件厂家和专家建议及过去的设计经验来进行。所以对于一个新的设计项目而言，通常都很难根据具体情形作出信号拓扑结构和元器件的参数等因素的正确选择。

在 PCB 版图设计阶段，同样因为很难对 PCB 板的元器件布局和信号布线所产生的信号性能变化作出实时分析和评估，所以版图设计的好坏更加依赖于设计人员的经验。在 PCB 板制作阶段，由于各 PCB 板及元器件生产厂家的工艺不完全相同，所以 PCB 板和元器件的参数一般都有较大的公差范围，使得 PCB 板的性能更加难以控制。

在传统的 PCB 设计流程中，PCB 板的性能只有在制作完成后才能够通过仪器测量来评判。在 PCB 板调试阶段中发现的问题，必须等到下一次 PCB 板设计中加以修改。但更为困难的是，有些问题往往很难将其量化成前面电路设计和版图设计中的参数，所以对于较为复杂的 PCB 板，一般都需要通过反复多次上述的过程才能最终满足设计要求。

可以看出，采用传统的 PCB 设计方法，产品开发周期较长，研制开发的成本也相应较高。

### 3. 基于信号完整性分析的 PCB 设计方法

基于信号完整性计算机分析的 PCB 设计流程如图 2 所示。与传统的 PCB 设计方法相比，基于信号完整性分析的设计方法具有以下特点：

在 PCB 板设计之前，首先建立高速数字信号传输的信号完整性模型。

根据 SI 模型对信号完整性问题进行一系列的预分析，根据仿真计算的结果选择合适的元器件类型、参数和电路拓扑结构，作为电路设计的依据。

在电路的设计过程中，将设计方案送交 SI 模型进行信号完整性分析，并综合元器件和 PCB 板参数的公差范围、PCB 版图设计中可能的拓扑结构和参数变化等因素，计算分析设计方案的解空间。

在电路设计完成后，各高速数字信号应该都具有一个连续的、可实现的解空间。即当 PCB 及元器件参数在一定的范围内变化、元器件在 PCB 板上的布局以及信号线在 PCB 板上的布线方式具有一定的灵活性的情况下，仍然能够保证对信号完整性的要求。

PCB 版图设计开始之前，将获得的各信号解空间的边界值作为版图设计的约束条件，以此作为 PCB 版图布局、布线的设计依据。

在 PCB 版图设计过程中，将部分完成或全部完成的设计送回 SI 模型进行设计后的信号完整性分析，以确认实际的版图设计是否符合预计的信号完整性要求。若仿真结果不能满足要求，则需修改版图设计甚至电路设计，这样可以降低因设计不当而导致产品失败的风险。

在 PCB 设计完成后，就可以进行 PCB 板制作。PCB 板制造参数的公差范围应在信号完整性分析的解空间的范围之内。

当 PCB 板制造好后，再用仪器进行测量调试，以验证 SI 模型及 SI 分析的正确性，并以此作为修正模型的依据。

在 SI 模型以及分析方法正确的基础上，通常 PCB 板不需要或只需要很少的重复修改设计及制作就能够最终定稿，从而可以缩短产品开发周期，降低开发成本。

### 4. 信号完整性分析模型

在基于信号完整性计算机分析的 PCB 设计方法中，最为核心的部分就是 PCB 板级信号完整性模型的建立，这是与传统的设计方法的区别之处。

SI 模型的正确性将决定设计的正确性，而 SI 模型的可建立性则决定了这种设计方法的可行性。

#### 4.1. PCB 设计的 SI 模型

在电子设计中已经有多种可以用于 PCB 板级信号完整性分析的模型。其中最为常用的有三种,分别是 SPICE、IBIS 和 Verilog-A。

##### a. SPICE 模型

SPICE 是一种功能强大的通用模拟电路仿真器。现在 SPICE 模型已经广泛应用于电子设计中，并且衍生出两个主要的版本：HSPICE 和 PSPICE，HSPICE 主要应用于集成电路设计，而 PSPICE 主要应用于 PCB 板和系统级的设计。

SPICE 模型由两部分组成：模型方程式(Model Equations)和模型参数(Model Parameters)。由于提供了模型方程式，因而可以把 SPICE 模型与仿真器的算法非常紧密地联接起来，可以获得更好的分析效率和分析结果。

采用 SPICE 模型在 PCB 板级进行 SI 分析时，需要集成电路设计者和制造商提供详细准确描述集成电路 I/O 单元子电路的 SPICE 模型和半导体特性的制造参数。由于这些资料通常都属于设计者和制造商的知识产权和机密，所以只有较少的半导体制造商会在提供芯片产品的同时提供相应的 SPICE 模型。

SPICE 模型的分析精度主要取决于模型参数的来源(即数据的精确性)，以及模型方程式的适用范围。而模型方程式与各种不同的数字仿真器相结合时也可能会影响分析的精度。除此之外，PCB 板级的 SPICE 模型仿真计算量较大，分析比较费时。

##### b. IBIS 模型

IBIS 模型最初是由 Intel 公司开发专门为用于 PCB 板级和系统级的数字信号完整性分析的模型。现在由 IBIS 开放论坛管理，并且成为了正式的工业标准(EIA/ANSI 656-A)。

IBIS 模型采用 I/V 和 V/T 表的形式来描述数字集成电路 I/O 单元和引脚的特性。由于 IBIS 模型无需描述 I/O 单元的内部设计和晶体管制造参数，因而得到了半导体厂商的欢迎和支持。现在各主要的数字集成电路制造商都能够在提供芯片的同时提供相应的 IBIS 模型。

IBIS 模型的分析精度主要取决于 I/V 和 V/T 表的数据点数和数据的精确度。由于基于 IBIS 模型的 PCB 板级仿真采用查表计算，因而计算量较小，通常只有相应的 SPICE 模型的 1/10 到 1/100。

##### c. Verilog-AMS 模型和 VHDL-AMS 模型

Verilog-AMS 和 VHDL-AMS 出现还不到 4 年，是一种新的标准。作为硬件行为级的建模语言，Verilog-AMS 和 VHDL-AMS 分别是 Verilog 和 VHDL 的超集，而 Verilog-A 则是 Verilog-AMS 的一个子集。

与 SPICE 和 IBIS 模型不同的是，在 AMS 语言中是由用户来编写描述元器件行为的方程式。与 IBIS 模型相类似，AMS 建模语言是独立的模型格式，可以应用在多种不同类型

的仿真工具中。AMS 方程式还能够在多种不同的层次上来编写：晶体管级、I/O 单元级、I/O 单元组等。

由于 Verilog-AMS 和 VHDL-AMS 是一种新的标准，迄今为止只有少数的半导体厂商能够提供 AMS 模型，目前能够支持 AMS 的仿真器也比 SPICE 和 IBIS 的要少。但 AMS 模型在 PCB 板级信号完整性分析中的可行性和计算精度毫不逊色于 SPICE 和 IBIS 模型。

#### 4.2 模型的选用

由于目前还没有一种统一的模型来完成所有的 PCB 板级信号完整性分析，因此在高速数字 PCB 板设计中，需要混合上述几种模型来最大程度地建立关键信号和敏感信号的传输模型。

对于分立的无源器件，可以寻求厂家提供的 SPICE 模型，或者通过实验测量直接建立并使用简化的 SPICE 模型。

对于关键的数字集成电路，则必须寻求厂家提供的 IBIS 模型。目前大多数集成电路设计和制造商都能够通过 Web 网站或其它方式在提供芯片的同时提供所需的 IBIS 模型。

对于非关键的集成电路，若无法得到厂家的 IBIS 模型，还可以依据芯片引脚的功能选用相似的或缺省的 IBIS 模型。当然，也可以通过实验测量来建立简化的 IBIS 模型。

对于 PCB 板上的传输线，在进行信号完整性预分析及解空间分析时可采用简化的传输线 SPICE 模型，而在布线后的分析中则需要依据实际的版图设计使用完整的传输线 SPICE 模型。

#### 5. 设计方法与现有 EDA 软件的结合

目前在 PCB 设计业还没有一个集成的 EDA 软件来完成上述的设计方法，因此必须通过一些通用的软件工具的结合来实现。

运用通用的 SPICE 软件(如 PSPICE，HSPICE 等)，对分立、无源器件和 PCB 上的传输线建立 SPICE 模型，并调试验证。

将已经获得的各元器件及传输线的 SPICE/IBIS 模型加入到通用的信号完整性分析软件中，如 SPECCTRAQuest、HyperLynx、Tau、IS\_Analyzer 等，建立信号在 PCB 板上的 SI 分析模型，并进行信号完整性的分析计算。

运用 SI 分析软件自带的数据库功能，或使用其它通用的数据库软件，对仿真运算的结果进行进一步整理和分析，搜寻理想的解空间。

将解空间的边界值作为 PCB 电路设计的依据和版图设计的约束条件，采用通用 PCB 设计的 EDA 软件，如 OrCAD、Protel、PADS、PowerPCB、Allegro 和 Mentor 等来完成 PCB 电路设计和版图设计。

当 PCB 版图设计完成后，可以通过上述版图设计软件将实际设计线路的参数(如拓扑结构、长度、间距等)自动或手动地提取出来，送回到前面的信号完整性分析软件进行布线后的 SI 分析，以验证实际设计是否符合解空间的要求。

当 PCB 板制造出来后，还可通过实验仪器的测量来验证各模型及仿真计算的正确性。  
本文小结：

该设计方法对于高速数字 PCB 板的设计开发具有很强的实用意义，不仅能够有效地提

高产品设计的性能，而且可以大幅缩短产品开发周期，降低开发成本。可以预见，随着信号完整性分析的模型以及计算分析算法的不断完善和提高，基于信号完整性计算机分析的PCB设计方法将会越来越多地应用于电子产品设计之中。