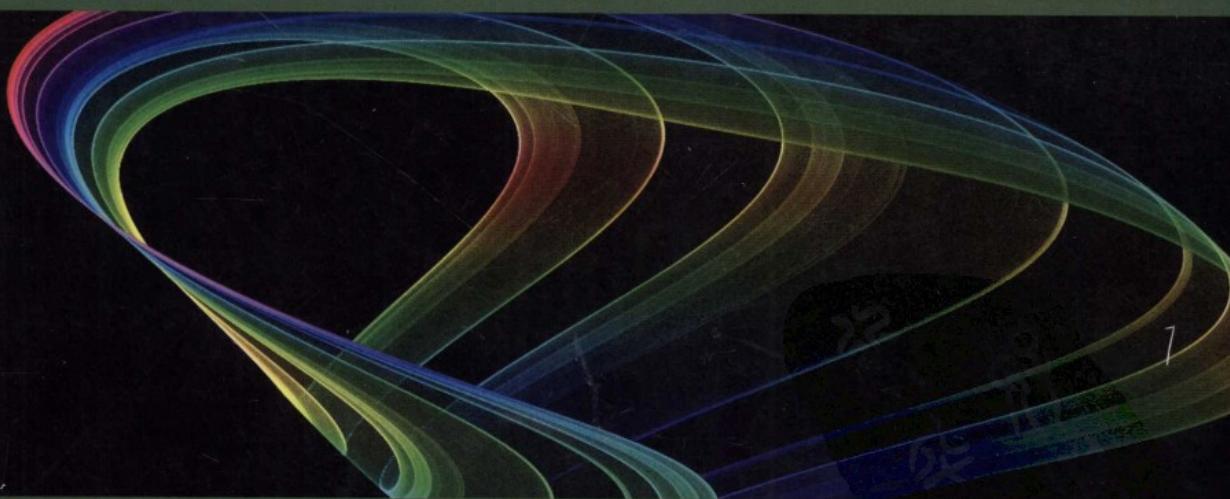


电子工程技术丛书

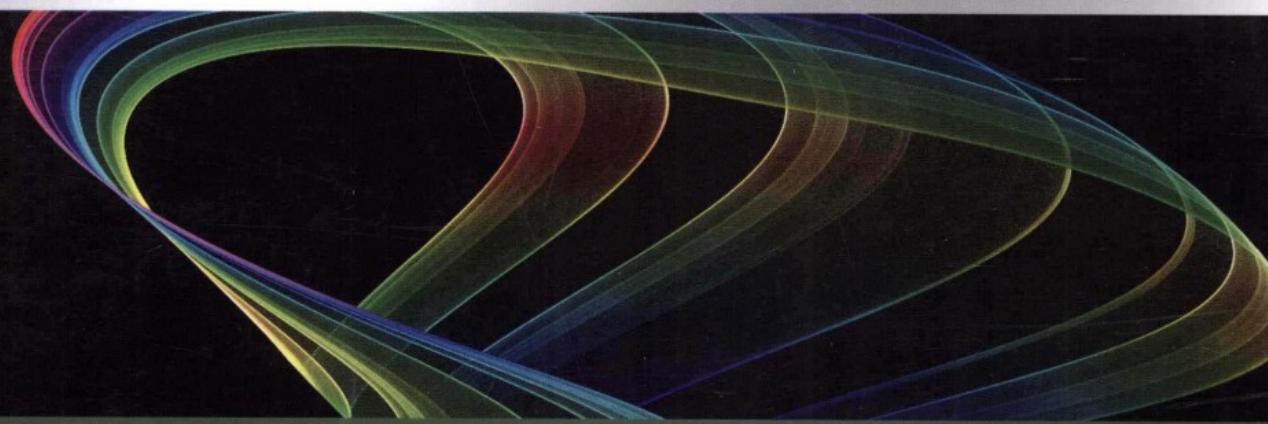
# 高速电路 设计实践

Practice of High Speed Circuit Design

● 王剑宇 苏 颖 编著



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY



# 高速电路设计实践

## Practice of High Speed Circuit Design

本书作者长期从事高速电路设计开发工作，从实践中精选出六十多个经典案例，总结出两百多项设计要点，精心编著成此书，希望帮助读者成为高速电路设计领域的“高手”。

上架建议：计算机 / 硬件电路设计 · EDA



策划编辑：赵丽松

责任编辑：毕军志

封面设计：徐海燕

本书贴有激光防伪标志，凡没有防伪标志者，属盗版图书。



ISBN 978-7-121-10131-1



9 787121 101311 >

定价：42.00 元

电子工程技术丛书

# 高速电路设计实践

王剑宇 苏 颖 编著

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

## 内 容 简 介

本书从设计实践的角度出发，介绍了在从事高速电路设计的工作中需要掌握的各项技术技能，并结合工作中的具体案例，强化了设计中的各项要点。

在本书的编写过程中，作者避免了纯理论的讲述，而是结合设计实例叙述经验，将复杂的高速电路设计，用通俗易懂的语言陈述给读者。本书覆盖了高速电路设计所涉及的常用技术，适用于电子设计专业的高年级学生，以及从事电路开发、测试的硬件工程师。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有，侵权必究。

## 图书在版编目（CIP）数据

高速电路设计实践/王剑宇，苏颖编著. —北京：电子工业出版社，2010.2  
(电子工程技术丛书)

ISBN 978-7-121-10131-1

I. 高… II. ①王…②苏… III. 印刷电路—电路设计 IV. TN410.2

中国版本图书馆 CIP 数据核字（2009）第 236816 号

策划编辑：赵丽松

责任编辑：毕军志

印 刷：北京丰源印刷厂

装 订：三河市万和装订厂

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：787×1 092 1/16 印张：18.25 字数：467.2 千字

印 次：2010 年 2 月第 1 次印刷

印 数：4 000 册 定价：42.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，  
联系及邮购电话：(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：(010) 88258888。

# 前　　言

在万兆以太网、数据中心、高性能传输网络等技术的推动下，电路的设计趋于高速化。

目前市场上与高速电路设计相关的书籍很多，但是很难找到由第一线工程师编写的、立足于实践，以讨论高速设计为题材，结合实际工作中的案例，并加以辅助分析的书籍。本书作者长期在业界著名公司从事第一线的高速电路设计开发工作，积累了大量的设计经验，从实践中精选出六十多个经典案例，总结出两百多项设计要点，精心编著成本书，希望通过本书，对业界朋友有所帮助。

本书最大的特色是完全根源于设计实践，基本不对复杂理论和公式进行讨论，从实际工作的需要出发，将设计中所需要考虑的要点配合案例，翔实地展现在读者面前。

从参考文献列表可知，本书参考的绝大多数文献均来自器件资料，而电子设计工程师在选型和设计的过程中，面对最多的同样也是器件资料。在本书中，作者对设计要点的探讨，均围绕实际工作中常用的器件而展开，以便于增强“实践性”，避免给读者造成云里雾里的感觉。

对于高速电路的初学者而言，即使拥有很好的理论知识，但在实际项目面前，却往往感觉无从入手。以最简单的电容为例，在实际设计中，设计者们都知道容值的选择很重要，但往往容易忽略同样重要的因素，如工作温度、工作电压、封装形式，以及电容类型和成本，等等。小小的电容，最后可能是大问题的罪魁祸首，比如作者曾经遇到电路上某高速芯片工作不稳定，大量调试后发现芯片电源纹波较大，而纹波大的原因是给芯片供电的电源的去耦电容类型不对，将该电容的类型从 Y5V 替换为 X7R，问题就解决了。所以，对于缺乏经验的初入门者，在设计阶段因不知道应考虑哪些因素或不能全面考虑各个因素而使设计存在大量潜在的缺陷，在调试阶段又因不知道故障的本质原因而无从入手。设计的质量当然无法得到保证。

在高速电路设计领域，真正的高手能在电路设计中做到一版成功，减少失误，节省研发费用。那么高手们是如何锻炼而成的呢？一方面需要自己的勤奋实践，另一方面更需要有“秘籍”。希望本书能成为高手们手中的一本秘籍。

全书分 8 章。

第 1 章从设计实例出发，讨论了高速电路与低速电路的区别，高速电路设计中需要着重考虑的要点，并简单介绍了硬件开发的流程以及原理图设计的要点。

第 2 章介绍了在高速电路设计中电阻、电容、电感、磁珠等器件的应用。

第 3 章介绍了逻辑器件的选型，并详细讨论了对 LVDS、LVPECL、CML 等高速电平的应用。

第 4 章介绍了电源设计的要点，结合实例，讨论了对 LDO、DC/DC 电源电路的应用，这一章还简单介绍了电源架构、电源管理、保险管选型等方面的内容。

第 5 章介绍了高速电路设计中时序的分析和设计方法。

第 6 章介绍了复位电路与时钟电路的应用及设计方法。

第 7 章对高速电路设计中常用的 SDRAM、DDR SDRAM、DDR2 SDRAM、ZBT

SRAM、QDRII SRAM、Flash、EEPROM 等存储器件的应用做了详细的介绍。

第 8 章介绍了 PCB 设计中层叠结构与阻抗的计算、信号完整性、电源完整性、EMC、防护、结构与易用性、散热、可测试性等方面的内容。

全书主体内容由王剑宇编写。在本书的编写过程中，查阅了大量的英文资料（参见参考文献列表），由苏颖负责对这些资料进行整理和翻译，同时，苏颖还负责对全书文字和插图的编辑。全书由王剑宇统稿。

高速电路设计是一个不断发展的领域，作者也在不断学习的过程中，因此必然有不少新技术无法反映在本书中，同时，由于作者技术水平和实践能力有限，书中错误之处难免，敬请读者批评指正。

本书从构思到编写完成，历时一年有余，融合的却是作者多年工作的教训、心得和体会。本书反馈邮箱为：[highspeeddesign@yahoo.cn](mailto:highspeeddesign@yahoo.cn)，真诚地希望得到来自读者的宝贵意见和建议。

在本书的编写过程中，参考了大量的中外文资料，同时，在作者技术领域的成长过程中，得到了众多同事、朋友的大力帮助，在此，向这些资料的作者以及同事、朋友们表示真诚的感谢。由于日常工作繁忙，本书的编写只能利用业余时间完成，在生活上，父母给予了理解和大力支持，特此向他们表示衷心的谢意。

王剑宇，苏颖

2009 年 10 月

# 目 录

第 1 章 概述 .....	1
1.1 低速设计和高速设计的例子 .....	1
【案例 1-1】 简化的存储电路模块 .....	1
1.1.1 低速设计 .....	1
1.1.2 高速设计 .....	2
1.2 如何区分高速和低速 .....	3
1.3 硬件设计流程 .....	5
1.3.1 需求分析 .....	6
1.3.2 概要设计 .....	7
1.3.3 详细设计 .....	7
1.3.4 调试 .....	9
1.3.5 测试 .....	9
1.3.6 转产 .....	10
1.4 原理图设计 .....	11
第 2 章 高速电路中的电阻、电容、电感和磁珠的选型及应用 .....	13
2.1 电阻的应用 .....	13
2.1.1 与电阻相关的经典案例 .....	13
【案例 2-1】 串联电阻过大，导致板间告警失败 .....	13
【案例 2-2】 电阻额定功率不够造成的单板潜在缺陷 .....	14
【案例 2-3】 电阻在时序设计中的妙用 .....	15
2.1.2 电阻应用要点 .....	16
2.2 电容的选型及应用 .....	17
2.2.1 与电容相关的经典案例 .....	17
【案例 2-4】 电容失效导致低温下硬盘停止工作 .....	17
【案例 2-5】 多次带电插拔子板导致母板上钽电容损坏 .....	18
【案例 2-6】 高速电路中电容应用问题导致 CPU 工作不稳定 .....	18
2.2.2 高速电路设计中电容的作用及分析 .....	19
【案例 2-7】 交流耦合电容选择不当引起数据帧出错 .....	20
【案例 2-8】 利用 0612 封装的电容增强滤波性能 .....	21
【案例 2-9】 LDO 电源应用中的滤波电容 ESR 问题 .....	22
【案例 2-10】 高频电路中 $1\mu F + 0.01\mu F$ 是否能展宽低阻抗频带 .....	24
2.2.3 高速电路设计常用电容及其应用要点 .....	26
【案例 2-11】 陶瓷电容选型错误导致单板丢数据包 .....	27

【案例 2-12】 根据电路要求进行钽电容选型 .....	29
2.2.4 去耦电容和旁路电容 .....	31
2.3 电感的选型及应用 .....	32
2.3.1 与电感相关的经典案例 .....	32
【案例 2-13】 LC 低通滤波导致输出电源电压纹波偏大 .....	32
【案例 2-14】 大电流通路 PI 型滤波造成电压衰减 .....	33
2.3.2 高速电路设计中电感的作用 .....	35
2.3.3 高速电路设计常用电感及其应用要点 .....	36
2.4 磁珠的选型及应用 .....	39
2.4.1 磁珠的滤波机理 .....	39
2.4.2 高速电路设计中磁珠的选型及其应用要点 .....	40
【案例 2-15】 误用磁珠造成过流保护电路失效 .....	41
2.4.3 磁珠和电感的比较 .....	42
<b>第 3 章 高速电路中的逻辑器件选型及高速逻辑电平应用 .....</b>	<b>44</b>
3.1 与逻辑器件相关的经典案例 .....	44
【案例 3-1】 逻辑器件输入端上拉太弱造成带电插拔监测功能失效 .....	44
3.2 逻辑器件应用要点 .....	47
3.2.1 逻辑器件概要 .....	47
【案例 3-2】 逻辑器件驱动能力过强造成信号振铃 .....	51
【案例 3-3】 同一型号逻辑器件的差异性造成 PHY 配置错误 .....	51
3.2.2 逻辑器件参数介绍 .....	52
3.2.3 逻辑器件功耗计算 .....	60
3.2.4 逻辑器件热插拔功能介绍 .....	62
3.2.5 逻辑器件使用中注意事项的总结 .....	68
3.3 高速逻辑电平应用 .....	68
3.3.1 高速逻辑电平概述 .....	68
【案例 3-4】 差分对走线附近信号分布不均衡造成电磁辐射 .....	70
3.3.2 LVDS 逻辑电平介绍及其应用要点 .....	71
【案例 3-5】 空闲输入引脚处理有误导致 FPGA 检测到错误输入 .....	73
3.3.3 LVPECL 逻辑电平介绍及其应用要点 .....	75
3.3.4 CML 逻辑电平介绍及其应用要点 .....	77
3.3.5 高速逻辑电平的比较 .....	78
3.3.6 高速逻辑电平的互连及其应用要点 .....	78
<b>第 4 章 高速电路中的电源设计 .....</b>	<b>87</b>
4.1 与电源相关的经典案例 .....	87
【案例 4-1】 LDO 输出电源电平低于设置值 .....	87
【案例 4-2】 电源芯片欠压保护电路导致上电时序不满足设计的要求 .....	88
【案例 4-3】 多电源模块并联工作时的均压措施 .....	89

4.2 高速电路设计的电源架构 .....	90
4.2.1 集中式电源架构 .....	90
4.2.2 分布式电源架构 .....	90
4.3 高速电路电源分类及其应用要点 .....	91
4.3.1 LDO 电源介绍及其应用要点 .....	92
【案例 4-4】 计算 LDO 工作时的结温 .....	95
【案例 4-5】 SENSE 功能导致电源芯片输出电压不稳定 .....	97
4.3.2 DC/DC 电源介绍及其应用要点 .....	100
【案例 4-6】 计算栅极电流 .....	105
【案例 4-7】 MOSFET 同时导通导致 MOSFET 损坏 .....	108
【案例 4-8】 -48V 缓启电路中 MOSFET 烧坏 .....	111
【案例 4-9】 基于 ADM1066 对多路电源实现监控 .....	114
【案例 4-10】 基于 LTC1422 实现上电速度的控制 .....	115
【案例 4-11】 基于电源芯片实现上电速度的控制 .....	115
【案例 4-12】 基于 RC 阻容电路实现延时功能 .....	116
【案例 4-13】 上电电流过大引起电感啸叫 .....	116
【案例 4-14】 输入电源上电过缓造成输出电源上电波形不单调 .....	117
4.3.3 电源管理 .....	124
4.3.4 保险管的选型及应用 .....	124
【案例 4-15】 热插拔单板的保险管选型 .....	126
<b>第 5 章 高速电路中的时序设计 .....</b>	<b>127</b>
5.1 时序设计概述 .....	127
5.2 时序参数介绍 .....	127
5.3 源同步系统时序设计 .....	129
5.3.1 源同步系统时序设计原理 .....	129
5.3.2 源同步系统时序设计范例一 .....	131
5.3.3 源同步系统时序设计范例二 .....	134
5.4 共同时钟系统时序设计 .....	136
5.5 源同步系统与共同时钟系统的比较 .....	137
<b>第 6 章 高速电路中的复位、时钟设计 .....</b>	<b>139</b>
6.1 复位电路设计 .....	139
6.1.1 与复位电路相关的经典案例 .....	139
【案例 6-1】 主控板无法通过 PCI-X 总线查询到接口板 .....	139
6.1.2 复位设计介绍及其应用要点 .....	141
【案例 6-2】 存储模块读取的错误 .....	141
6.1.3 专用复位芯片的使用 .....	142
6.2 时钟电路设计 .....	145
6.2.1 与时钟电路相关的经典案例 .....	145

【案例 6-3】 系统时钟偏快的问题	145
【案例 6-4】 PHY 寄存器无法读取的问题	147
【案例 6-5】 高温流量测试丢包问题	148
6.2.2 晶体、晶振介绍及其应用要点	150
【案例 6-6】 利用首个时钟沿启动组合逻辑导致 CPU 工作不稳定	153
6.2.3 锁相环及其应用	157
【案例 6-7】 两级锁相环的应用导致 MPC8280 的 PCI 时钟失锁	162
6.2.4 时钟抖动与相位噪声	164
<b>第 7 章 高速电路中的存储器应用与设计</b>	<b>172</b>
7.1 与存储器相关的经典案例	172
【案例 7-1】 时序裕量不足导致存储器测试出错	172
7.2 常用存储器介绍及其应用要点	174
7.2.1 存储器概述	174
7.2.2 SDRAM 介绍及其应用要点	176
7.2.3 DDR SDRAM 介绍及其应用要点	188
【案例 7-2】 DLL 缺陷造成 DDR SDRAM 时序出错	192
【案例 7-3】 $V_{REF}$ 不稳定造成存储器读写操作出错	198
7.2.4 DDR2 SDRAM 介绍及其应用要点	203
【案例 7-4】 CPU 存储系统不识别 8 位内存条的问题	211
7.2.5 SRAM 介绍及其应用要点	212
【案例 7-5】 片选处理不当导致 SRAM 数据丢失	214
7.2.6 FLASH 与 EEPROM 介绍	227
【案例 7-6】 热插拔导致单板 FLASH 损坏	227
【案例 7-7】 读取百兆光模块信息出错	231
<b>第 8 章 高速电路中的 PCB 及其完整性设计</b>	<b>232</b>
8.1 与 PCB 及完整性设计相关的经典案例	232
【案例 8-1】 回流路径缺陷对高速信号质量的影响	232
8.2 PCB 层叠结构与阻抗计算	234
8.2.1 Core 和 PP	234
8.2.2 PCB 的层叠结构和阻抗设计	234
8.3 高速电路 PCB 设计要点	241
8.3.1 PCB 设计与信号完整性	241
【案例 8-2】 传输线的判断	241
【案例 8-3】 反射的计算	242
【案例 8-4】 DDR SDRAM 设计时，终端电阻 RTT 布放位置的选择	244
【案例 8-5】 大驱动电流信号对高速数据信号的串扰	250
【案例 8-6】 高速接口器件批次更换造成辐射超标	252
【案例 8-7】 TCK 信号出现回沟导致无法通过 JTAG 接口对 CPLD 进行加载	256

8.3.2 PCB 设计与电源完整性 .....	257
8.3.3 PCB 设计中的 EMC .....	260
【案例 8-8】 网口指示灯信号线引发的辐射问题 .....	264
【案例 8-9】 接口芯片与时钟驱动器共用电源，导致辐射超标 .....	266
8.3.4 PCB 设计中的 ESD 防护 .....	267
【案例 8-10】 TVS 管布放位置不合理导致静电放电测试失败 .....	268
【案例 8-11】 GND 和 HV_GND 混用导致电源控制电路失效 .....	270
8.3.5 PCB 设计与结构、易用性 .....	272
【案例 8-12】 网口指示灯排列顺序出错 .....	273
【案例 8-13】 网口连接器堆叠方式与易插拔特性 .....	273
8.3.6 PCB 设计与散热 .....	274
8.3.7 PCB 设计与可测试性 .....	275
<b>参考文献 .....</b>	<b>279</b>

# 第1章 概述

## 1.1 低速设计和高速设计的例子

本节通过一个简单的例子，探讨高速电路设计相对于低速电路设计需要考虑哪些不同的问题。希望读者通过本例，对高速电路设计建立一个表象的认识。至于高速电路设计中各方面的设计要点，将在后续章节展开详细的讨论。

### 【案例 1-1】 简化的存储电路模块

图 1.1 是一个经简化后典型的存储模块原理图。对于同样的简化原理图，根据以下两种不同的客户需求，需要设计不同的存储系统，一种是低速系统，一种是高速系统。

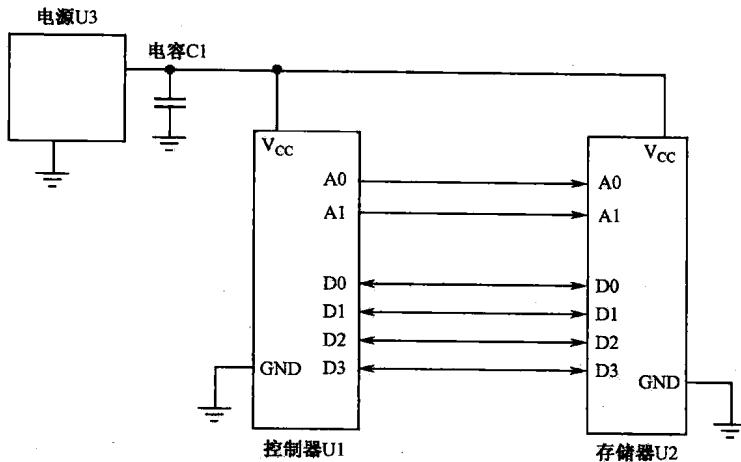
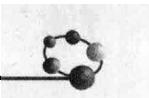


图 1.1 一个简化的存储电路模块

#### 1.1.1 低速设计

第一个客户需求是，设计一套机床台面振动监测系统，要求每 20ms (ms: 毫秒) 检测一次振动信息，然后把数据存储到存储器内，每分钟把存储器内存储的 3000 个数据读取出来，并做一定的运算处理（该算法的实现方式是，读取一个数据即处理一次，数据处理完成即丢弃），得到一个体现一分钟内振动量的值，并在显示器上显示，数据读取和处理的过程不超过 1s (s: 秒)，在此期间，可以暂停数据采样。

首先进行需求分析。这是一套采样速率为 0.02 秒/次的采样系统，每 0.02s 对振动信息采样一次并存储到存储器里，则每 60s 需要对 3000 个数据进行运算处理并通过串口，将运算结果传出去。振动传感器的选型及其放大电路的设计不在本例中讨论，本例主要研究该监测系统的存储部分。另外，假定传感器输出电信号的采样值用 8 位二进制，即一个字节表示。



从成本以及功能考虑，可以选择由单片机及小容量存储器组建存储系统。

U1 选择某款 51 系列的单片机，主频为 12MHz (MHz: 兆赫兹)，外部总线的最高运行速率可达 1MHz，U2 选择为能和该单片机直接接口的小容量 RAM (随机存储器)。在本例中，采样速率的要求是 50Hz (每 0.02s 采样一次)，则存储器写入的速度可设定为 0.0025 秒/位 (0.02 秒/8 位)，假定单片机对数据的处理时间相对于读取时间可以忽略，则存储器读取速度可设定为 42 微秒/位 (1 秒/3000/8 位)。

主要芯片选型完成后，进行详细设计。

该电路耗电不多，因此电源 U3 选用 LDO (低压差线性稳压器)，电容 C1 是电源的去耦电容，根据 U3 器件资料的要求，选取为 10μF (μF: 微法)。本设计所要求的数据传输速率较慢，是一个典型的低速电路，可以采用集总式系统的思维来分析。在设计中需要考虑以下要点：

(1) CPU 和存储器选型。选择 51 系列的单片机和小容量的 RAM，这在需求分析阶段已经完成。

(2) 总功耗。即 U1、U2 全速运行时，整个电路板的最大功耗，要求电源 U3 必须能提供该最大功率，且还留有 20% 的裕量。例如，U1 的最大功耗是 140mW (mW: 毫瓦)，U2 的最大功耗是 60mW，则要求 U3 至少能提供 240mW 的功率。如果 U1、U2 的工作电源电压  $V_{CC}$  都是 5V，则要求 U3 至少能提供电流 50mA (mA: 毫安)。

(3) 电源 U3 选型。根据第 4 章的内容，可以选择低成本且应用简单的 LDO 类型的电源器件，如 7805。

(4) 电容 C1 选型。根据第 4 章的内容，选择 10μF 钽电容。

## 1.1.2 高速设计

第二个客户的需求是，设计一套应用在以太网交换机的主控板，该交换机需要支持 12 个 GE (GE: 千兆以太网) 口，且支持三层交换。本例仍仅讨论存储部分的设计。

简化后的原理图仍然采用图 1.1，不过在本例中，我们将采用不同的芯片来组建高速电路。这是一个典型的高速电路，需要采用分布式系统的思维来分析。

(1) CPU 选型。在三层交换机中，主控板 CPU 需要支持全系统的控制链路，还需要支持以太网的很多特性。经过仔细的性能分析后，U1 选用内部工作频率达 1.5GHz (GHz: 吉赫兹， $1\text{GHz} = 10^3\text{MHz}$ ) 的 Freescale 公司的 PowerPC: MPC8547。

(2) 存储器选型。根据性能需要，U2 选用 Micron 公司的数据速率达 667Mbps (Mbps: 兆比特位每秒) 的 DDR2 SDRAM DIMM 条，总容量为 1GB (GB: 吉字节)。本书第 7 章将详细讨论 DDR2 SDRAM 存储器的选型与应用。

(3) 电源选型。为简化描述，此处仅考虑 MPC8547 和 DDR2 SDRAM DIMM 条之间共同的电源 1.8V，并假设图 1.1 中  $V_{CC}$  为 1.8V。U3 需选择能输出 1.8V 的 DC/DC 电源芯片，具体选型考虑的因素将在本书第 4 章中介绍。DC/DC 电源芯片的工作需要配合电感、MOSFET (金属半导体场效应管)、电容等器件。对电感、电容等器件的选型，可参考本书第 2 章的内容，对 MOSFET 器件的选型，可参考本书第 4 章的内容。

(4) 电容 C1 选型。C1 可选择为 220μF 的钽电容，具体选型的依据将在本书第 4 章中介绍；根据 U1 和 U2 的工作电压，C1 的额定电压可以选择为 6.3V；根据 PCB (PCB: 印



制电路板) 的空间要求, 电容的尺寸可选择为 2412 (将在本书第 2 章中介绍); 为保证 U1 和 U2 的稳定工作, 要求电容精度达到 10%; 由于运行速度高, 该电容还需要有较小的 ESR (等效串阻) 以实现快速响应。对电容的选型, 将在第 2 章中详细介绍。

(5) 除 C1 以外, 还需要给  $V_{CC}$  提供其他电容, 以滤除电源电路上的干扰。在本书第 4 章和第 8 章中将介绍, 当器件高速运行时, 在电源  $V_{CC}$  上将产生较大的高频噪声, 为了保证高速器件获得干净的电源, 需要在 U1 和 U2 的每个  $V_{CC}$  电源引脚处, 就近放置一个容值为  $0.1\mu F$  或者  $1\mu F$  的陶瓷电容; 根据 PCB 上可使用的面积, 建议选择小尺寸封装的电容, 如 0402 尺寸; 在功耗较大的设计中, 还应考虑温度稳定性, 需要选用 X7R 的电容类型; 根据器件工作电压, 电容的额定电压可选择为 10V。这一部分的选型, 涉及本书第 2、4 章的相关内容。

(6) 逻辑器件选型。在 U1 和 U2 之间, 如果由于速率或者工作电压不同而无法直接接口, 则还需要用到逻辑器件以实现桥接, 可参考本书第 3 章的相关内容进行逻辑器件的选型和应用。

(7) 时序分析。高速电路中, 信号在 PCB 上的走线长度对器件的时序要求至关重要, 本书第 5 章将详细介绍时序分析和设计的方法。

(8) 复位和时钟电路设计。MPC8547 有多种复位要求, 如上电复位、硬件复位、软件复位等, 同时还要求提供多种时钟 (如内核工作时钟, 接口时钟等), 关于复位和时钟电路的详细设计要求, 可参考本书第 6 章的内容。

(9) 原理图和 PCB 的设计。经过前面的步骤, 在完成对各种器件的选型后, 对原理图的绘制, 可参考本书第 1 章的内容, 而对 PCB 的设计, 可参考本书第 8 章的内容。

(10) 防护和 EMC (电磁兼容性) 设计。对高速接口, 还需要参考本书第 8 章的内容, 以进行防护和 EMC 设计。

(11) 调试。设计完成后, 需要验证电路的功能。该设计属于高速设计, 因此, 还需要对单板上的电源、高速信号等进行相关测试, 相关内容将在第 4、7、8 章介绍。

由此可见, 相对低速电路设计, 高速电路设计要求设计者考虑的因素更多, 本书的后续章节, 将一一探讨这些内容。

## 1.2 如何区分高速和低速

高速设计区别于低速设计, 简单来说, 就是分布式系统思维和集总式系统思维的区别。

那么, 多高的信号速度才算高速? 在讨论这个问题之前, 需要注意避免进入以下两个误区:

**误区 1** 信号周期频率  $F_{clock}$  高的才属于高速设计。事实上, 设计中需要考虑的最高频率往往取决于信号的有效频率 (或称转折频率)  $F_{knee}$ 。<sup>[1]</sup>

如图 1.2 所示,  $T_{clock}$  是信号的时钟周期,  $T_{r(10\% \sim 90\%)}$  是信号的 10%~90% 上升时间, 则信号的周期频率与有效频率分别定义为:

$$F_{clock} = 1/T_{clock} \quad (1.1)$$

$$F_{knee} = 0.5/T_{r(10\% \sim 90\%)}^{[1]} \quad (1.2)$$

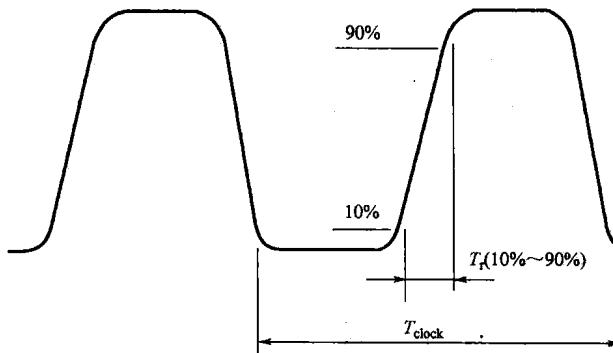


图 1.2 信号的时钟周期和 10%~90% 上升时间

由数字信号处理的知识可知，现实世界中的任何信号都是由多个频率分量的正弦波叠加而成的。以方波为例，周期频率为  $F$  的理想方波，由频率为  $F$  的正弦波及其奇数次谐波（频率分别为  $3F$ 、 $5F$ 、 $7F$  等）组成，定义各正弦波分量的幅值为  $V_N$ ，其计算公式为：

$$V_N = 2 / (3.14 \times N) \quad (1.3)$$

根据式 (1.3)，一次谐波分量的幅值  $V_1=0.64V$ ，三次谐波分量的幅值  $V_3=0.21V$ ，五次谐波分量的幅值  $V_5=0.13V$ 。即随着频率的升高，各级谐波分量的幅值与频率成反比。

现实中的信号，随着频率的升高，其各级谐波分量的幅值比理想方波中相同频率正弦波分量的幅值下降得更快，直到某级谐波分量，其幅值下降到理想方波中对应分量的 70%（即功率下降到 50%），定义该谐波分量的频率为信号的有效频率<sup>[57]</sup>。对现实中的多数信号而言，有效频率可由式 (1.2) 计算。

### 误区 2 电容、电感是理想的器件。

在低速领域，电容、电感的工作频段比较低，可以认为它们都是理想的器件。但在高速领域，电路板上的电容、电感等已经不能被简单地视为纯粹的电容、电感。例如，当电路的两端用一个电容  $C$  相连时，在低速电路中，这两端被视为断路，而在高速电路中，假定其工作频率为  $F$ ，则电容  $C$  表现出的电抗值为  $1/(2\pi F \times C)$ ，在工作频率很高的情况下，该电容  $C$  的电抗值变得很小，表现为短路。同理，在低速电路中表现为短路的电感，在高速电路中将表现为断路。本书第 2 章将详细介绍在何种频率点上，电容和电感将发生这种属性的变化。

在认清了以上两个误区后，我们再重新回到如何区分低速信号与高速信号的问题。

这里讲的低速信号为传输路径上各点的电平大致相同的信号，高速信号为传输路径上各点电平存在较大差异的信号。

对低速信号而言，由于传输路径上各点电平近似相同，因此，可采用集总式的思维来看待传输路径，即传输路径上各点的状态相同，在分析时，可被集中成一点；对高速信号而言，传输路径上各点的电平不同，需采用分布式的思维来看待传输路径，即不能将传输路径集中成一点来看待，而应视为多个状态不同的点。

由此可知，高速与低速的区分，不仅取决于信号频率，还取决于信号传输路径的长度，仅仅依据信号频率，并不能做出信号属于高速还是低速的结论。

一般而言，在信号传输路径的长度（即信号线的长度）小于信号有效波长的  $1/6$  时，可认为在该传输路径上，各点的电平状态近似相同。

信号波长与信号频率的关系如下：

$$\lambda = c/F \quad (1.4)$$



式中  $\lambda$ ——信号波长；

$c$ ——信号在 PCB 上传输的速度，该速度略低于光速，与信号走线所在的层有关，为讨论方便起见，此处将  $c$  视为常数；

$F$ ——信号的频率。

在  $c$  为常数的前提下， $\lambda$  与  $F$  成反比，即信号频率  $F$  越高，其波长越短，则低速和高速分水岭的信号线长度越短，反之亦然。

因此，在信号频率已知的前提下，可以确定低速和高速分水岭的信号线长度。显然，根据前面的讨论，此处的信号频率应采用信号的有效频率  $F_{knee}$  而不是信号的周期频率  $F_{clock}$ 。

综合上述，区分高速和低速信号的步骤如下：

第一步，获得信号的有效频率  $F_{knee}$  和走线长度  $L$ 。

第二步，利用  $F_{knee}$  计算出信号的有效波长  $\lambda_{knee}$ 。

第三步，判断  $L$  与  $1/6 \times \lambda_{knee}$  之间的关系，若  $L > 1/6 \times \lambda_{knee}$ ，则信号为高速信号，反之，则为低速信号。

在以上步骤中，需注意以下几点：

(1) 如何获得信号的有效频率  $F_{knee}$  呢？在有测试板等现成电路的情况下，可直接测量信号的 10%~90% 上升时间，再利用式 (1.2) 即可计算得到  $F_{knee}$  的值。而在没有现成电路的情况下，可假设信号的上升沿时间为信号周期的 7%<sup>[57]</sup>，此时，信号有效频率  $F_{knee}$  约为信号周期频率  $F_{clock}$  的 7 倍，例如，周期频率为 100MHz 的时钟信号，可估计其有效频率约为 700MHz。

(2) 第一点对极高频信号（如频率在 1GHz 以上的信号）并不成立，极高频信号的上升沿很缓，上升时间甚至可能达到信号周期的 20%，因此，再利用  $F_{knee}$  的计算公式已经没有意义，同时，判断极高频信号属于高速还是低速，本身也是一件没有意义的事情。

对所有的高速信号，应视做传输线处理，本书第 8 章将详细讨论传输线的应用及设计要点。

#### 理解要点：

- ① 信号的最高频率成分取决于其有效频率而不是周期频率。
- ② 高速电路设计中，电容、电感等都不是理想的器件。
- ③ 高速信号指传输路径上各点电平存在较大差异的信号。高速与低速的区别，不仅取决于信号频率，还取决于信号传输路径的长度。
- ④ 信号频率越高，则低速和高速分水岭的信号线长度越短，反之亦然。

## 1.3 硬件设计流程

高速电路设计属于硬件设计，对从事高速电路设计的工程师而言，需掌握从需求分析到大规模生产的各个环节。本小节将简单地对这些环节进行介绍，本节内容虽不针对高速电路设计，但却是高速电路设计者必须了解的。

硬件设计的流程分为以下几个步骤：需求分析、概要设计、详细设计、调试、测试、转产。



### 1.3.1 需求分析

需求分析是硬件设计的第一步，也是最关键的一步。在需求分析阶段，只有充分地理解了客户的需求，才能有针对性地开展器件选型、方案规划等工作。

需求的种类很多，与硬件开发相关的有以下几类。下文以某以太网产品的需求分析为例，进行简单的介绍。

(1) 整体性能要求：如数据包转发能力、处理延时、最高处理带宽、CPU 处理能力等。针对这些要求，可初步进行 CPU、存储器、交换芯片等器件的选型。

(2) 功能要求：如 QoS (Quality of Service，服务质量)、各类以太网相关协议的实现等。针对功能要求，可对多个厂家提供的交换芯片等器件做进一步细分，筛选能满足所有功能要求的器件。

(3) 成本要求：成本分析是需求分析中重要的一步，在满足客户需求的前提下，尽可能地降低成本，是硬件工程师的重要职责。在成本的分析中，应计算各套方案下单板的总成本，在某些场合，还需计算单个用户接口的成本。例如，某客户提出的需求是 1000 个以太网接口，针对该需求，提出了两套方案，分别是单块业务板提供 24 和 48 个接口，相对前者，后者对 CPU 和存储器的要求比较高，在这种情况下，计算单个接口的成本比计算整个单板的成本更有意义。

(4) 用户接口要求：如接口的种类、数目，指示灯及其规范、复位键、电源按钮等。同时，该类需求还包括与用户操作相关的要求，如对单板状态的在线监控等。这类要求多着眼于细节，不大会影响关键器件的选型，但若忽略了其中的某一项，即可能导致整个产品的失败。例如，某产品的用户面板上提供有主、备两个串口，分别标识为“Master”和“Slave”，由于“Slave”在英文中有奴隶的含义，违反了某些地区对电子产品标识的规定，导致该产品在这些地区无法销售。

(5) 功耗要求：功耗要求是单板上电源功率分配的依据，涉及电源架构的设计、电源电路器件的选型。

某以太网产品的需求分析报告如表 1.1 所示。

表 1.1 某以太网产品的需求分析报告

	方案 1	方案 2	方案 3
接口种类与数目	24 个千兆口	48 个千兆口	24 个千兆口
CPU	MPC850	MPC8360	MPC850
存储器	64MB	512MB	128MB
二、三层交换	支持	支持	支持
QoS	4 个优先级队列	16 个优先级队列	8 个优先级队列
MAC 地址学习能力	4096 个	16384 个	8192 个
数据转发延时	高	低	中
总功耗	96W	150W	105W
总成本	960 美元	2160 美元	1008 美元
单口功耗	4W	3.125W	4.375W
单口成本	40 美元	45 美元	42 美元



针对表 1.1，补充说明一点，表中所计算得到的单口成本并未考虑机框、用户机房占用面积的成本，方案 1 和方案 3 的单口成本低于方案 2，但方案 2 中，单块单板拥有更多的接口数目，因此，相对另外两种方案，更能节省机框和机房面积的成本，在这种情况下，又需要结合总成本来考虑。

需求分析阶段的工作是制定设计的大方向，不能忽略细节，但也不能拘泥于细节。需求分析阶段的工作并不是哪一个特定工程师的工作，而应由项目经理、系统工程师、电子设计工程师、软件工程师、逻辑工程师等协作完成。

### 1.3.2 概要设计

从概要设计阶段开始，软件、硬件工程师开始分头工作，本小节只讨论硬件方面的工作。

硬件概要设计的主要任务是设计系统框图、关键链路连接图、时钟分配框图等，并制定电源设计总体方案，对信号完整性及 EMC 的可行性、结构与散热的可行性、测试可行性等环节，做初步的分析。在这一阶段，需要电子设计工程师、电源工程师、信号完整性工程师、结构与热设计工程师、EMC 工程师、测试工程师等协同工作。

需求分析的目标是选定一套最佳的方案，确定关键器件及总体架构，而概要设计则是对该架构做进一步的细化，在概要设计阶段，与硬件设计相关的各部门工程师开始介入并做可行性分析，若发现总体方案的某些方面不可行，应回馈给项目经理，重新进行需求分析，并更改方案。因此，可以认为，需求分析和概要设计这两个阶段是螺旋形前进并不断反复的过程。

### 1.3.3 详细设计

概要设计完成后，单板的总体框架已经确定，则在详细设计阶段需要完成的工作是，基于该框架，将每一个部分细化。以下简要地介绍各职能部门工程师的职责。

#### 1. 电子设计工程师

电子设计工程师负责各个总线接口信号的定义，CPU 存储空间分配，时钟、复位电路器件选型及其拓扑结构，中断链路拓扑结构，电源电路的详细框图（需注明各路电源的产生方式、电压值、电流值等），关键电源的滤波方式，逻辑器件功能及其寄存器说明书，面板上用户接口的定义及接口信号连接关系，指示灯器件的选型及其连接关系，最后绘制原理图并产生物料清单。在详细设计阶段的后期，应开始测试计划的制订。

#### 2. PCB 设计工程师

根据电子设计工程师提供的原理图及对应的网表，结合信号完整性工程师提供的走线规则和层叠结构，完成 PCB 的设计，并生成可供工厂生产使用的文件。

#### 3. 信号完整性工程师

根据电子设计工程师提供的详细设计文档，同时根据板内高速信号的信号质量及时序要求，设计 PCB 层叠结构，基于前仿真的结果定义信号的走线规则，在 PCB 走线完成



后，对高速信号进行后仿真以初步验证信号完整性，对关键电源做电源完整性仿真，向电子设计工程师提供关于电源滤波的参考意见，最后协同电子设计工程师，共同完成测试计划的制订。

#### 4. 逻辑设计工程师

根据电子设计工程师提供的逻辑器件说明书，编写逻辑器件的代码及测试代码，并进行相关的仿真。

#### 5. 电源设计工程师

根据电子设计工程师提供的各关键器件的电源电压及电流值，汇总得到各类电源的总功耗需求，根据该结果，进行电源器件的选型及电源架构的设计。同时，对较复杂的电源电路，电源设计工程师还应给出推荐的电源电路和滤波方案。在调试和测试阶段，电源设计工程师负责协助电子设计工程师完成电源电路的调试与测试。在电源电路不是特别复杂的情况下，往往由电子设计工程师兼任电源设计工作。

#### 6. 结构工程师

根据电子设计工程师提供的用户面板信息以及 PCB 设计工程师提供的 PCB 尺寸、定位、安装等信息，设计 PCB 的机械图，制定 PCB 的限布区（禁止布放器件的区域）和限高区（禁止布放超高器件的区域），在 PCB 上设定安装孔的位置，同时还负责面板的设计。这些设计图和数据将成为 PCB 设计的重要输入信息。

#### 7. 热设计工程师

根据电子设计工程师提供的各器件总功耗，器件布放位置及器件的高度，进行热方面的仿真，结合仿真结果完成热设计，如散热片的选型、风道的规划、温度传感器的布放位置等。同时，热设计工程师应将单板的温度散布区域图提供给电子设计工程师，以作为 PCB 布局的参考。

#### 8. EMC 及防护设计工程师

根据电子设计工程师提供的用户接口信息、高速信号的速率和分布区域，以及 PCB 设计工程师提供的 PCB 层叠结构，定义高速信号走线规则，用户接口防护方案等。需要说明的是，信号完整性工程师和 EMC 设计工程师都会对高速信号的走线规则做出定义，两类走线规则可能会有冲突，此时应由电子设计工程师负责与这两位工程师协商，确定最终的规则。

#### 9. 测试工程师

测试工程师包括边界扫描设计工程师、ICT 工程师（ICT 指在线测试，将在第 8 章介绍）、硬件测试工程师。前两类有专门的职能部门，一般不由其他工程师兼任，而硬件测试工程师往往可以由电子设计工程师兼任。

边界扫描设计工程师和 ICT 工程师根据电子设计工程师提供的原理图、器件资料，前者负责完成边界扫描链路的设计和程序的编写，后者负责完成 ICT 夹具的设计和程序的编



写。需注意，由于 ICT 夹具的制作成本较高，在硬件设计稳定之前，一般不会完成夹具的设计，因此对一块新设计的单板而言，在前几版的生产中，一般无法使用 ICT 测试。

硬件测试工程师根据电子设计工程师提供的原理图，进行可测试性分析，汇总需要测试的信号，并辅助 PCB 设计工程师，为各信号添加测试点。

### 10. 产品工程师

产品工程师是设计部门与生产部门沟通的纽带。根据电子设计工程师提供的物料清单，产品工程师检查各器件的厂家生产状况、生产部门备料情况，做出更换、推荐器件的建议，并将结果反馈给电子设计工程师。PCB 设计完成后，产品工程师负责检查 PCB 设计是否符合可生产性、可加工性的规定，对违反规定的部分，提出修改建议，并反馈给 PCB 设计工程师。

### 11. 软件工程师

在这一阶段，软件工程师应开始软件的详细设计，但同时，还应与电子设计工程师协同工作，确定 CPU 速率、复位逻辑、中断拓扑、各器件之间的互连接口、用户监控等信息，以使软件设计与硬件设计相匹配。

由以上职责描述可知，在硬件详细设计阶段，电子设计工程师除负责电路设计外，同时在各部门间还发挥了协调的作用。电子设计工程师的输出，将作为其他各部门的输入，而其他各部门的输出，又成为电子设计工程师的输入，环环相扣。因此可以说，一个成功的硬件设计是一个有机的整体，需要多部门工程师的协调工作，任何一个环节出错都可能导致整个设计的失败。

## 1.3.4 调试

单板从工厂生产加工完成后，回到研发部门，由电子设计工程师、逻辑设计工程师、电源设计工程师、软件工程师协同进行调试。

对第一次回到研发部门的单板，首先需要做的是验证是否存在电源短路现象。例如，某块单板有以下几种电源：3.3V、2.5V、1.8V、1.2V，则调试阶段的第一个步骤就是验证这些电源是否与 GND（单板上的信号地）发生了短路，以及各电源之间是否发生短路。对电源保护设计不完善的单板，这一步骤尤为重要。

第二个步骤是对单板上可编程器件程序的加载。

其后，对电源电路、逻辑设计、时钟和复位电路等功能模块的调试可并行进行。

当以上功能模块的调试通过后，可开始测试流量。流量测试是验证单板上各部分电路协调工作的最佳工具，在这一步，除长时间正常流量的测试外，还需人为地模拟一些可触发中断等告警功能的流量，以对相应功能模块进行验证。

## 1.3.5 测试

测试是对设计进行验证的重要阶段。硬件测试工程师是这一阶段的主要负责人，其关键输入为详细设计阶段后期电子设计工程师拟定的测试计划。



## 1. 测试计划的主要内容

- (1) 测试设备列表。列出测试中所需仪器的型号和数目，如电源、示波器、探头、万用表、信号发生器等。
- (2) 测试环境的搭建图。绘制测试仪器与被测单板的连接示意图，若测试中需要以太网口、串口等线缆的连接，示意图中还需标明线缆的规格、线缆连接的方式及对应端口的地址。
- (3) 电源测试。测试各电源的电压及电流（针对空载和满载两种情况）、纹波、噪声、上电顺序、下电顺序。
- (4) 各接口信号的信号完整性与时序。在测试计划中，应列出待测信号的网络名、时序要求等。
- (5) 各通用接口的功能测试：通用接口指 I<sup>2</sup>C、RS-232 等标准接口，在测试计划中应列出各接口的访问地址及测试代码。
- (6) 复位链路的测试。
- (7) 晶振、时钟驱动器、锁相环等与时钟相关的测试。测试时钟信号的频率、上升/下降边沿时间，对关键时钟信号，还应借助温箱，测试环境温度变化时时钟频率的稳定度。需注意，不推荐利用示波器测试时钟频率，而应采用专门的频率测试仪进行测试。
- (8) 指示灯、单板在位信号、槽位号等杂项的测试。
- (9) 流量的测试。测试计划中应列出流量测试的数据流向图，测试代码、测试时间、误码率要求等。

## 2. 其他测试

除以上常规测试外，在测试计划中还需包括某些强度测试的测试项。不同类型的单板有不同的强度测试项，以下仅举一些通用的例子。

(1) 电源监控功能的测试。例如，通过强制将电源电压调整超出监控的阈值，判断监控电路是否报警。

(2) 极限环境的测试。例如，调整板上电源输出电压到最高、最低极限值，调整温箱的温度变化率，在这些极限环境下对流量进行测试。

若单板上包括有某些特定用户接口，如以太网电口、光口，光传输的 E1、T1 等端口，都需要根据接口所对应的标准规范，验证接口是否满足规范的要求。

在测试阶段，硬件测试工程师的职责是按照测试计划书一项一项地测试，并将结果反馈给电子设计工程师，针对测试所发现的问题，提供相应的更改意见。

### 1.3.6 转产

在调试和测试完成后，硬件设计的最后一个阶段是将与生产相关的资料转给工厂，以便工厂开始大规模批量生产。

在这一阶段，ICT 工程师的测试夹具和代码也应完成并提供给工厂。此时，电子设计工程师的职责是将单板知识和测试技能传授给工厂的测试人员。



## 理解要点：

- ① 硬件设计流程包括以下几个阶段：需求分析、概要设计、详细设计、调试、测试、转产。
- ② 一个设计的成功，需要来自多个部门的工程师通力合作。

## 1.4 原理图设计

本书后续部分将详细介绍硬件设计流程的各个阶段。在此之前，本节将简单地介绍原理图设计时的注意事项。

原理图是电路设计的中间文件，虽然其并不直接用于指导生产，但却是连接设计理念和最终产品的关键纽带。

电子设计工程师是原理图的责任人，多数设计者认为原理图不过是生成网表的源文件，至于其设计风格则完全可以依个人喜好而定。

事实上，原理图在整个设计过程中，起着非常关键的作用。

首先，原理图是设计思想的体现，混乱的原理图只能代表混乱的设计思想。

第二，原理图是电子设计工程师与 PCB 设计工程师沟通的重要工具，当单板复杂到一定程度时，电子设计工程师不可能通过语言将所有 PCB 设计时需注意的细节都告知 PCB 设计工程师，例如，PCB 设计工程师从原理图获得网络连接关系表（简称网表），虽然知道各器件的连接关系，但却无法获得器件摆放位置等信息，在这种情况下，原理图的标注将成为重要的工具，一方面使 PCB 设计工程师对设计的要求一目了然，另一方面也能对电子设计工程师起到提醒作用，避免在设计、测试时遗忘某些关键细节。

第三，脉络清晰的原理图有助于提高调试、测试、生产等环节的效率。

由以上看来，原理图并不只是一份中间文件，为了得到一份优质的原理图，在设计的过程中，有许多事项需要注意。

(1) 在原理图的首页，应绘制单板的总体框架图。若单板较复杂，还应根据需要，在后续页上绘制电源架构框图、时钟拓扑图、复位链路拓扑图、中断链路拓扑图、边界扫描链路图等。若单板的面板接口较多，建议增加一页用于面板图示。若 I<sup>2</sup>C 总线的拓扑较复杂，还需增加一页用于注释各 I<sup>2</sup>C 器件的地址。

(2) 在原理图上电源电路的输出端附近，应标注该路电源的电压值和电流值。例如，图 1.3 中，由磁珠从 3.3V 分出四路 3.3V 的支路，各支路电流不同，在原理图上标注电流后，有助于 PCB 工程师把握在哪些支路应做加粗走线、增加电源过孔等处理。需说明的是，图 1.3 中括号包含的部分（如 200mA）只是注释，不属于网络名称的一部分。

(3) 标注关键电流通路。例如，在图 1.4 中，MOSFET 的源极和漏极两端的路径属于关键电流通路，在原理图上标注后，有利于 PCB 设计者对该路径引起重视，做加粗走线等处理。

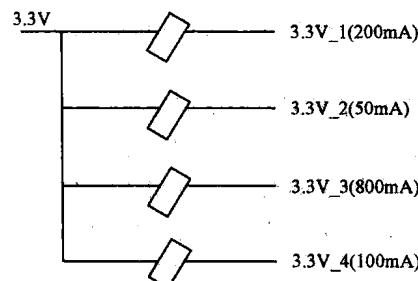
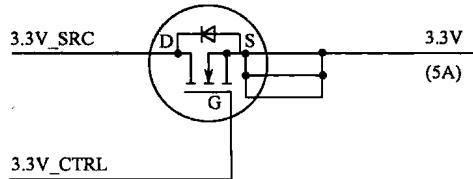


图 1.3 在原理图上标注各支路电源的电流值



注: 3.3V\_SRC与3.3V为电流关键路径

图 1.4 在原理图上标注关键电流通路

(4) 绘制原理图时要兼顾在 PCB 设计中对器件布放位置的要求。在第 8 章将介绍阻抗匹配, 阻抗匹配电路对器件的布放位置有一定的要求, 例如, 始端匹配电阻应靠近发送端器件放置, 终端匹配电路应靠近接收端器件放置, 在原理图的绘制中应体现这一原则。例如, U1 和 U2 分别为发送、接收器件, R 为终端匹配电阻, 在 PCB 上应靠近 U2 放置, 则推荐按图 1.5 方式绘制原理图。有时, U1 和 U2 位于原理图上不同的页, 则推荐将 R 放置在 U2 的那一页上。

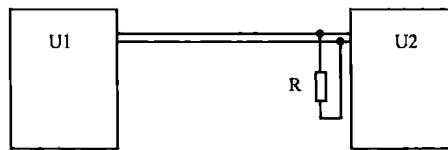


图 1.5 原理图的绘制应兼顾 PCB 上器件的布放要求

(5) 按照 PCB 上电容的排列顺序绘制原理图的电容滤波电路。某 3.3V 滤波电路要求, 在 PCB 上,  $1\mu\text{F}$  电容应放置在最外边, 随后是  $100\mu\text{F}$ 、 $10\mu\text{F}$ 、 $0.1\mu\text{F}$ , 则对应的原理图部分应绘制如图 1.6 所示。

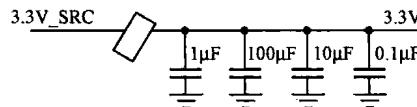


图 1.6 原理图兼顾电容的布放顺序

(6) 原理图上应标注关键信号的速率、走线层, 若信号线之间有走线长度关系, 也建议标注在原理图上。

(7) 原理图上应标明高散热及热敏感器件, 若有特殊的放置要求, 也可在原理图上加以注释。

(8) 对关键器件, 在原理图上应标明其对应的料号、精度、尺寸等信息。这些关键器件包括保险管、分压电路中的电阻, 电源滤波电路中的电感、磁珠、电容, 电源电路中的电压及开关频率调节电阻、MOSFET、二极管、电压采样电阻等。

(9) 在原理图上, 应对跳线、选焊器件的配置方法等进行注释。

(10) 在原理图上, 应标注与背板连接的连接器、面板上 LED 指示灯的排列顺序。

# 第2章 高速电路中的电阻、电容、电感和磁珠的选型及应用

## 2.1 电阻的应用

### 2.1.1 与电阻相关的经典案例

如果说芯片是电路的骨架，那么电阻就是在芯片之间起连接作用的关节。电阻的阻值、布放位置等，对设计的成功起着至关重要的作用。

#### 【案例 2-1】 串联电阻过大，导致板间告警失败

某产品由业务板和主控板构成。业务板上电源监控芯片的告警信号通过背板，输送到主控板，经主控板上逻辑芯片 74LVTH16244 处理后连接到主控板上 CPU 的中断信号。

功能测试发现，强制将业务板被监控的一路电源拉地，CPU 中断信号却不被使能。

#### 【讨论】

该部分电路如图 2.1 所示。

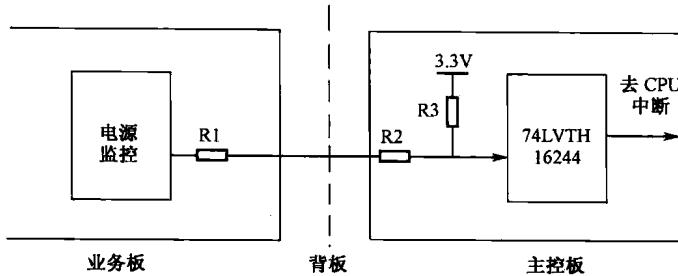


图 2.1 业务板与主控板之间的告警电路

考虑到单板的热插拔要求，信号和背板连接器之间都串有电阻。 $R_1=1\text{k}\Omega$  ( $\text{k}\Omega$ : 千欧姆)， $R_2=100\Omega$  ( $\Omega$ : 欧姆)， $R_3=1\text{k}\Omega$ 。

进行强度测试时强制将被监控的电源接地，在业务板侧，测量业务板电源监控芯片输出的告警信号，可测得有效低电平 (0V)，但在主控板 74LVTH16244 侧，测得输入信号电平为 1.7V，远超出低电平的输入门限。

74LVTH16244 是高阻抗输入，因此 3.3V 将在三个电阻上分压。当电源监控芯片输出低电平 0V 时，经过分压后，在主控板上 74LVTH16244 的输入端分得电平为  $\frac{3.3\text{V}}{2.1\text{k}\Omega} \times 1.1\text{k}\Omega = 1.7\text{V}$ ，超出低电平门限。将  $R_1$  的阻值更换为  $33\Omega$ ，告警时 74LVTH16244



输入电平为  $\frac{3.3V}{1.133k\Omega} \times 0.133k\Omega = 0.38V$ ，仍在低电平门限之内，主控板能正确识别告警信息。

这个案例看似简单，但却暴露出一个多单板协同设计时很容易出现的问题。在本案例中，考虑到热插拔需要，单独看主控板和业务板的设计都不存在缺陷，但在协同工作时却暴露出问题。若一个产品由多块单板组成，设计者在进行单板与背板连接器接口电路设计时，必须充分考虑本单板与其他单板协同工作的问题。

需要提及的是，有些设计者会有疑问，将 R1 的阻值改为  $33\Omega$  后，74LVTH16244 输入电平  $0.38V$  虽然处在输入信号的低电平门限范围内，但裕量不是很大，能不能将 R3 的阻值增大，如采用  $4.7k\Omega$  等，使得告警时 74LVTH16244 输入电平进一步降低？答案是不能，这涉及逻辑器件实现电平翻转时的电流要求，将在第 3 章做详细分析。

### 【案例 2-2】 电阻额定功率不够造成的单板潜在缺陷

某单板上 PHY 芯片（以太网物理层芯片）的核心电源滤波电路设计如图 2.2 所示。

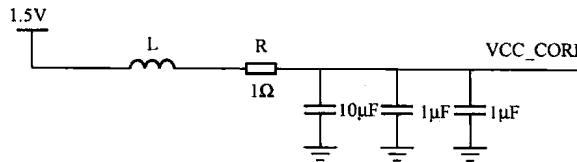


图 2.2 PHY 电源滤波电路

根据 PHY 芯片资料，该电源对噪声等干扰特别敏感，因此在设计中不仅采用了 LC 滤波电路，还在电感 L 之后串联了一个  $1\Omega$  的电阻 R。LC 滤波电路能滤除高频段噪声，而本电路中的电阻 R 不仅能衰减高频段噪声，而且能衰减低频段噪声，即能作为一个全频段衰减器。这种设计方法常用于对噪声特别敏感的电源，如时钟的电源等。

单板长时间运行发现，电阻 R 经常爆裂。

### 【讨论】

设计中选用的电阻 R，尺寸为 0402，额定功率为  $1/16W$ ，核对 PHY 芯片资料，其内核电源最大功耗为  $300mW$ ，即最大电流为  $200mA$ ，而该电阻的最大通流能力仅  $62.5mA$ 。当 PHY 全速工作时，电流将超过电阻的额定电流，造成电阻失效。

类似的案例很多，设计者在电阻选型时，对阻值往往非常关注，却比较容易忽略对额定功率的审核。

本案例中，电阻的失效能通过实验室长时间测试反映出来，这是很值得庆幸的事情。若电阻的额定电流和实际工作电流比较接近，则可能构成产品的一个潜在缺陷。

### 【拓展】

在本案例中，电阻起的是全频段滤波的作用，在类似应用中，电阻还有一个作用是降低电路的品质因数 Q。

Q 定义为回路发生谐振时，储存能量与一周期内消耗能量之比。在一个由 R、L、C 组成的串联电路中，总阻抗  $Z = R + 1/(j\omega C) + j\omega L = R + j[\omega L - 1/(\omega C)]$ ，回路谐振时，假定谐振频率为  $\omega_0$ ，则满足  $\omega_0 L = 1/(\omega_0 C)$ ，此时电路的总阻抗达到最小值 R，Q 的值如下：

$$Q = \omega_0 L / R = 1 / (\omega_0 C R) = 1 / R \times (L/C)^{1/2} \quad (2.1)$$



因此，回路发生谐振时，能量将集中于谐振频率点  $\omega_0$ 。根据  $Q$  值的不同，绘制回路幅频特性曲线如图 2.3 所示，图中  $|H(j\omega)|$  是电路传递函数的模，该值越接近 1，表示电路越能无损耗地传递能量。从图中可以发现， $Q$  值越大，能量越集中，表现为  $|H(j\omega)|$  的值越接近 1，电路的损耗越小。

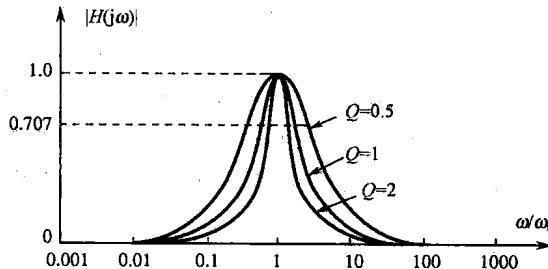


图 2.3 不同  $Q$  值的幅频特性曲线

在储能电路中， $Q$  值越大，意味着损耗越小；在选频电路中， $Q$  值越大，意味着滤除其他频带信号的能力越强。因此在这些情况下，希望  $Q$  值越大越好。

但在电源或信号线路中， $Q$  值越大，通频带内特性曲线越陡峭，越容易引发振铃等现象，信号通过这种回路后容易发生失真。因此在这种情况下，希望  $Q$  值小一些比较好。

在本例所示的原理图中，加入电阻 R 可降低  $Q$  值，以避免电源线路的振荡。

### 【案例 2-3】 电阻在时序设计中的妙用

某设计要求 FPGA 芯片兼容地支持两个厂家的存储器，经时序分析发现，这两个厂家的存储器虽然引脚的定义完全相同，但时序参数却略有差异。经时序计算后，B 厂家存储器件的时钟信号线要比 A 厂家的长 600mil（mil 即米尔，是长度单位，1mil=0.0254mm）。

#### 【讨论】

一个设计（即同一份原理图和 PCB）同时兼容两个厂家的器件，是电路设计中常见的需求，此时， $0\Omega$  电阻往往能起到极好的作用。

如图 2.4 所示，当采用 A 厂家存储器时，将 R1 加入物料清单中，而 R2 和 R3 不入物料清单；当采用 B 厂家存储器时，R2 和 R3 加入物料清单，而 R1 不入物料清单。

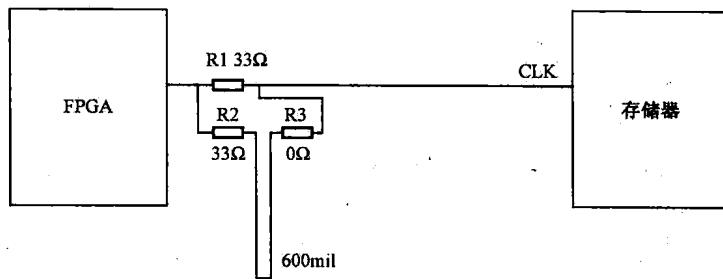


图 2.4 FPGA 兼容两种存储器的设计

PCB 设计的注意事项有：第一，R2 需紧紧靠近 R1 的左边引脚放置，R3 需紧紧靠近 R1 的右边引脚放置，这样做的目的是减少在时钟信号线上可能出现的分叉（stub）；第二，



R2 和 R3 之间的走线长度为 600mil，以满足 B 厂家存储器的时序要求。

如果信号速率极高，短小的分叉将对信号完整性产生很大的影响，因此，当设计不允许信号线上存在分叉时，可以采用如图 2.5 所示的 PCB 设计。

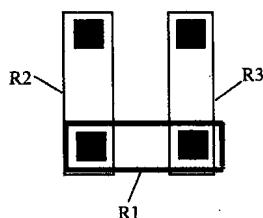


图 2.5 无分叉的兼容性设计方法

在图 2.5 中的 PCB 上，将 R2 和 R3 各自的一个引脚焊盘与 R1 的两个引脚焊盘分别重合，R2 和 R3 的另一个引脚通过 600mil 走线连接，从而可以完全避免在 R1 与 R2、R3 之间存在的分叉。采用这种方式，PCB 上将出现设计规则检查（DRC）错误，可以将这个错误忽略，并通知产品工程师。

## 2.1.2 电阻应用要点

在高速电路设计中，对于电阻的应用，有四个关注点：

- (1) 电阻的阻值；
- (2) 电阻的尺寸；
- (3) 电阻的额定功率；
- (4) 电阻的精度。

其中，对于阻值，可依据电路的要求计算得到。有时候计算得到的阻值属于非常用阻值，从节省成本的角度考虑，建议采用常用阻值的电阻通过串联或者并联的方式构成该阻值。例如， $363\Omega$  的阻值，可采用常用阻值  $330\Omega$  和  $33\Omega$  串联构成。这样做的目的，一方面可以构建比较精确的阻值，另一方面可以避免选用非常用的电阻器件。一般而言，越是非常用的器件，价格往往越高。

对于尺寸，需注意电阻的厂家资料上往往提供有两种尺寸代码，如表 2.1 所示。

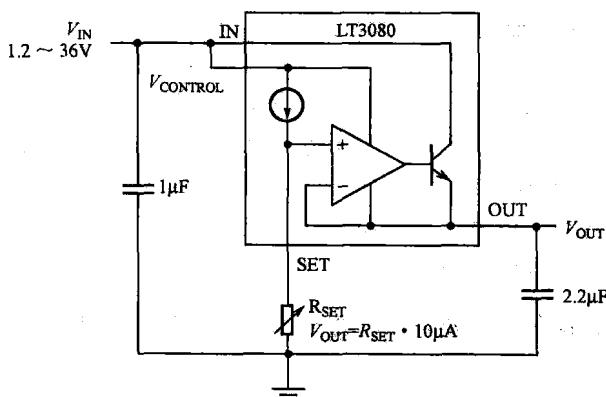
表 2.1 电阻元件资料上的尺寸信息

Item (项目)	General Specification (技术规范)		
Series No (系列号)	WR12	WR08	WR06
Size code (尺寸编号)	1206(3216)	0805(2012)	0603(1608)

表 2.1 摘自某电阻的厂家资料。表中同一系列的电阻有两种尺寸代码，一种是 EIA（美国电子工业协会）代码，另一种是公制代码。这两种代码都由 4 位数字构成，前两位表示电阻封装的长度，后两位表示宽度。EIA 代码是英制代码，以英寸为单位，如 0603 的电阻，表示长度为 0.06in (60mil)、宽度为 0.03in (30mil)。该电阻的公制代码为 1608，表示长度为 1.6mm，宽度为 0.8mm。

额定功率和精度这两项参数比较容易被忽略。案例 2-2 就是与额定功率相关的案例，在针对额定功率的选型时，需要注意至少降额 20% 使用。

关于精度，最常见的应用是在电源芯片上。如图 2.6 所示为 Linear 公司的 LDO 电源芯片 LT3080，利用外部的电阻  $R_{SET}$  设定  $V_{OUT}$  的值。

图 2.6 LT3080 应用电路<sup>[5]</sup>

在这种应用中，电阻的精度直接决定了输出电压的精度，如果选择 5% 精度的电阻，则输出电源的电压波动范围将达到 10%，显然无法满足设计的要求，因此必须选择 1% 精度的电阻，即使这样，仅仅因为该电阻的精度偏差，输出电源的电压偏差就达到了 2%。

#### 理解要点：

- ① 0Ω 电阻对高速电路设计有重要的意义。
- ② 在功耗高的路径上，如果串联了电阻，选型时需要考虑电阻的额定功率。
- ③ 当电阻用于设定器件的工作参数时，应选择高精度电阻。

## 2.2 电容的选型及应用

### 2.2.1 与电容相关的经典案例

电容对高速电路的贡献非常大，即便是在一块最普通的单板上，电容也随处可见。因此，电容是电路设计中最为常见的器件。但同时，电容也是最容易被忽视的器件。在设计中，设计者们往往知道需要放置电容，但对电容的选型却随心所欲。

事实证明，很多单板的设计失败，根本原因就在电容。以下根据实际工作中的三个案例来说明电容选型的重要性。

#### 【案例 2-4】 电容失效导致低温下硬盘停止工作

某单板设计以及功能验证完成后，在温箱里做 -30℃ 的低温冷启动测试，发现单板启动到“硬盘检测”步骤时报错。在此条件下测试硬盘的 5V 电源，发现其纹波很大，达到 800mV，使硬盘无法正常工作。设计人员重新审视原理图后发现，在硬盘的 5V 电源上除了若干小容值的陶瓷电容以外，大容值的电容只有一个，是 47μF 的铝电解电容，该电容的工作温度范围为 -55℃ ~ 105℃。将此铝电解电容更换为同样容值的钽电容后，在 -30℃ 做多次低温冷启动，单板工作正常。



### 【案例 2-5】多次带电插拔子板导致母板上钽电容损坏

在调试中，对某单板上的子板做多次热插拔功能测试，发现插拔十多次就会导致母板上的一颗钽电容爆裂。该单板由母板和子板构成，两者通过连接器连接。由母板提供 12V 电源，经过连接器后送到子板，作为子板的工作电源，而该钽电容是母板上靠近连接器就近布放的、为 12V 电源滤波的电容，其标称值是  $100\mu\text{F}$ ，额定电压 16V。将该电容更换为同样容值的铝电解电容后，问题得到解决，强度测试通过。

### 【案例 2-6】高速电路中电容应用问题导致 CPU 工作不稳定

某单板上，以太网数据包的处理工作由 CPU 负责完成。测试发现，在少量数据处理时，单板工作正常，而一旦出现大量数据处理，偶尔会发生丢数据包现象。以太网数据是通过板上 FPGA 进行预处理后再送到 CPU，简化原理图如图 2.7 所示。

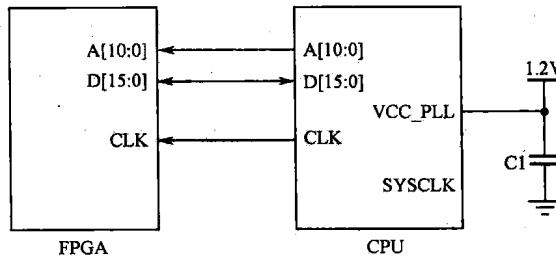


图 2.7 电容导致 CPU 工作不稳定

SYSCLK 是 CPU 的系统时钟，频率为 66MHz，由外部 66MHz 晶振提供。CLK 为 CPU 和 FPGA 之间接口总线的工作时钟，频率为 132MHz，由 CPU 内部锁相环对 SYSCLK 倍频产生。通过对 CPU 和 FPGA 之间的总线进行信号质量以及时序测试，大量数据处理时，借助示波器的快速采集功能，可以发现 FPGA 一侧的输入数据在某些瞬时无法满足时序要求，而大多数情况下却有充足的时序裕量。重新分析时序，发现时序设计正确。用示波器单独测量 CLK 信号的完整性，打开快速采集功能，发现在某些瞬间，CLK 信号的边沿会发生 1/4 周期的偏移。由此怀疑 CPU 内部的锁相环工作不稳定，测量给锁相环供电的 VCC\_PLL 引脚，纹波达到 50mV，纹波加上噪声达到 70mV。该电路设计时，VCC\_PLL 信号上仅布放有一个  $10\mu\text{F}$ 、1206 封装的陶瓷电容，改版后在 VCC\_PLL 引脚附近就近增加两个 0612 封装的  $2.2\mu\text{F}$  陶瓷电容，和一个 0402 封装的  $0.1\mu\text{F}$  陶瓷电容，问题得到解决。

类似的案例还有很多，表面上看都不违背电路原理。案例 2-4 中的铝电解电容，标称温度范围能达到  $-55^\circ\text{C}$ ，为何在  $-30^\circ\text{C}$  就会出现问题？案例 2-5 中的钽电容，额定电压 16V，距离其工作电压 12V 还有 33% 的裕量，为何会出现爆裂？案例 2-6 中的偶发现象，经过长时间、大量信号测试后，却发现根源竟是几个电容。电容虽小，出现的问题却需要耗费大量的调试时间，那么在设计中，如何避免出现类似问题？本节内容将主要就电容的选型和应用要点展开讨论。



## 2.2.2 高速电路设计中电容的作用及分析

### 1. 高速电路设计中电容的作用

#### 1) 电容的作用之一——电荷缓冲池

在高速电路设计中，电源的负载是动态的，即高速运行器件的电流和功耗是不断变化的。为了保证器件工作的稳定，希望器件的工作电压不随电流和功耗的剧烈变化而同程度变化，即希望器件电压尽量稳定。在这种情况下，需要为器件提供一种缓冲池，以便当外界环境剧烈变化时，器件的工作电压能保持相对的稳定。电容的本质是储存电荷和释放电荷，当外界环境变化时，电容中的电荷能被迅速积累或释放。根据公式  $\Delta U = \Delta Q/C$  ( $\Delta U$  表示电容两端电压的变化量， $\Delta Q$  表示电容两端电荷的变化量， $C$  为电容的容值)，当外部环境的变化驱使器件的工作电压增加或减少时，电容能通过积累或者释放电荷以吸收这种变化，即将器件工作电压的变化转变为电容中电荷的变化，从而保持器件工作电压的稳定。因此，电容的作用之一就是电荷缓冲池，以使高速运行器件的工作电压保持稳定。

#### 2) 电容的作用之二——高频噪声的重要泄放通路

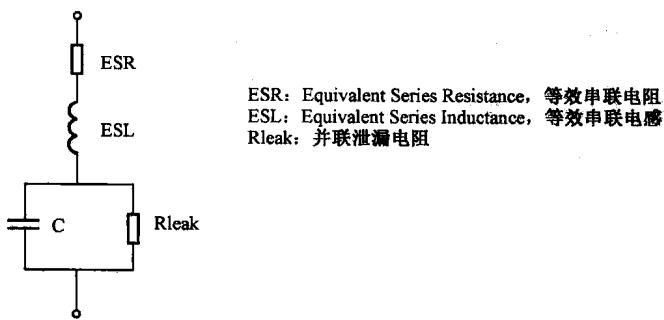
对高速运行的电路而言，无时无刻不存在状态的转变。例如，信号的状态不断在 1 和 0 之间切换，器件的电流方向不断在输出和输入之间切换。这种高速的转变，将在电路上产生大量的噪声等干扰。从频谱上看，这些干扰在相当大程度上处于有效信号的 2 次、3 次等倍频频率。在电源传输路径上，需要将这些干扰泄放到相对稳定的地平面上，以免影响器件的工作。根据公式  $Z=1/(j\omega C)$ ，当频率较高时，电容表现为低阻抗，因此，可将电容作为高频噪声的重要泄放通路。

#### 3) 电容的作用之三——实现交流耦合

当两个器件通过高速信号互连时，信号两端的器件可能对直流分量有不同的要求。例如，A 和 B 两个器件之间通过高速差分对信号互连，但 A 器件工作于 1.8V，B 器件工作于 3.3V，则 A 器件驱动的差分对信号将携带 1.8V 直流分量，导致信号到达接收端 B 器件时无法被正确识别；反之，B 器件驱动的信号，到达 A 器件，其电平可能超过 A 器件所允许的最大输入电平。对于这种情况，需要将信号所携带的发送端的直流分量在达到接收端前，予以滤除，即隔离信号两边器件的直流分量。基于电容的通交流、阻直流的天然特性，电容具有这种隔离功能。因此，电容的作用之三是实现交流耦合 (AC Couple)，以实现对直流的隔离 (DC Blocking)。

## 2. 电容等效电路的分析

如图 2.8 所示，在高速设计领域，电容器件并不是纯粹的电容，而是带有电阻、电感等成分的小电路。其中 ESL 由电容器件的引脚电感和电容器件两极间等效电感串联而成，主要取决于封装；ESR 由电容器件的引脚电阻和电容器件两极间等效电阻构成，主要取决于电容工作温度、工作频率以及电容体本身的导线电阻等；Rleak 则取决于电容器件本身特有的泄漏特性。可以认为，电容器件的特性同时取决于电容分量、ESL 分量、ESR 分量及泄漏特性。



### 1) 电容分量

以一个案例来分析电容器件的电容分量对高速设计的影响。

### 【案例 2.7】 交流耦合电容选择不当引起数据帧出错

如图 2.9 所示, 某产品主控板和业务板的 FPGA 通过背板上电平为 LVPECL 的差分对信号线互连, 数据速率是 800Mbps (Mbps: 兆比特位每秒), 为隔离两板间直流偏置电平的相互影响, 采用交流耦合, 耦合电容选用 0.01μF 的陶瓷电容。测试发现, 发送某些码型时, 接收方经常检测到数据帧出错。

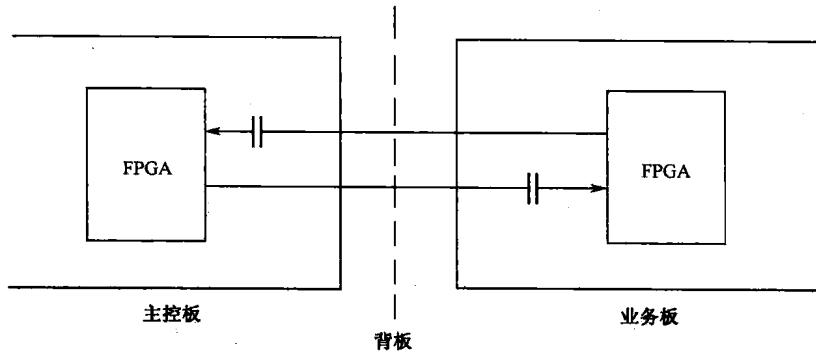


图 2.9 交流耦合电容选择不当引起数据帧出错

### 【讨论】

仔细研究出错的码型, 发现它们都有一个共同的特性, 即存在较长连续 0 和连续 1 比特位的情况。从逻辑设计工程师处获知, FPGA 并没有对发送的数据帧进行扰码处理, 而是将原始数据帧直接发送到外部信号线上。交流耦合电容在正常工作时, 处于平衡的充放电状态, 但原始数据帧中较长连 0 和连 1 比特位的出现, 打破了这种平衡, 使得信号通过判决门限的时间发生抖动, 导致接收端判决出错。

在交流耦合中, 电容串接在线路中, 阻抗为  $1/j\omega C$ 。容值越小的电容, 对低频信号所表现出的阻抗越大, 使低频信号的衰减越严重。

定义  $T_c$  为每比特位的数据周期, NUM 为最大容许连 0 或连 1 比特位的数目, 负载的阻抗为  $R$  (一般取  $50\Omega$ ),  $C$  为交流耦合电容容值。则有经验公式:



$$C_{\min} = 7.8 \times \text{NUM} \times T_c / R \quad (2.2)$$

本例中,  $T_c=1.25\text{ns}$ ,  $R=50\Omega$ , 根据码型分析, 本产品应用中可能出现的最大连 0 或连 1 比特位的长度为 85, 因此设定  $\text{NUM}=86$ , 则交流耦合电容的最小取值要求为

$$C_{\min}=7.8 \times 86 \times 1.25\text{ns} / 50\Omega = 16.77\text{nF} = 0.01677\mu\text{F}$$

设计中, 选用  $0.01\mu\text{F}$  的耦合电容, 显然无法满足式 (2.2), 导致数据帧出错。

在设计时需注意, 耦合电容取值也不能太大, 如果容值太大, 将无法满足高速信号变换的边沿斜率要求。在高速设计中, 一般取耦合电容的容值为  $0.1\mu\text{F}$ , 这样既可以满足数据帧中可能出现的长 1 长 0 情况, 又能满足高速信号变换的要求。

## 2) ESL 分量

如何利用封装信息获得大致的 ESL 值? ESL 值取决于电容器件的类型和封装。在高速电路中, 应选用 ESL 值小的贴片电容, 因此仅以小尺寸贴片式的陶瓷电容作为示例, 对于插孔式电容, 如铝电解电容, 其 ESL 值将比表 2.2 所列出的值大得多。从表 2.2 知, 随着封装的增大, ESL 值将随之增大。比较特殊的是 0612 封装的贴片电容, 其 ESL 值不仅远远小于相同外形尺寸的 1206 的 ESL 值, 甚至小于目前业界尺寸最小的 0201 封装的 ESL 值。如图 2.10 所示为 1206 和 0612 封装的电容。

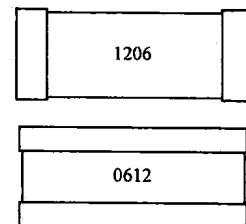


图 2.10 1206 和 0612 封装的电容

表 2.2 ESL 和封装对应关系<sup>[2]</sup>

封装尺寸	0201	0402	0603	0805	1206	0612
ESL (pH)	400	550	700	800	1250	63

0612 封装的电容, 其长边为焊接边, 连接 PCB 上的焊盘, 相比 1206 封装, 一方面可以有更大的、能直接和 PCB 焊盘贴合的面积; 另一方面, 其内部电容体到 PCB 焊盘的距离也更近, 因此 ESL 值最小。就成本而言, 在相同容值的条件下, 0612 封装比 1206 封装只是略微贵一些。

## 【案例 2-8】 利用 0612 封装的电容增强滤波性能

结合案例 2-6, 更正后的 VCC\_PLL 滤波电路如图 2.11 所示。

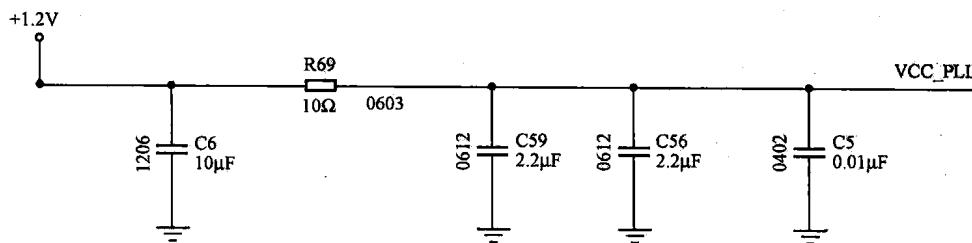


图 2.11 利用 0612 封装的电容增强滤波功能



## 【讨论】

对 VCC\_PLL 的滤波，使用了两个 0612 封装的滤波电容。一个就近 CPU 的 VCC\_PLL 引脚放置，一个布放在 VCC\_PLL 这条信号线（PCB 上应加粗）离 CPU 引脚最远的位置。第一个电容的作用是滤除外界对 CPU 引脚的干扰，第二个电容的作用是消除 CPU 引脚对外界的影响。

### 3) ESR 分量、泄漏特性及其他信息

以下讨论如何通过阅读电容的器件资料来获得信息。

表 2.3 为截取自某电容的器件资料。

表 2.3 电容元件资料<sup>[11]</sup>

Size Code (尺寸编 号)	Part Number (器件料号)	Rated Voltage (额定电 压) (V)	Rated Capacitance (额定电容) ( $\mu$ F)	ESR (内部串行电 阻) 100~300kHz (m $\Omega$ )(max.)	Rated Ripple Current (额定 纹波电流) 100kHz (mAms)at106°C	Tangent of loss angle (电容 损耗角正切 值) (max.)	Leakage Current( $\mu$ A) (泄漏电流) (max.) $\times 1$
C6	16SEPC100M	16	100	24	2400	0.10	320
C9	16SEPC100MW	16	100	10	4500	0.10	500
	2SEPC560MW	2.5	560	7	5600	0.10	500

Size Code：厂家制定的尺寸编号。

Part Number：厂家制定的器件料号，采购时需要向厂家提供该参数。

Rated Voltage：额定电压，器件最高工作电压不能超过该值。

ESR：在 100~300kHz 频带范围内，电容器内部串行电阻的最大值，该值随着工作频率而变化，因此需要根据实际应用的频带范围取值。如果应用的频带范围不在厂家提供的参数表中，需要向厂家咨询。

Rated Ripple Current：本例中的电容一般用在单板的总电源处，因此需要能承受上下电时大电流的冲击，此参数的值越大，表示承受大电流冲击的能力越好。

Tangent of loss angle：电容损耗角正切值。理想电容工作时，产生无功功率  $Q$ （无损耗），由于电容内部存在 ESR 及泄漏电流，实际应用中会产生一定的损耗功率  $P$ ，定义  $\tan \delta = P/Q$ ， $\tan \delta$  就称为电容损耗角正切值。这个值越小，电容的功率损耗就越小。

Leakage Current：电容内部存在 Rleak（见图 2.8），因此存在泄漏通路，该参数用于定义流过电容的泄漏电流。

## 【案例 2.9】 LDO 电源应用中的滤波电容 ESR 问题

某单板上 FPGA 供电选用 Linear 公司 LDO 电源芯片 LT1963，输出电压 1.5V。LT1963 的外部滤波电容选取 10 $\mu$ F，尺寸为 0805、类型为 X5R 的陶瓷电容。在单板的调试中发现，上电时，在 LDO 输出的 1.5V 电源上会出现一个瞬间高达 1.8V 的冲击。最初设计者认为是外部电容容量不够所致，增加一个相同的 10 $\mu$ F 陶瓷电容，现象依旧。仔细阅读 LDO 芯片资料，发现资料提到，该 LDO 需要利用外部电容的 ESR 作为高频补偿，ESR 太小的电



容不足以满足这个要求。资料要求外部电容的 ESR 不能超过  $3\Omega$ ，同时要求在电容值为  $10\mu F$  时，电容的 ESR 不可小于  $20m\Omega$ 。设计中使用的  $10\mu F$  陶瓷电容，其 ESR 在工作频段内仅为  $6m\Omega$ ，无法满足要求。将该电容替换为  $10\mu F$  的钽电容，其 ESR 在  $100kHz$  时为  $2\Omega$ 。替换后， $1.5V$  电源上电正常。

### 【讨论】

提到电容的 ESR，设计者往往想到的都是其负面影响。的确，较大的 ESR 有两个不利因素。第一，根据电容损耗角正切值的定义，较大的 ESR 会产生较大的损耗功率  $P$ ，如果  $P$  大到一定程度，且单板上该类型的电容器件数目较多时，功耗预算就不得不考虑电容上的损耗，这往往是电子设计工程师最不希望看到的。第二，对于高速电路设计，往往希望电容的阻抗越小越好。这有两个含义，一方面，对于高频信号的交流耦合，电容串联在高频信号上，目的是隔断高频信号收发两端的直流分量，同时又希望高频信号的衰减越小越好，如果电容的 ESR 较大，对于交流耦合的高频信号，相当于在信号中间串联了一个不小的电阻，将产生一定的衰减；另一方面，对于并联在电源和地之间的滤波电容，其作用是为噪声等干扰信号提供一个极低阻抗的回路，ESR 较大的电容，显然无法起到这个作用。对于高速电路，即使 ESR 很小的电容，其 ESR 值仍不能满足低阻抗要求，因此，在重要的电源滤波电路上，往往需要并联多个电容，以最大程度地降低 ESR。

不过情况也有例外，本例中电容的 ESR 就被用于 LDO 芯片的高频补偿。其原理在于，当 LDO 电源的负载电流发生瞬时变化时，利用 ESR 能立即产生电压波动，从而引起 LDO 电源反馈电路的动作，以便 LDO 电源针对负载变化做出快速的调整。

#### 理解要点：

- ① 电容器件并不是纯粹的电容，而是带有 ESR、ESL、R<sub>leak</sub> 等分量的小型电路。
- ② ESL 取决于电容器件的类型和封装，ESR 取决于工作温度、频率、导线电阻等。
- ③ 大多数情况下，电容器件的 ESR 越小，电路性能越好，但也有例外，设计时需要根据器件的要求进行选型。

### 3. 滤波电容阻抗随频率变化特性的分析

高速电路设计需要考虑高频和低频两种噪声，针对这两种噪声，应选取不同的滤波电容。“低频噪声选用大电容，高频噪声选用小电容”，这是许多工程师达成的共识。在实际工作中，这种说法并不完全正确。我们将就这点进行一些探讨，以便加深对电容选型的理解。

对电容器件而言，由于电容分量的存在，电容器件的阻抗随着频率的升高而逐渐降低，这是电容器件的本体属性；ESL 分量则使阻抗随着频率的升高而逐渐增加。这两种作用正好相反。在电容分量和 ESL 分量的共同作用下，电容器件的整体阻抗表现为，随着频率的升高，首先是电容分量起主导作用，使阻抗逐步变小，器件表现为电容的阻抗特性，滤波效果渐强；当达到某一频点时发生谐振，此时电容分量和 ESL 分量对阻抗的效果正好抵消，在谐振点上，电容器件阻抗最小，等于 ESR 分量；此后，随着频率继续升高，ESL 分量起主导作用，使阻抗逐步增大，器件表现为电感的阻抗特性，滤波效果渐弱。



滤波电容的作用机制是为噪声等干扰提供一条低阻抗回路，在噪声频率点上，要求滤波电容的阻抗较小，即当噪声频率落在谐振点附近时，滤波效果最好。如图 2.12 所示，谐振点由两条曲线交会而成，左边的曲线取决于电容器件的容值  $C$ ，右边的曲线取决于电容器件的 ESL。由谐振频率公式： $F = (ESL \times C)^{-1/2}$  知， $C$  和 ESL 越大，则谐振频率越低，即电容对高频干扰的滤波效果越差； $C$  和 ESL 越小，谐振频率越高，越适于滤除高频干扰。

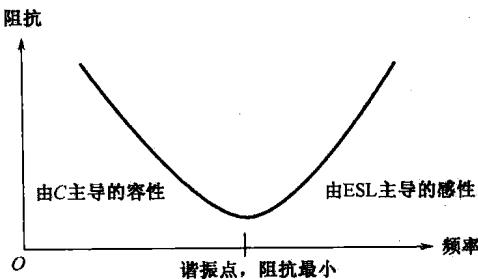


图 2.12 电容器件的阻抗—频率变化曲线

高速设计中，噪声等干扰往往不是处在一个频率点上，而是占据一段频带。在实际工作中，期望电路上每一处的噪声频带都得到准确定位并不现实，这就要求设计者在电路设计中，利用多种不同的电容构造一个比较宽的低阻抗频带，以尽可能地覆盖噪声频带。

如图 2.13 所示，用三种电容并联，其效果是构成一段比较宽的低阻抗频带。

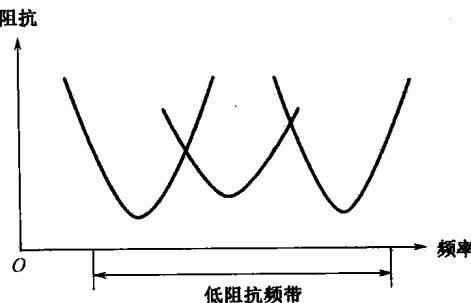


图 2.13 多种电容器件构成低阻抗频带

### 【案例 2-10】 高频电路中 $1\mu F + 0.01\mu F$ 是否能展宽低阻抗频带

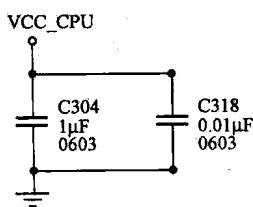
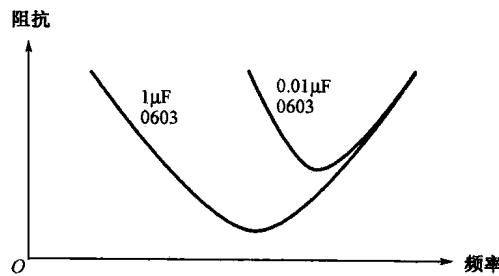


图 2.14  $1\mu F$  和  $0.01\mu F$  并联滤波

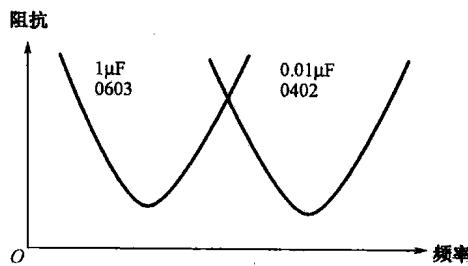
某单板使用 0603 封装的  $1\mu F$  和  $0.01\mu F$  陶瓷电容各一个（见图 2.14），为 CPU 片内锁相环的电源滤波，设计者本意是利用两种不同的电容达到展宽低阻抗频带的效果，但是这样的设计是否能达到目的呢？

#### 【讨论】

电容器件的阻抗—频率曲线由其电容分量和 ESL 分量共同决定，本例中的两个电容容值不同，但类型和封装都相同，因此 ESL 相同，并联后的阻抗—频率曲线如图 2.15 所示，不能达到展宽低阻抗频带的目的。

图 2.15 0603 封装的  $1\mu\text{F}$  和  $0.01\mu\text{F}$  电容并联后的阻抗—频率曲线<sup>[61]</sup>

针对本例，改进方法是，仍旧选择  $1\mu\text{F}$  和  $0.01\mu\text{F}$  的陶瓷电容，不过封装分别选取 0603 和 0402，并联后的阻抗—频率曲线如图 2.16 所示。

图 2.16 0603 封装的  $1\mu\text{F}$  和 0402 封装的  $0.01\mu\text{F}$  并联后的阻抗—频率曲线<sup>[61]</sup>

此处需做一些补充，设计者们常喜欢把若干相同的电容并联在一起，共同为某一电源滤波。这样做的目的，一方面是起到去耦电容的本地“小池塘”作用（参见 2.2.4 节），另一方面是为了在谐振点上得到更低的阻抗。需要说明的是，这样做，并没有展宽低阻抗频带。其阻抗—频率曲线如图 2.17 所示。

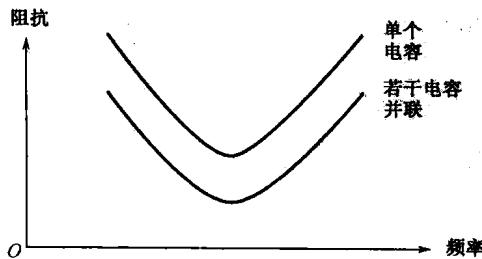


图 2.17 同型号电容并联后阻抗—频率特性曲线

下面来分析“低频噪声选用大电容，高频噪声选用小电容”这种说法。结合电容器件的阻抗—频率曲线图，如果仅考虑电容器件的电容分量，这种说法是正确的，因为电容分量越大，谐振点的频率越低，适于滤除低频噪声，而电容分量越小，谐振点的频率越高，适于滤除高频噪声。但如果同时考虑 ESL 分量，则未必正确，参见图 2.15，0603 封装的  $0.01\mu\text{F}$  电容，其阻抗—频率曲线完全被 0603 封装的  $1\mu\text{F}$  电容的曲线包含，并没有真正起到作用。

需要补充的是，当两种电容器件的类型与容值相同，只有封装不同时，各自的阻抗—频率曲线将如何表现？以 0603 和 0402 的  $0.01\mu\text{F}$  陶瓷电容为例，其阻抗—频率曲线如图 2.18 所示，显然 0402 封装的阻抗—频率曲线能包含 0603 封装的曲线，如果设计中将这两种电容并联后为同一电源滤波，除了降低滤波电路的阻抗外，0603 封装的电容其实没有



真正发挥作用。

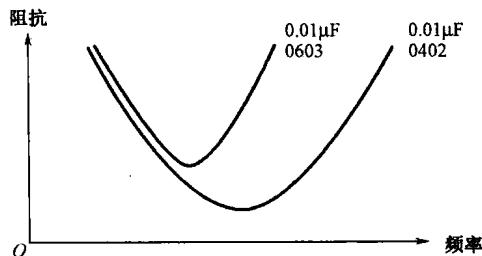


图 2.18 0603 封装  $0.01\mu\text{F}$  和 0402 封装  $0.01\mu\text{F}$  的阻抗—频率曲线

**理解要点：**

- ① 电容器件的阻抗—频率变化曲线是一种浴盆曲线，曲线的左边取决于电容分量，右边取决于 ESL 分量。
- ② 滤波电容并联以展宽低阻抗频带时，不仅要考虑容值搭配，还需要考虑封装搭配。多个同型号的电容并联时，虽不能展宽低阻抗频带，但可以减小谐振点处的阻抗。

### 2.2.3 高速电路设计常用电容及其应用要点

高速电路设计中最常用的电容有陶瓷电容（Ceramic Capacitor）、钽电容（Tantalum Capacitor）、铝电解电容（Aluminum Electrolytic Capacitor），以及最近开始流行的 OSCON 电容，如图 2.19 所示。四种常用电容中，只有陶瓷电容是非极性电容，其他三种都属于极性电容。

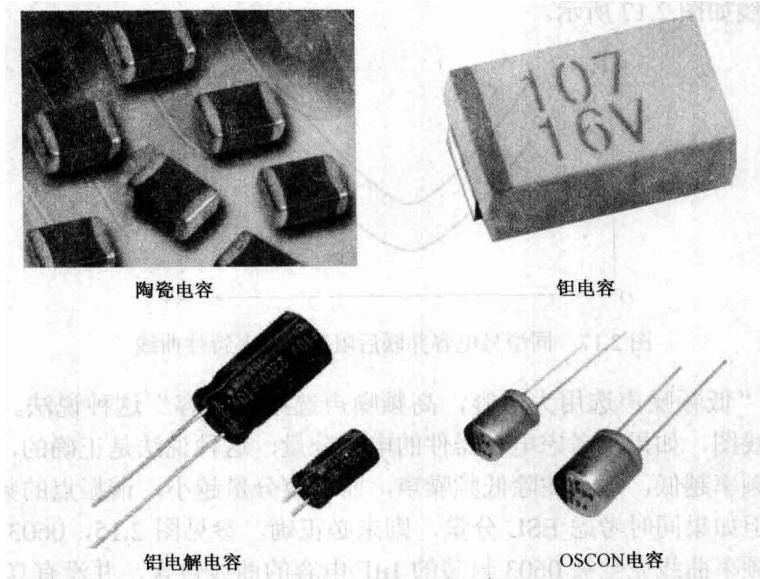


图 2.19 认识各种电容

#### 1. 陶瓷电容及其应用要点

陶瓷电容是以陶瓷作为介质，在陶瓷的两面喷涂金属作为极板构成的，其优势是体积



小、价格低、稳定性好，但容量小。目前常用的陶瓷电容，其容值小的可以到几十皮法，大的可以到几十微法。

平时经常提到的 X7R、X5R、Y5V 等，就是陶瓷电容。那么这些符号的含义是什么？如表 2.4 所示为陶瓷电容的符号表示法。

表 2.4 陶瓷电容的符号表示法

第一个字母	最低温度	中间的数字	最高温度	最后一个字母	温度稳定性 $\Delta C/\Delta T$
Z	+10°C	2	+45°C	A	+/- 1.0%
Y	-30°C	4	+65°C	B	+/- 1.5%
X	-55°C	5	+85°C	C	+/- 2.2%
		6	+105°C	D	+/- 3.3%
		7	+125°C	E	+/- 4.7%
				F	+/- 7.5%
				P	+/- 10.0%
				R	+/- 15.0%
				S	+/- 22.0%
				V	+22.0%~-82.0%

高速电路设计中，常用到的陶瓷电容种类有 NPO、X7R、X5R 和 Y5V。它们的区别主要在于填充介质不同，从而引起温度、电压稳定性的不同。

NPO 是温度补偿型陶瓷电容，是电容量最稳定的一种陶瓷电容。工作温度范围为  $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ，可以认为在这个范围内，电容量基本保持不变。

X7R，表示工作温度范围为  $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ，温度稳定性为  $+/- 15\%$  的陶瓷电容。

X5R，表示工作温度范围为  $-55^{\circ}\text{C} \sim +85^{\circ}\text{C}$ ，温度稳定性为  $+/- 15\%$  的陶瓷电容。

Y5V，表示工作温度范围为  $-30^{\circ}\text{C} \sim +85^{\circ}\text{C}$ ，温度稳定性为  $+22\% \sim -82\%$  的陶瓷电容。

在高频电路设计中，推荐选用 NPO、X7R、X5R 类型，尽量不选用 Y5V 类型。

### 【案例 2-11】 陶瓷电容选型错误导致单板丢数据包

某成熟的低端以太网交换机产品在进行降成本设计后，高温  $55^{\circ}\text{C}$  下测试丢包率时发现丢数据包。该问题只发生在降成本设计后的批次上，之前的产品批次均能正常工作。查询改板记录，发现设计人员为了节省成本，将单板上为交换芯片供电的电源的  $10\mu\text{F}$  滤波电容的类型由 X7R 更改为 Y5V，电容厂家是 AVX。根据厂家提供的软件 SpiCap，可以计算出在  $85^{\circ}\text{C}$  时，电容容量仅为  $3.775\mu\text{F}$ ，尚不到标称电容值的 40%。而在环境温度  $55^{\circ}\text{C}$  时，单板上该电容附近的温度达到了近  $80^{\circ}\text{C}$ ，因此实际有效电容值相对标称值大为减小，无法满足滤波的要求，造成电源上噪声过大。将电容类型更改为同容值的 X7R 后，问题得到解决。

### 【讨论】

对于 X7R、X5R 和 Y5V 这三种类型的陶瓷电容，标称的电容值都是在环境温度  $25^{\circ}\text{C}$ 、工作电压等于  $0\text{V}$  时得到的值。如果环境温度和工作电压发生改变，则有效电容值将会发生变化。三者的区别在于变化程度的不同，其中 Y5V 这种类型的电容，变化最为剧烈。

利用 AVX 公司的 SpiCap 软件分析额定电压  $10\text{V}$ 、标称值  $22\mu\text{F}$  的 Y5V 电容，理想状



态（即工作电压 0V，环境温度 25°C）下，有效值为标称值（22μF）。如果保持其环境温度为 25°C 不变，仅改变工作电压，当工作电压为 5V 时，有效电容值为 4.4μF；当工作电压达到额定电压 10V 时，有效电容值仅为 2.2μF。如果保持其工作电压为理想的 0V 不变，仅改变环境温度，可以发现当环境温度相对于 25°C 升高和降低时，有效电容值都会减小，当环境温度达到 85°C 时，有效电容值为 8.30μF，为 -30°C 时，有效电容值为 8.36μF。

同样利用 SpiCap 软件分析 X7R 类型陶瓷电容（X5R 类型陶瓷电容的分析结果和 X7R 类似），可以发现设定工作电压为理想的 0V 不变，环境温度达到极限的 -55°C 和 125°C 时，有效电容值降到标称值的 85% 左右。而假定环境温度为理想温度 25°C 不变，工作电压达到额定电压时，有效电容值降到标称值的 75%。

我们知道，单板工作时，电容的工作电压不可能是 0V，附近的环境温度也不可能保持在 25°C，因此对电容必须进行降额设计，对 X7R 和 X5R 应至少降额 20% 使用，而 Y5V 则不建议在高速电路和环境温度变化剧烈的情况下使用。

图 2.20 所示为不同类型电容的容值随温度变化的曲线示意图，希望通过图 2.20，让大家深刻地理解电容降额的必要性。

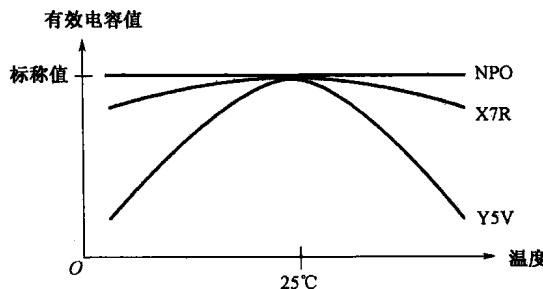


图 2.20 陶瓷电容温度稳定性示意图

贴片式陶瓷电容的 ESR 值一般都比较小，在高频滤波中这是一个优势，但有些时候，这也是一个劣势，请参考案例 2-9。

由于陶瓷电容容量一般都比较小，在电源电路的设计中，单独使用陶瓷电容滤波是不适宜的，必须同时搭配使用钽电容、铝电解电容或者 OSCON 等类型的电容。

## 2. 钽电容及其应用要点

钽电容使用金属钽作为介质，基于钽的固态特质，具有温度特性好、ESL 值小、高频滤波性能好、体积小、节省 PCB 面积、容值较大等特点。因此钽电容一般被应用在需要大容量电容滤波的场合，如为 CPU 等高耗能器件滤波。

钽电容的缺点是耐电压和耐电流的能力较弱。一般要求钽电容的工作电压相对额定电压降额 50% 以上。遇到以下三种场合之一，钽电容的额定电压需降额 70% 以上使用：

- (1) 负载呈现较强的感性；
- (2) 串联电阻小；
- (3) 瞬变电流较大。

其原因在于，感性负载或较小的串联电阻会导致较大的瞬变电流，造成钽电容的金属钽介质被击穿。这使得在以下环节，钽电容的失效概率增大：ICT 测试、老化测试、系统开机瞬间、单板热插拔瞬间。

案例 2-5 中，在热插拔子板的过程中，会产生较大的瞬变电流，而连接器附近为子板电源滤波的钽电容电压降额只有 25%，没有达到 70% 的要求，因此造成失效。

一般而言，容值越大的钽电容，其 ESR 值往往越小。

图 2.21 是摘取自 AVX 公司的钽电容器件资料。10μF 的钽电容，其 100kHz 时的 ESR 最大值为 1500mΩ；150μF 的同系列钽电容，ESR 最大值仅为 125mΩ。

AVX Part No. (产品型号)	Case Size (封装 尺寸)	Capacitance(μF) (容量)	Rated Voltage (Voltage Code) (额定电压)	DCL(μA) Max. (最大漏 电流)	DF(%) Max. (最大容 量变化率)	ESR Max.(mΩ) @100kHz (最大等效 串联电阻)	100kHz Ripple Current (mA) Ratings (纹波电流)		
							25°C	85°C	125°C
<b>Voltage/Code (额定电压)</b>									6.3volt @ 85°C(4 volt @ 125°C) / J
TPSA685*006#1800	A	6.8	6.3	0.5	6	1800	0.204	0.184	0.082
TPSA106*006#1500	A	10	6.3	0.6	6	1500	0.224	0.200	0.089
TPSA156*006#1500	A	15	6.3	0.9	6	1500	0.224	0.200	0.089
TPSA226*006#0900	A	22	6.3	1.4	6	900	0.289	0.260	0.115
TPSB226*006#0600	B	22	6.3	1.4	6	600	0.376	0.339	0.151
TPSA336*006#0600	A	33	6.3	2.1	6	600	0.353	0.318	0.141
TPSB336*006#0600	B	33	6.3	2.1	6	600	0.376	0.337	0.151
TPSW336*006#0400	W	33	6.3	2.1	6	400	0.474	0.427	0.190
TPSB476*006#0500	B	47	6.3	3.0	6	500	0.412	0.371	0.165
TPSC476*006#0300	C	47	6.3	3.0	6	300	0.606	0.545	0.242
TPSB686*006#0500	B	68	6.3	4.3	6	500	0.412	0.371	0.165
TPSC686*006#0200	C	68	6.3	4.3	6	200	0.742	0.667	0.297
TPSC686*006#0150	C	68	6.3	4.3	6	150	0.856	0.766	0.343
TPSW686*006#0250	W	68	6.3	4.3	6	250	0.600	0.540	0.240
TPSC107*006#0150	C	100	6.3	6.3	6	150	0.856	0.766	0.343
TPSC157*006#0250	C	150	6.3	9.5	6	250	0.663	0.597	0.265
TPSC157*006#0150	C	150	6.3	9.5	6	150	0.856	0.771	0.343
TPSD157*006#0125	D	150	6.3	9.5	6	125	1.095	0.980	0.438

图 2.21 钽电容器件资料<sup>[3]</sup>

根据电容的等效电路，ESR 相当于电容器件的串联电阻，串联电阻越小越容易造成钽电容失效。因此在应用中需要注意，对于大容值的钽电容，更需要电压降额。从成本上来说，钽电容的价格正比于容值和额定电压的乘积，在使用大容值的钽电容时，还需要增加电压降额的比例，这势必造成成本的上升。因而在设计中，往往将若干小容值的钽电容并联以提供和大容值钽电容相同的容量，这样做，一方面有利于设计的可靠性，一方面也有利于成本的降低。

需要注意，工作在瞬变电流较大的场合，钽电容并不一定会发生永久失效。钽电容本身有较好的自愈能力，只要外界环境的影响在一定范围之内，钽电容都能自我恢复。有时在单板的调试中会发现，单板突然莫名其妙地掉电，过一会儿后重新上电又能正常工作，有可能就是因为钽电容暂时失效所致。因此，为了保证单板长期稳定的工作，必须严格执行钽电容的电压降额，同时在设计时需注意，在涉及热插拔的电源滤波电路上，尽量避免使用钽电容。

### 【案例 2-12】 根据电路要求进行钽电容选型

某 FPGA 的 I/O 接口电源为 1.8V，功耗 0.9W，要求电源电压的波动不超过 5%。电源完整性仿真表明，其主要噪声频段将集中在 100kHz~5MHz，根据以上需求选择滤波电容的型号。

#### 【讨论】

由于噪声频带集中在 100kHz~5MHz，可初步判断需要选择钽电容和陶瓷电容配合滤波，钽电容主要滤除低频段噪声，陶瓷电容滤除高频段噪声。

该 FPGA 的 I/O 接口电源，最大电流为  $0.9W/1.8V = 0.5A$ ，假定其电流波动值  $\Delta I$  不会超



过最大电流的 50%，即取  $\Delta I=0.25\text{A}$ 。

则该 I/O 接口电源的动态阻抗为  $Z=\Delta V/\Delta I=(1.8\text{V}\times 5\%)/0.25\text{A}=0.36\Omega$ 。

首先考虑低频段的滤波，选用钽电容，其 ESL 分量非常小，可以忽略，因此其阻抗主要由 ESR 和 C 构成，即  $Z_{\text{CAP}}=|\text{ESR}+1/j\omega C|=[(\text{ESR})^2+(1/\omega C)^2]^{1/2}$ 。

选择 AVX 公司的  $22\mu\text{F}$  电容 TPSB226#0600，根据图 2.21 所示器件资料，在  $100\text{kHz}$  时，其 ESR 最大值为  $0.6\Omega$ ， $Z_{\text{CAP}}=[0.36+1/(2\times 3.14\times 100\times 10^3\times 22\times 10^{-6})^2]^{0.5}=0.604\Omega$ 。

要求滤波电容的阻抗小于芯片动态阻抗，因此需两片  $22\mu\text{F}$  电容并联，并联后阻抗为  $0.302\Omega$ ，小于动态阻抗，所以可以满足低频段滤波的要求。

其次，对于高频段滤波，一般可以选用 0402 封装、X5R 类型、 $1\mu\text{F}$  的陶瓷电容。

结论，针对本例需求，设计上应采用 2 片  $22\mu\text{F}$  钽电容 TPSB226#0600，与若干  $1\mu\text{F}$  陶瓷电容并联（建议一个 I/O 接口电源引脚放置一个  $1\mu\text{F}$  陶瓷电容），为 FPGA 的 I/O 接口电源滤波。

高速电路中，噪声频段分布得比较广泛，设计时需要将陶瓷电容和钽电容配合起来共同完成滤波功能。

### 3. 铝电解电容及其应用要点

铝电解电容使用电解液作为介质，外壳的铝制圆筒作为负极，内部插入一块金属板作为正极。铝电容容量大、耐压高，但温度稳定性差、精度差、高频滤波性能差，仅适用于低频滤波。

在对钽电容的介绍中提到，钽电容不适用于有较大瞬变电流的场合，而在这种场合下，就需要用到铝电解电容。例如，在单板的  $-48\text{V}$  缓启电路上，就需要用到铝电解电容。

在应用中，铝电解电容的电压降额要求至少为 20%。例如，在  $-48\text{V}$  缓启电路的滤波电路中，要求铝电容的额定电压在  $60\text{V}$  以上。

铝电解电容一般都是插装式，因此 ESR、ESL 值都比较大，同时由于其采用液体作为介质，在极高温和极低温环境下，性能也极不稳定。

案例 2-4 的硬盘停止工作的问题，就是一个典型的铝电解电容在低温下性能不稳定的案例。查询铝电解电容器件资料如表 2.5 所示。

表 2.5 铝电解电容器件资料<sup>[4]</sup>

容量 ( $\mu\text{F}$ )	阻抗 $\Omega/100\text{kHz}$		纹波电流 mA r.m.s./ $100\text{kHz}$
	20°C	-10°C	
1.0	2.40	4.80	20
2.2	1.80	3.60	45
3.3	1.30	2.60	65
4.7	1.30	2.60	95
10	1.30	2.60	125
12	1.30	2.60	135
15	1.30	2.60	145
18	1.30	2.60	155
22	1.30	2.60	155



表 2.5 中, 第二、三栏分别提供了该电容在 20℃ 和 -10℃ 的 ESR 值, 可以看出, 在 -10℃, 铝电解电容的 ESR 值相对常温增大了一倍, 而该案例的测试在 -30℃ 下进行, ESR 相比 -10℃ 时又会增大很多。即在 -30℃, 铝电解电容的 ESR 值比常温下的值可能大好几倍, 滤波性能大大降低。

从产品的长期稳定性来说, 铝电解电容也可能成为隐患。因为随着产品使用时间的增加, 铝电解电容内部的电解液将逐渐干涸, 容量逐渐减小, ESR 逐渐增大, 滤波效果减弱。

所以在高速电路设计的电容选型中, 应尽量避免选择铝电解电容。

#### 4. OSCON 电容及其应用要点

严格地说, OSCON 并不是一种电容的类型, 而是 SANYO 公司的一种性能比较好的电解电容的品牌。

OSCON 电容外形酷似铝电解电容, 其优点在于, OSCON 电容 ESR 较小、温度稳定性相对铝电解电容较好、价格相对钽电容较低。缺点在于对绝大多数 OSCON 电容而言, 引脚都是插装形式, 并且体积比较大。

在电路设计中, DC/DC 电源的输入和输出部分往往需要布放大容量的钽电容, 成本较高。在这种情况下, 可以同样容值的 OSCON 电容取代, 其成本仅为对应钽电容的几分之一。

#### 5. 总结

本小节就高速电路设计中的常用电容类型做了详细介绍, 各种电容均有自己的优势和劣势, 没有哪一种类型能够完全取代其他类型, 因此在设计中, 设计者们需要注意结合各种电容自身的特点, 配合使用, 以获得最佳效果。

##### 理解要点:

- ① 陶瓷电容体积小、价格低、稳定性好, 但容量小。适用于高频滤波。
- ② 钽电容温度稳定性好、ESL 值小、高频滤波性能好、体积小、能节省 PCB 面积、并且容值较大, 但耐冲击电压和冲击电流的能力较弱。
- ③ 铝电解电容容量大、耐压高, 但温度稳定性差、精度差、高频滤波性能差, 仅适用于低频滤波。
- ④ 在电容应用中, 应注意对阻抗一频率特性曲线的理解。

### 2.2.4 去耦电容和旁路电容

在技术资料上, 经常可以看到去耦 (decouple) 电容和旁路 (bypass) 电容这两种名称。它们都不是电容的类型, 而是设计者根据电容所起的作用不同而进行的人为划分。本小节不展开讲解这两种电容, 只简要介绍其作用。

去耦电容, 其作用是为保证器件稳定工作而给器件电源提供的本地“小池塘”。在高速运行的器件上, 会不断产生快速变化的电荷需求, 对于这种快速的需求, 电源模块无法及时给器件提供电流以补充, 只能依靠器件附近的电容给予解决。可以把电容理解成平时灌满水的小池塘, 一旦小池塘附近的庄稼缺水, 能立刻从小池塘得到补充, 而无需求助远方的水厂。去耦电容还有另一个作用, 是为高速运行器件产生的高频噪声提供一条就近流入地平面



的低阻抗路径，以避免这些干扰影响该电源的其他负载。

旁路电容，其作用是为前级（如电源产生的高频噪声等干扰）提供一条流到地平面的低阻抗路径，以避免这些干扰影响正在高速工作的器件。

从以上描述可以看出，去耦电容和旁路电容没有本质的区别，从应用上说，依据公式  $Z=1/(2\pi F \times C)$ ，其中  $F$  是器件工作频率，它们在高频下的作用都是为电路中的干扰提供一条流回地平面的低阻抗回路。

## 2.3 电感的选型及应用

### 2.3.1 与电感相关的经典案例

#### 【案例 2-13】 LC 低通滤波导致输出电源电压纹波偏大

某 PHY 芯片的核心电压 1.5V，要求从本芯片的 I/O 接口电源 2.5V 产生。如图 2.22 所示，PHY 芯片通过 CONTROL 引脚控制外部 PNP 型管的通断，以产生 1.5V 电源。测试中发现，在 1.5V 电源上存在 160mV 纹波。

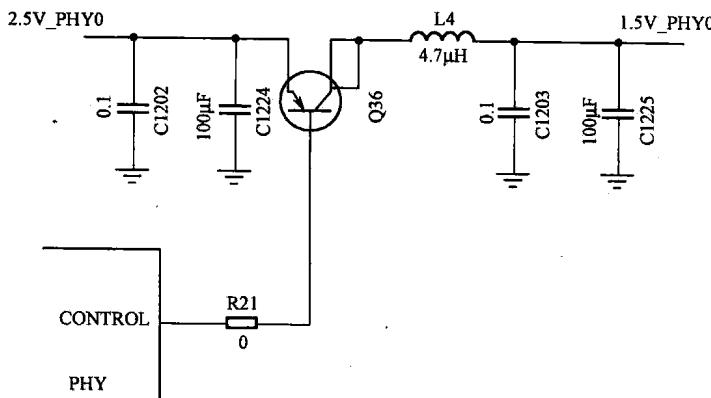


图 2.22 PHY 芯片电源的产生电路

#### 【讨论】

根据芯片厂家的信息，该芯片已应用在许多成功的设计上，从而可以排除 PHY 芯片本身故障的可能。与厂家确认，PHY 工作时，外部晶体管转换频率在 1~100MHz 频段内。

出于滤波的目的，本设计对 1.5V 输出电源采用了 LC 低通滤波器（L4 和 C1225），其谐振频率  $F=1/(2\pi\sqrt{LC}) = 1.59\text{MHz}$ ，处于 PNP 型晶体管工作频带内，因此可能产生谐振，分析可得出结论，该纹波应主要来自谐振时产生的剧烈振荡。

本设计中，LC 滤波器的本意是为滤除高频噪声，显然设计没有达到应有的效果。仔细分析芯片资料得知，该电路的原理是，PHY 芯片内部有一个 LDO 控制电路，该控制电路通过 CONTROL 引脚控制外部 PNP 型晶体管以得到 1.5V，内部控制电路和外部的 PNP 型晶体管共同构成了一个 LDO 电源，完全没有必要采用 LC 滤波器。改版设计中，将 L4 删除，使晶体管的集电极直接连接到 1.5V 输出，经测试，1.5V 上纹波仅 7mV。



### 【案例 2.14】 大电流通路 PI 型滤波造成电压衰减

某单板的 1.8V 电源有三个 MAC 芯片（MAC 芯片：链路控制层芯片）作为负载，这些芯片主要分布于单板左侧靠近用户面板的 RJ45 接口侧。由于单板布局限制，1.8V 电源模块只能布放于单板右侧，利用 PCB 内层信号层（第 7 层），铺一个电源平面将 1.8V 传输到单板左侧。每个 MAC 芯片最大工作电流为 1.8A。由于 1.8V 电源平面的传输路径比较远，为滤除其在传输过程中可能受到的干扰，在 1.8V 上分别作 PI 型滤波后再送到各个 MAC 芯片，原理图如图 2.23 所示。

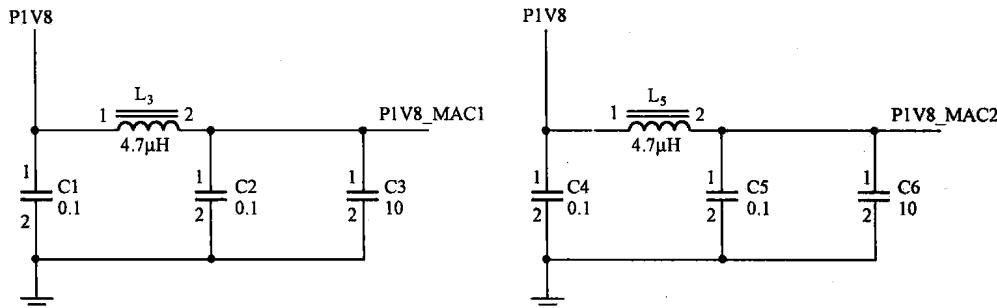


图 2.23 MAC 芯片 1.8V PI 型滤波电路

PCB 内层信号层的 1.8V 电源平面铺制如图 2.24 所示。

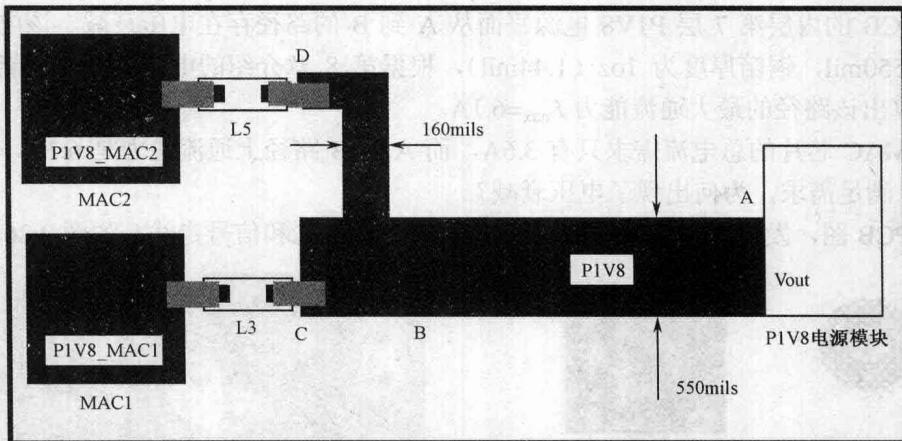


图 2.24 MAC 芯片 1.8V 电源平面分配

如图 2.24 所示，单板右侧的电源模块产生 1.8V（网络名为 P1V8），在信号层利用一个电源平面与 L3、L5 连接，经过 PI 型电路滤波后，产生 P1V8\_MAC1 和 P1V8\_MAC2，为 MAC 芯片供电。

经测试，P1V8\_MAC1 电压为 1.67V，P1V8\_MAC2 电压为 1.61V，不满足 MAC 芯片对 1.8V 电源的最小电压要求 1.62V。

#### 【讨论】

对于欠压问题，首先应考虑的是电源模块输出端。测量 P1V8 电源模块的输出端 A 点处电压， $V_A = 1.83V$ ，纹波电压 17mV，满足要求。



测量 P1V8 电源平面传输路径上的 B 点电压,  $V_B = 1.77V$ 。测量 P1V8 电源平面到达电感处的电压  $V_C = 1.77V$ ,  $V_D = 1.70V$ 。

可见, MAC 芯片处电源欠压的原因有两个: 第一, P1V8 电源平面上的电压衰减; 第二, 电感 L3 和 L5 造成的电压衰减。

首先, 分析 P1V8 电源平面上的电压衰减。检视 PCB 图, 发现以下潜在缺陷:

(1) 电源模块是插装式封装, 其输出引脚到第 7 层的 P1V8 电源平面的连接, 只用了一个过孔。电源模块输出的所有电流必须通过这个过孔才能到达第 7 层的电源平面, 因此该过孔实际上构成了电流传输路径上的一个关键点。

过孔通流能力的计算将在第 8 章介绍, 本设计中, 每片 MAC 全速工作时的电流要求为 1.8A, 所以总电流要求为 3.6A, 由通流能力计算可知, 该过孔无法满足 3.6A 的通流, 因此过孔成为瓶颈之一。

改进策略有两个。

① 策略 1: 采用花焊盘过孔代替普通过孔, 如图 2.25 所示。花焊盘过孔本身是为加强波峰焊时的散热而应用的一种孔, 在本例中, 则是利用了花焊盘过孔横截面积远远大于普通过孔横截面积的特点, 以增大其通流能力。

② 策略 2: 在表层电源模块输出引脚附近用一小块电源平面与输出引脚相连, 在电源平面上增加数个 P1V8 的过孔, 利用过孔与第 7 层的 P1V8 电源平面相连, 因此除了原有的花焊盘过孔作为主要通流路径外, 这些新增的过孔也增强了通流。在改板设计中, 同时采用了策略 1 和策略 2。

(2) PCB 的内层第 7 层 P1V8 电源平面从 A 到 B 的路径存在电压衰减。该电源平面路径宽度为 550mil, 铜箔厚度为 1oz (1.44mil), 根据第 8 章介绍的电源平面通流能力计算方法, 可计算出该路径的最大通流能力  $I_{max}=6.1A$ 。

两片 MAC 芯片的总电流需求只有 3.6A, 而 A 到 B 路径上通流能力是 6.1A, 即使降额 30% 也足以满足需求, 为何出现了电压衰减?

查阅 PCB 图, 发现在 A 到 B 路径上存在大量信号过孔和信号走线, 如图 2.26 所示。

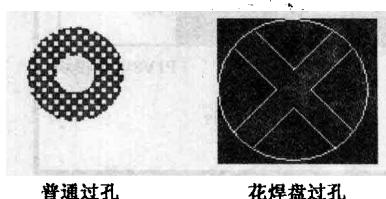


图 2.25 普通常过孔和花焊盘过孔

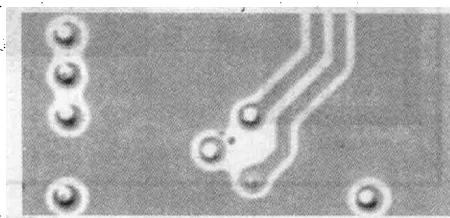


图 2.26 路径上存在大量信号过孔和信号走线

图 2.26 截取自 PCB 设计图, 是 A 到 B 路径的一部分, 在左边有三个连续的过孔将该路径部分地阻断, 中间则有两条信号线引入电源平面, 将路径部分地阻断, 因此有效路径宽度远远小于 550mil, 在考虑过孔和信号线的因素后, 有效路径宽度仅 180mil, 根据第 8 章的相关公式, 可计算得到  $I_{max}$  为 2.75A, 无法满足 MAC 芯片的电流需求。

改版策略: 增加电源平面的路径宽度, 并将原来引入电源平面的信号线挪到其他信号层, 减少电源平面内的信号过孔, 将有效路径宽度增加到 510mil。

(3) B 到 D 的路径上有 0.07V 的压降, 该部分路径宽度为 160mil, 除去信号过孔的影响, 路径有效宽度仅 95mil, 根据公式,  $I_{max}=1.75A$ , 降额 30% 后, 最大通流能力仅 1.2A,



无法满足 MAC2 芯片的电流要求。

由于该路径上的信号过孔属于关键信号，且周围的高速信号非常多，因此信号过孔不能挪动，且路径宽度也无法增加。查看 PCB 其他层后发现，可以在第 15 层信号层增加一个 P1V8 的窄平面。

改板策略：在 B 和 D 处各增加 4 个 P1V8 过孔，以便将 P1V8 从第 7 层引到第 15 层，在第 15 层，利用窄平面将 B 和 D 连接。采用该策略后，虽然没有加宽第 7 层的原有电源平面路径宽度，但在其他层新增了一条路径，所以同样提高了通流能力。在这个过程中，同样需要考虑过孔的通流能力。

(4) 电感 L3 和 L5 上各有 0.1V 的压降。查看电感器件资料，额定电流为 2.7A，足以满足 MAC 芯片 1.8A 的需求。根据资料，该电感的最大直流电阻为  $0.088\Omega$ ，按照 MAC 的最大电流 1.8A 计算，其压降最大可能达到 0.16V。因此可以判断在电感上的压降主要来自电感的直流电阻。

改板时，选择另一个系列的低直流电阻的电感，以进一步降低电感的压降。

### 【结论】

这个案例是 PCB 电源平面设计的非常经典的案例。电源平面一旦出了问题，只能通过改板予以解决，势必造成研发周期的推迟。

在电源平面设计中，需要考虑的因素非常多。由本案例的讨论部分可见，对电源平面的设计，往往需要结合一些经验公式。但需要提醒设计者的是，经验公式的前提都是基于比较理想的情况，如电源平面本身不受干扰等，在实际应用中，不会出现理想的情况，因此对于经验公式得到的结果，必须做一定的降额。

本案例是一个比较综合的案例，虽然不是完全与电感相关，但实际应用中所遇到的电源路径上的压降问题，许多都根源于电感的压降。因此，在电感应用于电源滤波电路时，除考虑滤波性能外，设计者还应考虑电感本身的压降。

## 2.3.2 高速电路设计中电感的作用

### 1. 电感的作用之一——通直流、阻交流

在电容一节提到，电容的作用是通交流、阻直流。那么，是否存在需要通直流、阻交流的场合？以电源为例，DC/DC 直流电源是通过不断地开、合 MOSFET 管以形成所需的电源电压。开、合的过程含有大量的交流分量，而这些交流分量是直流电源所不需要的。根据公式  $Z=j\omega L$ ，频率越高，电感阻抗越大，反之，电感阻抗越小。因此电感天生具有通直流、阻交流的功能，即电感的作用之一是：通直流、阻交流。

### 2. 电感的作用之二——阻碍电流的变化，保持器件工作电流的稳定

电感是用外表绝缘的导线绕制而成的、电磁敏感的线圈。当线圈中通有电流时，线圈周围会产生磁场。当电流变化时，线圈感应出电动势，以产生与电流方向相反的感应电流，阻碍这种电流的变化。因此，电感的作用之二是，阻碍电流的变化，保持器件工作电流的稳定。

### 3. 电感的作用之三——滤波

电平状态高速变换的信号，往往寄生有大量的高频谐波，这些谐波是影响电路工作的



噪声。在电路设计中，需要构建低通滤波器滤除这些高频噪声。根据电路原理，低通滤波器往往基于电感和电容构建。因此，电感的作用之三是滤波。

### 2.3.3 高速电路设计常用电感及其应用要点

根据电感的应用场合，可将电感分为高频信号用电感、一般信号用电感和电源用电感<sup>[6]</sup>。从器件资料上，需要得到以下关键信息：

- 电感值
- 直流电阻
- 自谐振频率（ $Q$  最大时的频率）
- 额定电流

以下就不同类型电感进行具体分析。文中所列举的参数主要取自电感器件厂家 TDK 的相关资料。

#### 1. 高频信号用电感

高频信号用电感主要用在射频信号上。

##### 1) 主要参数

- ① 电感值范围：0.6~390nH。
- ② 直流电阻：有多种直流电阻可供选择。一般而言，电感值越大，其对应的直流电阻也越大。
- ③ 自谐振频率：可以高达 12GHz。电感值越大，其对应的自谐振频率往往越小。
- ④ 额定电流：几十毫安到几百毫安。电感值越大，其对应的额定电流往往越小。

##### 2) 应用特点

电感值和自谐振点与工作频率的关系如图 2.27 所示。

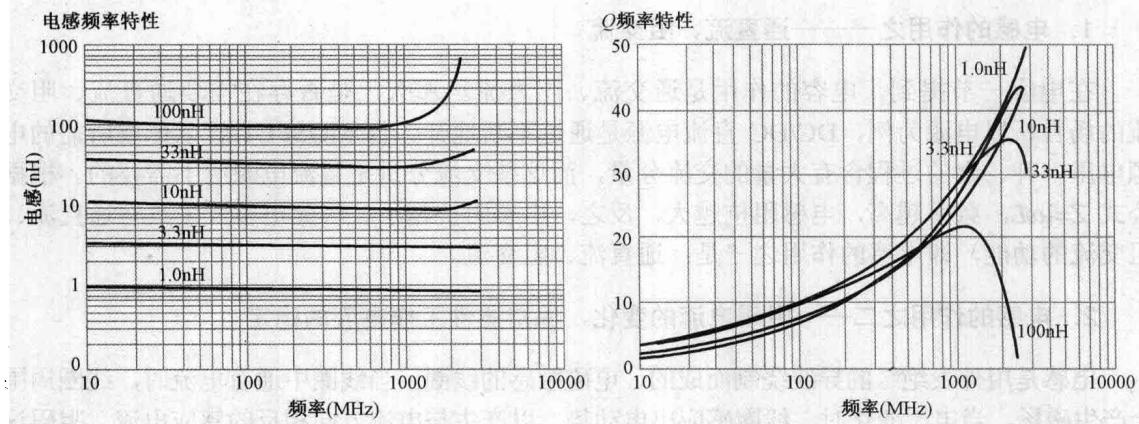


图 2.27 电感值和自谐振点与工作频率的关系<sup>[6]</sup>

从图 2.27 可知，工作频率小于谐振频率时，电感值基本保持稳定；但一旦工作频率超过谐振频率后，电感值将会迅速增大，不过，若频率继续增大并达到一定程度后，电感值又会迅速减小（减小的这个过程没有在图 2.27 中体现）。



在应用中，应选择谐振频率点高于工作频率的电感。

对于高频信号用电感而言，谐振频率点一般在 1GHz 以上，因此该类电感可支持很高的工作频率。

## 2. 一般信号用电感

一般信号用电感主要用在高速信号上。

### 1) 主要参数

- ① 电感值范围：0.01~1000 $\mu$ H。
- ② 直流电阻：有多种直流电阻可供选择，电感值越大，对应的直流电阻也越大。一般信号用电感，其直流电阻比高频信号用电感和电源用电感大一些，最小的直流电阻一般为 100m $\Omega$ ，大的可达到几欧姆。
- ③ 自谐振频率：几十兆赫兹到几百兆赫兹。电感值越大，其对应的自谐振频率越小。
- ④ 额定电流：几毫安到几十毫安。电感值越大，其对应的额定电流越小。

### 2) 应用特点

从图 2.28 可知，工作频率低于谐振频率时，电感值基本保持稳定；但工作频率超过谐振频率后，电感值将会先增大，达到一定频率后，将迅速减小。

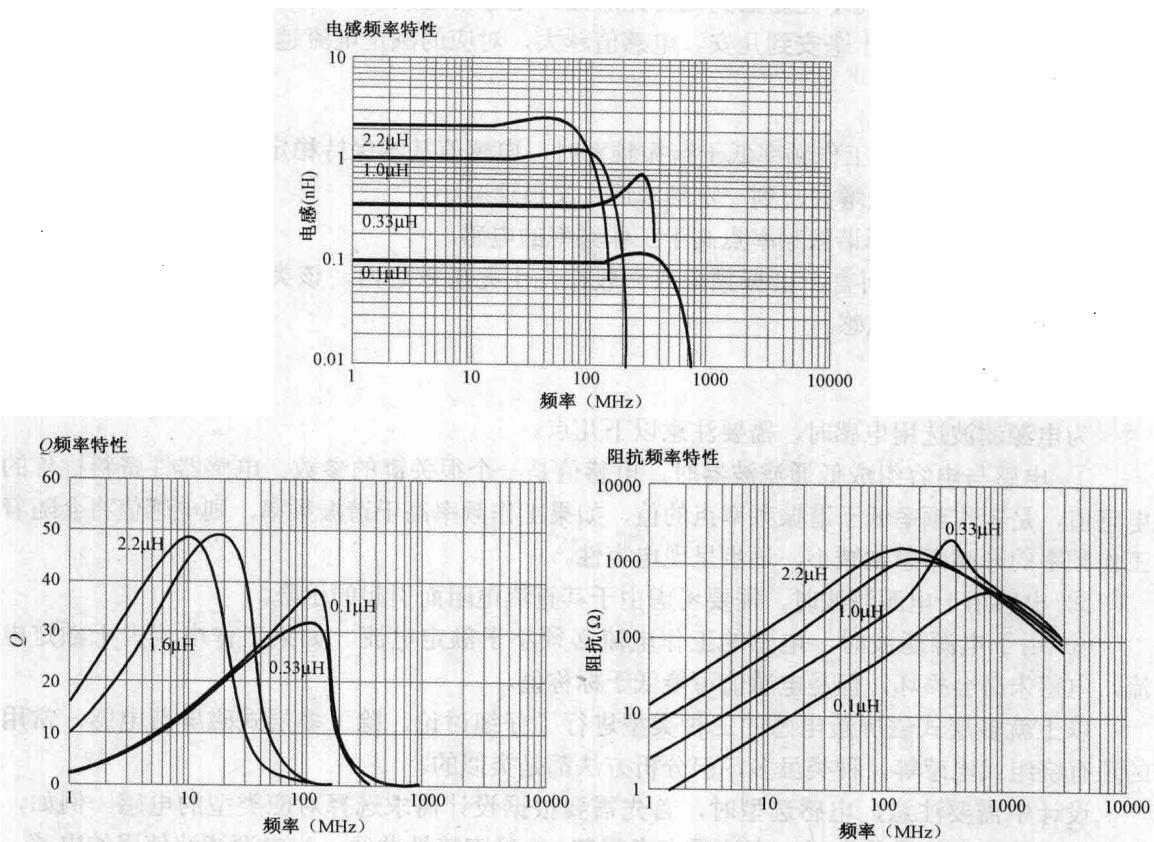


图 2.28 一般信号用电感电气特性<sup>[13]</sup>



从阻抗频率曲线图可知，工作频率低于谐振频率时，电感器件表现出电感性，阻抗随着频率的升高而增大；当工作频率高于谐振频率时，电感器件表现出电容性，阻抗随着频率的升高而减小。

因此，在应用中，应选择谐振频率点高于工作频率的电感。

对于一般信号用电感而言，谐振频率点一般在几百兆赫兹之内，该类电感也是高速电路设计中最常用的电感。高速设计中的板间互连信号，纹波比板内信号大，可以使用一般信号用电感加以滤波。

设计中需要注意，高频信号用电感和一般信号用电感额定电流都比较小，而直流电阻相对较大，不建议用于电源滤波。

### 3. 电源用电感

电源用电感主要用在电源电路中。

#### 1) 主要参数

① 电感值范围：1~470μH。

② 直流电阻：有多种直流电阻可供选择，电感值越大，其对应的直流电阻也越大。最小的直流电阻一般为几毫欧，大的有几欧姆。

③ 自谐振频率：几十兆赫兹到几百兆赫兹。电感值越大，其对应的自谐振频率越小。

④ 额定电流：几十毫安到几安。电感值越大，对应的额定电流越小。

#### 2) 应用特点

从图 2.29 可知，工作频率低于谐振频率时，电感值基本保持稳定；但工作频率超过谐振频率，电感值将会先增大，到一定频率后，又迅速减小。

在应用中，应选择谐振频率点高于工作频率的电感。

对于电源用电感而言，谐振频率点一般在几十兆赫兹之内，该类电感是高速电路设计中电源滤波最常用的电感。

#### 3) 注意事项

为电源滤波选用电感时，需要注意以下几点。

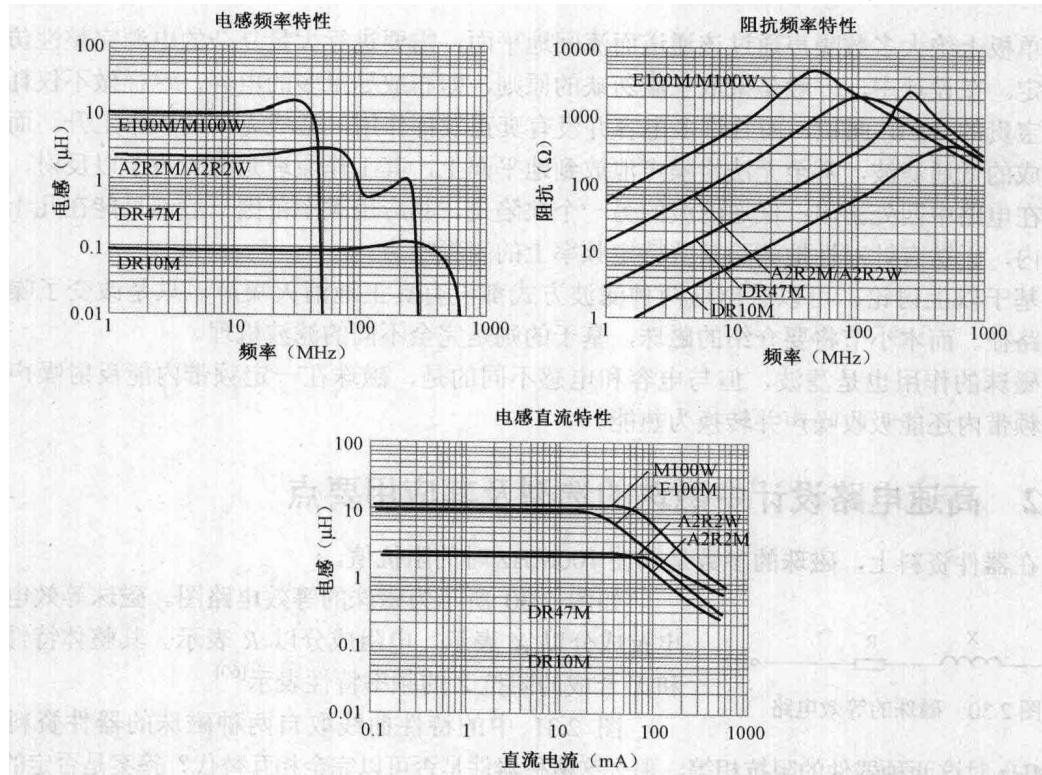
① 电感与电容组成低通滤波器时，电感值是一个很关键的参数。电感器件资料标称的电感值，是工作频率低于谐振频率点的值，如果工作频率高于谐振频率，则电感值将会随着工作频率的升高而急剧减小，逐步呈现电容性。

② 电感用于电源滤波时，需要考虑由于其直流电阻而引起的压降。

③ 用于电源滤波时，电感的工作电流必须小于额定电流。如果工作电流大于额定电流，电感未必会损坏，但是电感值可能低于标称值。

以上就多层式磁屏蔽电感的三种类型进行了仔细讨论。除了多层式磁屏蔽电感，常用的还有绕组式电感等，种类虽多，但分析方法都是类似的。

设计中需要注意，电感选型时，首先需要根据设计需求选择对应类型的电感。例如，在高速信号线上使用的电感，应该重点考察其  $Q$  频率特性曲线；为电源滤波使用的电感，应重点考察其直流电阻、额定电流等参数。在确定好电感类型后，再根据设计的具体需求，结合电感的特性曲线，在该类型中选择合适的电感。

图 2.29 电源用电感电气特性<sup>[14]</sup>**理解要点：**

- ① 电感与电容构成低通滤波器时，需要注意防止噪声频率点与谐振频率点重合，以免共振。
- ② 电感串联在电源电路中，需考虑电感器件的压降。
- ③ 针对设计需求，选择类型适合的电感。信号线上使用的电感，重点考查其品质因数频率特性曲线；电源电路上使用的电感，应重点考查其直流电阻、额定电流等参数。

## 2.4 磁珠的选型及应用

### 2.4.1 磁珠的滤波机理

磁珠的外形与电感相似，其主要功能是吸收电源、信号上的噪声等干扰。

请注意“吸收”这两个字。电容本身可以起到滤波的作用，电感和电容相配合也能起到滤波的作用，但这种滤波，并没有真正将噪声消除。例如，电容的滤波，其原理是在高频时构建一条通到地平面的低阻抗通道，以便将噪声泄放到地平面。而电感和电容配合的滤波，其原理是构建一个低通滤波器，使频段比较低的信号顺利而无衰减地通过，而阻断频段比较高的噪声，低通滤波器对高频段噪声而言，近似于一个极大的电阻，高频段噪声遇到这个极大的电阻，只能被反射回去，基于该原理，应用低通滤波器能有效地保证滤波器后级电路的稳定性。

根据滤波作用原理可知，电容滤波的基础是构建极低阻抗的通道，至于多低的阻抗才



能使单板上绝大多数噪声通过该通道而流回地平面，需要进行大量复杂的电源完整性仿真才能确定。在设计中，一般是采取宁滥勿缺的原则，即布放尽量多的电容，这样做不仅耗费了大量宝贵的 PCB 面积，而且许多电容并没有真正发挥作用，造成无谓的成本上升。而由电感构成的低通滤波，甚至无法将噪声泄放到地平面上，其工作原理是将噪声予以反射，噪声仍然在电路中四处游串；低通滤波的另一个缺陷是，其应用频率范围一般都只能在几十兆赫兹之内，无法有针对性地滤除某些特定频率上的高频噪声。

基于以上讨论，可以看出这两种滤波方式都没有真正地消灭噪声，只是改变了噪声传播的路径。而本小节将要介绍的磁珠，基于的则是完全不同的滤波机理。

磁珠的作用也是滤波，但与电容和电感不同的是，磁珠在一定频带内能反射噪声，在一定频带内还能吸收噪声并转换为热能。

## 2.4.2 高速电路设计中磁珠的选型及其应用要点

在器件资料上，磁珠的参数是其在 100MHz 时的阻抗值。

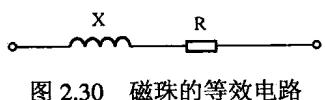


图 2.30 磁珠的等效电路

如图 2.30 所示为磁珠的等效电路图。磁珠等效电路的电抗成分以  $X$  表示，电阻成分以  $R$  表示。其整体特性用  $R$  和  $X$  合成的阻抗  $Z$  的频率特性表示<sup>[60]</sup>。

图 2.31 中的特性曲线取自两种磁珠的器件资料。在 100MHz 时这两种器件的阻抗相等，那么这两种器件是否可以完全相互替代？答案是否定的。

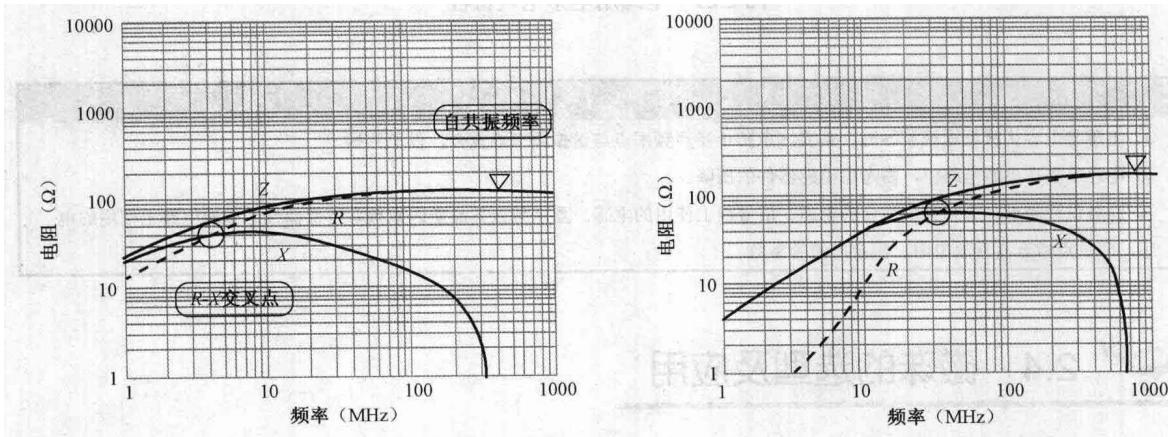


图 2.31 两种磁珠的阻抗频率特性曲线<sup>[15]</sup>

磁珠的阻抗  $Z$  由电阻成分  $R$  和电抗成分  $X$  共同决定。在低频段， $X$  起主导作用，磁珠主要体现为电感性，功能是反射噪声；在高频段， $R$  起决定作用，磁珠主要体现为电阻性，功能是吸收噪声并将噪声转换为热。这两种功能的转换点就是曲线上， $R$  和  $X$  值相等处的频率。<sup>[60]</sup>

转换点所在频率以下，磁珠体现电感性，转换点所在频率以上，磁珠体现电阻性。电感性的作用是反射噪声，电阻性的作用是吸收噪声并转化为热能。因此，转换点所在频率越高，磁珠体现电感性的频带越宽，对低频噪声的吸收能力越弱；转换点所在频率越低，磁珠体现电阻性的频带越宽，对低频噪声的吸收能力越强。在磁珠选型时，需要仔细分析电路上信号和噪声所处的频带，所选择的磁珠应满足：电路噪声的频带大于磁珠转换点频率，以便



使磁珠吸收噪声而不是反射噪声；电路信号的频带尽量小于磁珠转换点频率，以防有效信号被磁珠衰减。

对于串联了磁珠的线路，磁珠的转换点频率越低，线路振荡和波形失真就越小；反之则越大。

除了转换点频率外，磁珠选型还需要考虑额定电流、直流电阻和谐振频率（图 2.31 中的自共振频率）等因素。与电感类似，磁珠应用于电源电路滤波时，工作电流不能大于其额定电流；磁珠本身具有直流电阻，当电源电路的电流较大时，还应考虑在磁珠上产生的压降。图 2.31 中，当工作频率高于谐振频率时，磁珠表现出电容性，阻抗迅速减小，因此应选择谐振频率点高的磁珠<sup>[60]</sup>。此处需要特别注意的是，磁珠的转换点频率和谐振频率，在意义上有所不同。

在磁珠的应用中，许多考虑因素与电感相同，本小节不再就磁珠的应用而单独举例。

在高速设计中，磁珠应用的场合越来越多，那么设计中使用磁珠是否会带来副作用？下面就这个问题举一个案例。

### 【案例 2-15】误用磁珠造成过流保护电路失效

单板上某电源  $V_{OUT}$  由来自背板的电源 10V 通过 DC/DC 电源电路产生，并利用电源芯片的电流监控功能实现过流保护，如图 2.32 所示。在强度测试时发现，即使将  $0.025\Omega$  电阻换为  $0.1\Omega$  电阻，也无法关断 DC/DC 电源芯片的 GATE 输出。

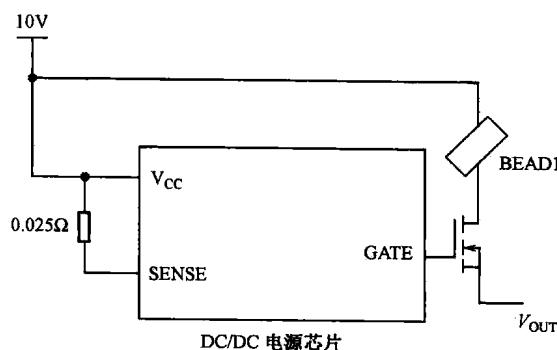


图 2.32 带电流监控功能的 DC/DC 电源电路

### 【讨论】

如图 2.33 所示为该 DC/DC 电源芯片的电流监控框图。

该芯片电源监控的原理是利用  $V_{CC}$  引脚和  $SENSE$  引脚之间的电阻压降与芯片内部  $50mV$  电压源相比较的结果，控制 EA（Error Amplifier，偏差放大器）的输出。当电阻压降大于  $50mV$  时，EA 将 GATE 关断。通过电阻  $R$  阻值的选择，可以设置电源电路正常工作时的极限电流流量， $I_{max} = 50mV/R$ 。在本例中，当  $R=0.025\Omega$  时  $I_{max}=2A$ ；强度测试中， $R=0.1\Omega$  时， $I_{max}=0.5A$ 。对  $V_{OUT}$  进行电流测试发现，单板稳定工作时，10V 电源上的电流为 0.8A，电源芯片为何没有检测到过流？

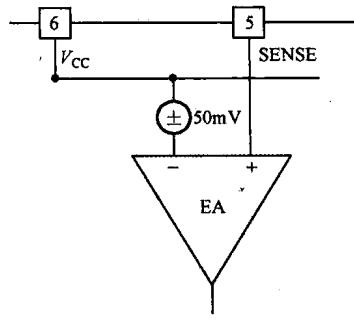


图 2.33 DC/DC 电源芯片电流监控框图

仔细查看原理图，发现电流监控和  $V_{OUT}$  的产生，二者实际上走了两条不同的路径，即 10V 电源进入单板后，分开两路，一路通过电阻连接到电源芯片的 SENSE 引脚，一路通过 BEAD1 与 MOSFET 相连后产生  $V_{OUT}$ 。在这两路中，第一条路径是不耗电流的，第二条路径才是真正需要被监控的。但在本设计中，实际得到监控的是不耗电流的第一条路径，所以在强度测试中，即便将  $R$  改为  $0.1\Omega$ ，也不会报警过流。

在电源电路中，设计者往往喜欢串接磁珠以实现滤波，这几乎成了最常规的设计方法，因此往往不加仔细思考。但从这个案例可以看出，过度地使用磁珠也会带来副作用，而且问题往往比较隐蔽。

在改板设计中，将磁珠 BEAD1 去掉，电路修改为图 2.34，过流保护功能得以实现。

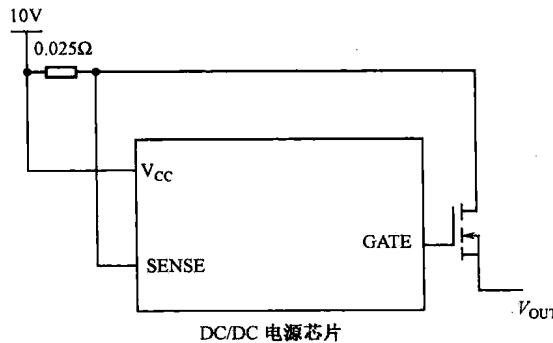


图 2.34 改板后的 DC/DC 电源电路

#### 理解要点：

- ① 磁珠的转换点频率越低，线路振荡和波形失真越小，反之则越大。
- ② 磁珠的工作电流不能大于其额定电流，设计中需考虑到由于直流电阻的存在而造成的压降。
- ③ 当工作频率高于谐振频率时，磁珠表现出电容性。
- ④ 磁珠的转换点频率和谐振频率，在意义上有所不同。

### 2.4.3 磁珠和电感的比较

#### 1. 磁珠与电感的不同点

磁珠与电感不仅在外形上相似，在功能上也存在很多相似之处，甚至在许多场合，磁珠



和电感能相互替代。但是磁珠和电感是否完全等同呢？以下就几个方面对两者进行比较。

(1) 电感和磁珠都可以用于滤波，但是机理不一样。电感滤波是将电能转换为磁能，磁能将通过两种方式影响电路：一种方式是重新转换回电能，表现为噪声；一种方式是向外部辐射，表现为 EMI（电磁干扰）。而磁珠是将电能转换为热能，不会对电路构成二次干扰。

(2) 电感在低频段滤波性能较好，但在 50MHz 以上的频段滤波性能较差；磁珠利用其电阻成分能充分地吸收高频噪声，并将之转换为热能以达到彻底消除高频噪声的目的。

(3) 从 EMC（电磁兼容）的层面说，由于磁珠能将高频噪声转换为热能，因此具有非常好的抗辐射功能，是常用的抗 EMI 器件，常应用于用户接口信号线滤波、单板上的高速时钟器件的电源滤波等。

(4) 电感和电容构成低通滤波器时，由于电感和电容都是储能器件，因此两者的配合可能产生自激；磁珠是耗能器件，与电容协同工作时，不会产生自激。

(5) 一般而言，电源用电感的额定电流相对较大，因此，电感常用于需要通大电流的电源电路上，如用于电源模块滤波；而磁珠一般仅用于芯片级电源滤波（不过，目前市场上已经出现了大额定电流的磁珠）。

(6) 磁珠和电感都具有直流电阻，磁珠的直流电阻相对于同样滤波性能的电感更小一些，因此用于电源滤波时，磁珠上的压降更小。

## 2. 磁珠与电感的共同点

(1) 额定电流。当电感的工作电流超过其额定电流时，电感值将迅速减小，但电感器件未必被损坏；而磁珠的工作电流超过其额定电流时，将会对磁珠造成损伤。

(2) 直流电阻。用于电源线路时，线路上存在一定的电流，如果电感或磁珠本身的直流电阻较大，则会产生一定压降。因此选型中，都要求选择直流电阻小的器件。

(3) 频率特性曲线。电感和磁珠的厂家资料都附有器件频率特性曲线图。在选型中，需要仔细参考这些曲线，以选择合适的器件。

# 第3章 高速电路中的逻辑器件选型及高速逻辑电平应用

电路设计离不开与门、非门、驱动器等逻辑器件，对逻辑器件的熟练应用是硬件工程师的一项基本技能。

本章将重点讨论逻辑器件的选型和应用技巧。



## 3.1 与逻辑器件相关的经典案例

### 【案例 3-1】 逻辑器件输入端上拉太弱造成带电插拔监测功能失效

某产品支持业务板的带电插拔，主控板通过业务板的在位信号判断业务板插入或拔出的状态。测试时发现，主控板能检测到业务板的插入，但有时，不能检测到业务板的拔出。

#### 【讨论】

该产品业务板热插拔监控电路如图 3.1 所示。

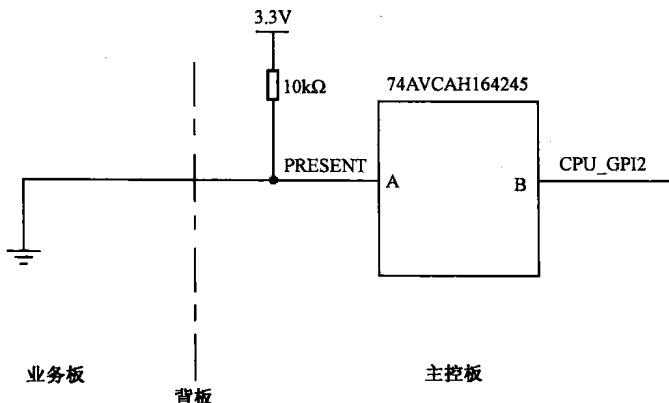


图 3.1 业务板热插拔监控电路

业务板的在位信号（PRESENT）通过背板连接到主控板逻辑驱动器件 74AVCAH164245 的输入端，在业务板上，该信号直接接地，在主控板上，该信号通过  $10\text{k}\Omega$  电阻上拉到 3.3V，PRESENT 信号经驱动后得到 CPU\_GPI2 信号，连接到 CPU 的 GPIO（通用输入/输出接口）。当业务板插入时，在位信号变为低电平，CPU\_GPI2 输出低电平，通知 CPU，该槽位的业务板已插入；当业务板拔出时，在位信号变为高电平，CPU\_GPI2 输出高电平，通知 CPU，该槽位的业务板已拔出。

业务板插入时，测量 CPU\_GPI2 信号，测得低电平，因此主控板能检测到业务板的插



入事件；业务板拔出时，测量 CPU\_GPI2 信号多次，发现有时该信号不能变为高电平，导致主控板无法识别业务板的拔出，此时，在主控板上同时测量 PRESENT 信号，信号状态正确，即拔出业务板后，PRESENT 信号能迅速变为高电平。因此问题定位为，当 74AVCAH164245 的输入端发生电平由低到高的转换时，输出端不能产生相应的电平变化。

74AVCAH164245 是一种具有总线保持（Bus Hold）功能的驱动器。查阅器件资料，该器件对电平翻转时的电流有一定要求，由参数  $I_{BHLO}$  和  $I_{BHHO}$  定义。

$I_{BHLO}$  的最小值为  $525\mu A$ ，指当电平发生由低到高的翻转时，驱动器应至少吸收电流  $525\mu A$ （接收端电流方向为输入，因此是正电流）； $I_{BHHO}$  的最小值为  $-525\mu A$ ，指当电平发生由高到低的翻转时，驱动器应至少输出电流  $525\mu A$ （接收端电流方向为输出，因此是负电流）。

当业务板插入时，逻辑器件 74AVCAH164245 输入端的电平发生由高到低的翻转，电流从逻辑器件流向地平面，因此逻辑器件能准确识别该电平变化，驱动 CPU\_GPI2 为低电平。当业务板拔出时，逻辑器件输入端的电平发生由低到高的翻转，电流由  $3.3V$  电源平面经  $10k\Omega$  电阻流入逻辑器件输入端，提供的电流为  $3.3V/10k\Omega=330\mu A$ ，达不到  $I_{BHLO}$  最小值的要求，因此逻辑器件无法准确识别输入电平的翻转，也就不可能将 CPU\_GPI2 信号驱动为高电平。

在改板设计中，将上拉电阻阻值由  $10k\Omega$  改为  $1k\Omega$ ，热插拔监控功能恢复正常。

### 【拓展】

本案例中的逻辑器件具有总线保持功能，那么该功能有何实际意义？

常用的逻辑器件，如 74LV、74AC、74AHC、74HC 等系列，都属于 CMOS 器件。CMOS 器件的输入端由栅极连接在一起的一对 PMOS 和 NMOS 构成，如图 3.2 所示。当输入低电平时，PMOS 导通而 NMOS 关闭，输入高电平时，PMOS 关闭而 NMOS 导通，在理想状况下，两个 MOS 管不会同时导通。

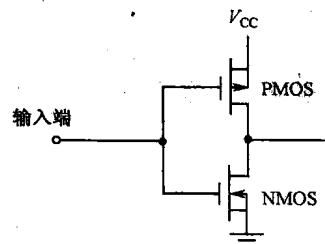


图 3.2 CMOS 器件输入端

但是，在输入信号的高电平  $V_{IH}$  和低电平  $V_{IL}$  之间，存在一段区间，称为非稳态区间。例如，74AVCAH164245 的  $V_{IH(min)}$  为  $2V$ ， $V_{IL(max)}$  为  $0.8V$ ，因此，该器件的非稳态区间为  $0.8\sim 2V$ 。在这段区间内，PMOS 和 NMOS 都将部分地导通，以致输出产生振荡。

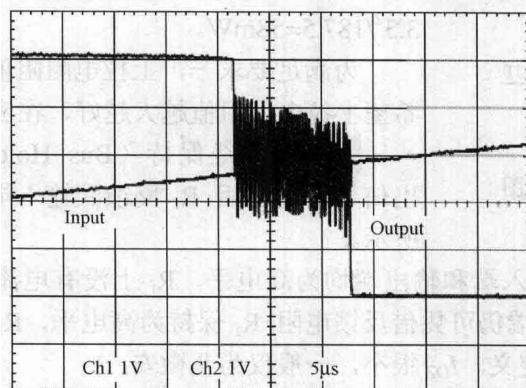


图 3.3 CMOS 器件输入端处于非稳态时，输出端发生振荡<sup>[25]</sup>



图 3.3 是 CMOS 器件输入端处于非稳态时，输出端发生的振荡波形。

有三种情况可能导致输入端处于非稳态：

**情况一**，输入信号的边沿斜率不可能是理想的  $90^\circ$ ，必然会有一段时间处于非稳态，对于这种情况，只能通过提高输入信号边沿爬升速率来解决；

**情况二**，发生总线冲突，导致在同一个信号上，出现了多个驱动源。这可以通过改进设计以避免这种情况的发生；

**情况三**，输入信号没有驱动源，即完全浮空的情况。

第一种情况是必然发生的，第二种情况可以避免，而第三种情况则常用四种解决方法<sup>[25]</sup>。

以下讨论情况三的解决方法：

**方法一**当输入信号没有驱动源时，使逻辑器件的输出使能引脚 OE# 处于无效状态，以关闭与该输入信号对应的输出。

**方法二**总线上挂有多个器件，且这些器件可以均等地申请总线的控制权。在这种情况下，使最后一个控制总线的器件在工作完成后，仍然保持对总线的驱动，直到下一个器件申请总线的控制权，才释放出总线。这使得在任何时刻，总线上都存在一个器件作为总线驱动者，任何一个接收器件的输入端都不会浮空。PCI 总线即采用了这种机制。

**方法三**上拉电阻。在逻辑器件的输入引脚上增加一个上拉到电源  $V_{CC}$  的电阻，当输入端失去驱动源时，通过该上拉电阻， $V_{CC}$  可直接作为输入端的驱动源。采用这种方法时，需要注意满足以下两个要求：

**要求一**，信号的上升沿爬升时间  $t_r$  应满足逻辑器件的要求。上拉电阻  $R_P$  的计算公式为：

$$R_P = \frac{t_r}{2.2 \times C_s \times n} \quad (3.1) [25]$$

式中  $C_s$ ——输入引脚的寄生电容；

$n$ ——该信号线上并联器件的数目。

例如，某逻辑器件的上升沿爬升速率要求为  $0.2V/ns$ ，电源  $V_{CC}$  为  $3.3V$ ，则  $t_r$  应不大于  $16.5ns$ ，假设  $C_s=20pF$ ,  $n=2$ ，则该逻辑器件的输入端上拉电阻  $R_P$  计算结果如下：

$$R_P = 16.5ns / (2.2 \times 20pF \times 2) = 187.5\Omega$$

即只有当上拉电阻阻值小于  $187.5\Omega$  时，才能满足该器件的上升沿爬升速率要求。

**要求二**，上拉电阻消耗的功率应尽量小。在上例中，上拉电阻上的功耗为  $3.3^2 / 187.5 = 58mW$ 。

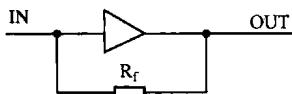


图 3.4 总线保持原理框图

为满足要求一，上拉电阻阻值越小越好，而要求二则希望上拉电阻阻值越大越好，在应用中应折中考虑。

**方法四**总线保持 (Bus Hold)。其实现原理是将输出信号通过电阻  $R_f$  反馈回输入端，功能模块图如图 3.4 所示。

假设初始状态为，输入端和输出端均为高电平， $R_f$  上没有电流流过。此时如果输入端的驱动源停止驱动，输入端仍可凭借反馈电阻  $R_f$  保持为高电平， $R_f$  上流过电流为漏电流，在器件资料上由参数  $I_{OZ}$  定义， $I_{OZ}$  很小，一般仅为几微安。

以上针对情况三提出了四种方法。这四种方法都是电路中常见的设计方法。**方法一**需增加 OE# 信号，并需要得到外部逻辑电路的配合；**方法二**需得到总线协议的支持；**方法三**



需外加上拉电阻，且阻值的选择需根据信号变化沿速率和功耗做出取舍；方法四最简单，无需外加元件和辅助电路。

当然在使用具有总线保持功能的器件时，应避免出现本案例所遇到的情况。

## 3.2 逻辑器件应用要点

### 3.2.1 逻辑器件概要

#### 1. TTL、CMOS、LVTTL、LVCMOS 逻辑电平介绍及互连

逻辑器件的选型首先是逻辑电平的选择，在传统的单板设计中，TTL 和 CMOS 逻辑电平被广泛应用，是数字电路设计中最常见的两种逻辑电平，LVTTL 和 LVCMOS 是它们的低电平版本，其他的高速电平大多都衍生自 TTL 和 CMOS。

TTL 指晶体管—晶体管逻辑，由于晶体管是流控器件，且输入电阻较小，因此 TTL 电平的器件速度快，但功耗较大；CMOS 是 MOS 管逻辑，由于 MOS 管是压控器件，且输入电阻极大，因此 CMOS 电平的器件速度较慢，但功耗较小，同时由于 CMOS 器件输入阻抗很大，外界微小的干扰就可能引起电平的翻转，因此 CMOS 器件上未使用的输入引脚应做上下拉处理，不能浮空。

现实中的信号是连续的模拟信号，而数字信号只有“1”和“0”两种逻辑状态，需使用阈值来定义信号的逻辑状态。下面以图 3.5 为例，说明信号的逻辑电平定义。

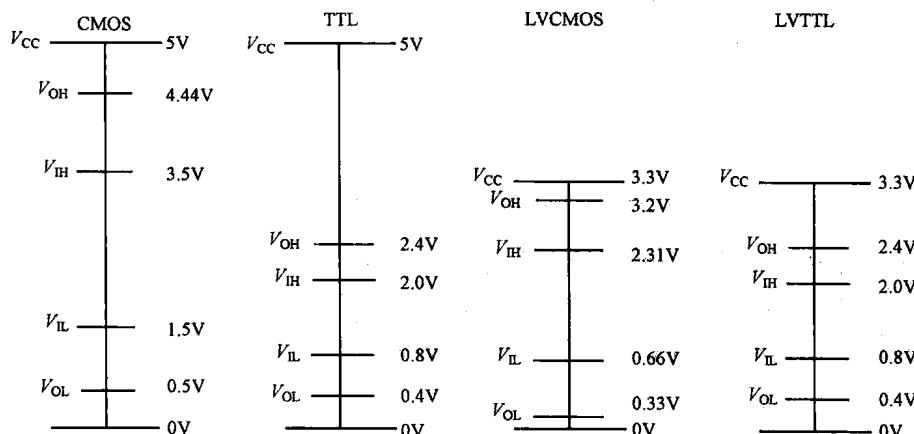


图 3.5 逻辑电平阈值示例

在图 3.5 中，对每种逻辑电平都定义了四个阈值，即  $V_{O_{\text{H}}}$ 、 $V_{O_{\text{L}}}$ 、 $V_{I_{\text{H}}}$ 、 $V_{I_{\text{L}}}$ 。

当逻辑器件输出高电平时，电平的幅值应高于  $V_{O_{\text{H}}}$ ，即  $V_{O_{\text{H}}}$  为输出高电平的最小值；

当逻辑器件输出低电平时，电平的幅值应低于  $V_{O_{\text{L}}}$ ，即  $V_{O_{\text{L}}}$  为输出低电平的最大值；

当逻辑器件输入高电平时，电平的幅值应高于  $V_{I_{\text{H}}}$ ，即  $V_{I_{\text{H}}}$  为输入高电平的最小值。

当逻辑器件输入低电平时，电平的幅值应低于  $V_{I_{\text{L}}}$ ，即  $V_{I_{\text{L}}}$  为输入低电平的最大值。

从图 3.5 可以发现，各逻辑电平的阈值并不相同，因此相互间并非可以直接互连。只有同时满足以下条件时，不同逻辑电平的器件才能直接互连。



**条件一**, 发送方  $V_{OH}$  大于接收方  $V_{IH}$ , 且提供一定的噪声容限。

**条件二**, 发送方  $V_{OL}$  小于接收方  $V_{IL}$ , 且提供一定的噪声容限。

例如, 当 LVTTL 电平的器件能承受 5V 信号的输入时, 可以和 TTL 电平的器件直接互连; CMOS 器件作为发送方, TTL 器件作为接收方, 两者可以互连; 但 TTL 器件作为发送方, CMOS 器件作为接收方时, 则不能互连。

相同电平的逻辑器件之间, 能自然满足以上两个条件, 因此可以直接互连。

需注意, 图 3.5 只是一个示意图, 对于不同型号的逻辑器件, 即使使用同种逻辑电平, 阈值也不一定相同, 设计中应查阅器件资料以获得各项阈值参数。

对于电平不同, 且不能满足直接互连条件的逻辑器件, 可采用以下方法实现互连。

**方法一**, 使用电平转换芯片。例如, 74ACT16245, 其输入端为 TTL 电平, 输出端为 CMOS 电平, 因此支持 TTL 到 CMOS 电平的转换。当存在大量信号需做电平转换时, 可采用这种方法。

**方法二**, 使用 OC (集电极开路) 门或 OD (漏极开路) 门实现逻辑电平的转换。如图 3.6 所示, 通过 OC 门电路, TTL 器件可与 CMOS 器件相连。OC 或 OD 门还常被用于低逻辑电平驱动高逻辑电平的场合。

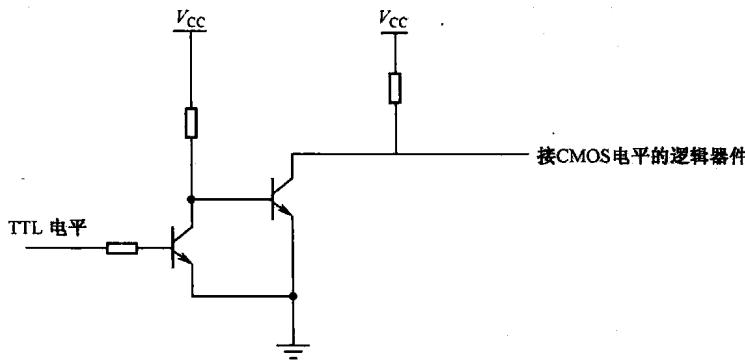


图 3.6 利用 OC 门实现逻辑电平的转换

**方法三**, 高逻辑电平驱动低逻辑电平时, 可串联  $50\sim330\Omega$  电阻实现电平的转换。如图 3.7 所示, IC1 的 I/O 接口是 3.3V 电平, IC2 的 I/O 接口是 2.5V 电平, 可通过串联电阻实现两者的互连, 串联电阻的阻值需根据 I/O 口动态电流进行计算。

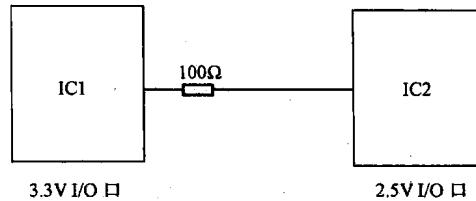


图 3.7 串联电阻实现逻辑电平的转换

电路设计时, 通过 JTAG 接口 (一种标准的接口, 将在第 8 章进行详细介绍), 可将单板上的芯片连成一条链路。如果遇到某些芯片的 JTAG 接口逻辑电平与其他芯片不同, 可利用方法二和方法三实现链路的连接。

逻辑器件互连时, 除考虑电平转换之外, 还应考虑器件的驱动能力、时延特性等, 后



续章节将有对应内容的讨论。

## 2. 逻辑器件分类

电路设计中，74 族逻辑器件的厂家有 TI、NXP、Fairchild 等。

根据工艺不同，逻辑器件可分为三类：Bipolar（双极型），CMOS（互补金属氧化物半导体）和 BiCMOS（Bipolar CMOS）。

Bipolar 是由双极型晶体管组成的集成电路，如 TTL 电路就属于 Bipolar，特点是速度快，驱动能力强，但功耗较大。

CMOS 是由场效应管构成的集成电路，特点是功耗低，集成度高，但驱动能力和速度比 Bipolar 差。

随着高速电路的发展，单板密度越来越高，功耗越来越大，器件的工作速度也越来越快，Bipolar 和 CMOS 已逐渐不能满足设计的要求，需要采用新的工艺——BiCMOS。

BiCMOS 主要具有以下两种优势：

(1) BiCMOS 以 CMOS 工艺为主，CMOS 电路充当高集成度和低功耗的电路核心部分，用 Bipolar 电路充当输入/输出接口部分，因此可以充分发挥 Bipolar 和 CMOS 的优势，同时具有速度高、驱动能力强和功耗低、集成度高的优点。

(2) 随着工作温度和工作电压的变化，CMOS 器件和 Bipolar 器件的许多特性都会发生变化，且对于许多特性参数，CMOS 和 Bipolar 器件的变化方向是相反的。例如，传输延时参数，随着温度的降低，CMOS 器件的传输延时减小，而 Bipolar 器件的传输延时增大；随着温度的升高，CMOS 器件的传输延时增大，Bipolar 器件的传输延时虽然也增大，但增加的幅度小于 CMOS 器件。BiCMOS 工艺将 Bipolar 和 CMOS 这两种具有互补特性的工艺结合在一起，使得器件参数随工作电压和工作温度的变化曲线较平缓，提高了器件的性能。

电路设计中常用的 74 族逻辑器件，根据制造工艺、I/O 接口结构的不同，可分为多种系列<sup>[26]</sup>：

ABT：先进 BiCMOS 技术（Advanced BiCMOS Technology）；

AC/ACT：先进 CMOS 逻辑（Advanced CMOS Logic）；

AHC/AHCT：先进高速 CMOS 逻辑（Advanced High-Speed CMOS Logic）；

ALS：先进低功耗肖特基逻辑（Advanced Low-Power Schottky Logic）；

ALVC：先进低电压 CMOS 技术（Advanced Low-Voltage CMOS Technology）；

ALVT：先进低电压 BiCMOS 技术（Advanced Low-Voltage BiCMOS Technology）；

AS：先进肖特基逻辑（Advanced Schottky Logic）；

AVC：先进极低电压 CMOS 逻辑（Advanced Very Low-Voltage CMOS Logic）；

CBT：Crossbar 技术（Crossbar Technology）；

F：快速逻辑（F Logic）；

FCT：快速 CMOS TTL 逻辑（Fast CMOS TTL Logic）；

HC/HCT：高速 CMOS 逻辑（High-speed CMOS Logic）；

LS：低功耗肖特基逻辑（Low-Power Schottky Logic）；

LV/LVC：低电压 CMOS 技术（Low-Voltage CMOS Technology）；

LVT：低电压 BiCMOS 技术（Low-Voltage BiCMOS Technology）；

S：肖特基逻辑（Schottky Logic）。



以上所列出的系列可被分别归入 Bipolar、CMOS、BiCMOS 三种工艺类别。

Bipolar 工艺: F、S、AS、LS、ALS 等。

CMOS 工艺: LV、LVC、AC、AHC、AVC、ALVC、HC、HCT、CBT、FCT 等。

BiCMOS 工艺: LVT、ABT、ALVT、GTL 等。

例如, 高速电路设计中常用的 16245 总线驱动器有多种系列, 分别属于以上三种类型。其中, 属于 CMOS 工艺的有 74AC16245、74FCT16245、74AVC16245 等, 属于 BiCMOS 工艺的有 74ABT16245、74LVT16245 等。

基于制造工艺、I/O 接口结构的不同, 这些系列的逻辑器件具有不同的特性。例如, LV 和 LVC 系列, 都属于 CMOS 工艺, 但 LV 采用的是  $2\mu\text{m}$  制造工艺, 而 LVC 采用的是  $0.8\mu\text{m}$  制造工艺, 因而 LVC 系列逻辑器件在驱动能力、延迟时间、信号变化沿速率等方面都优于 LV 系列器件。而 LVT 工艺基于 BiCMOS 工艺, BiCMOS 兼有 Bipolar 和 CMOS 的优势, 因此与 LV、LVC 相比, LVT 的各方面性能又更高一筹。

在选型时需要注意, Bipolar 工艺的逻辑器件, 接口电平一般是 TTL 或 LVTTL。CMOS 工艺的逻辑器件, 接口电平则可能是 CMOS、TTL、LVTTL 等类型, 例如, 74LV125A 的输入和输出接口电平都是 LVTTL, 而 74LV125AT 的输入接口电平是 TTL, 输出接口电平是 CMOS。BiCMOS 工艺的逻辑器件, 为提高接口速率和驱动能力, 输入和输出接口电平往往是 TTL 或 LVTTL。

以电路设计中最常用的几种逻辑器件系列为例, 性能比较如表 3.1 所示<sup>[26]</sup>。

表 3.1 常见逻辑器件系列性能

系列	工艺类别	输入信号变化 沿速率要求 $dI/dV(\text{ns/V})$	驱动能力 $I_{OL}/I_{OH}(\text{mA})$	静态功耗 $I_{CC}(\text{mA})$	传输延时 $t_{pd}(\text{ns})$	$I_{OFF}$	上电三态 控制 PU3S	预充电 (Precharge)	I/O 口电容 $C_{in}/C_{out}(\text{pF})$
LV	CMOS	100	8/-8	0.02	16	N	N	N	2.5/7
LVC	CMOS	10	24/-24	0.02	5.2	N	N	N	5.5/9
ALVC	CMOS	10	24/-24	0.04	3.4	N	N	N	4/10
LVT	BiCMOS	10	64/-32	0.19	4.1	Y	N	N	6/7.5
ABT	BiCMOS	10	64/-32	0.25	4.2	Y	Y	Y	3/6

表 3.1 以五种有代表性的系列为例, 对逻辑器件的关键性能做了比较。其中, LV 是最基础的、低速且低驱动能力的逻辑器件, LVC 是性能中等的 CMOS 器件, ALVC 是传输延时最小的 CMOS 器件, LVT 和 ABT 是 BiCMOS 器件。需注意的是, 表中所列的参数均摘自该系列中的某一特定器件, 并不适用于系列中的所有逻辑器件, 同种系列的器件, 如 74LVT125 与 74LVT16245, 某些性能参数就存在微小的差别; 某些 LVC 器件支持  $I_{OFF}$  ( $I_{OFF}$  将在后面 3.2.4 小节中介绍), 而某些不支持  $I_{OFF}$ 。因此在设计中, 具体参数还应查询对应的器件资料。

表 3.1 中第三列是该系列器件对输入信号变化沿的速率要求, LV 系列主要应用于低速设计, 对变化沿的速率要求仅为  $100\text{ns/V}$ , 而其他四种系列可用于高速设计, 因此对输入信号变化沿的速率要求也比较高; 第四列是该系列器件输出电流的能力, 值越大则驱动能力越强; 第五列是衡量静态功耗的参数,  $I_{CC}$  指器件处于静态(无负载)时, 流入器件电源引脚的电流; 第六列是衡量器件传输延时的参数, 高速电路的器件选型时, 应选择延时小的逻辑器件, 因此后



四种器件更适合于高速应用；第七~九列是与热插拔有关的性能，将在后续章节讨论。

通常定义流入器件的电流为正，流出器件的电流为负，以输出端口为 TTL 电平的逻辑器件为例，输出高电平时电流流出器件，电流方向为负，称为拉电流（负载从逻辑器件拉出电流）；输出低电平时电流流入器件，电流方向为正，称为灌电流（负载将电流灌入逻辑器件），参见图 3.8。因此“驱动能力”列的  $I_{OL}$  参数用正值表示，而  $I_{OH}$  参数用负值表示。

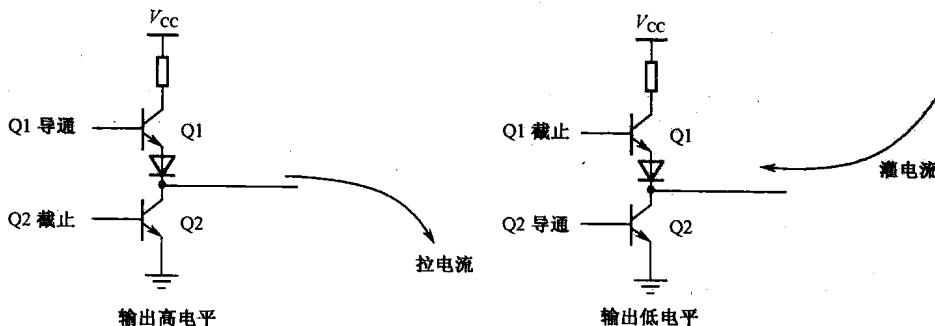


图 3.8 拉电流和灌电流<sup>[1]</sup>

### 【案例 3-2】逻辑器件驱动能力过强造成信号振铃

某电平为 LVTTL 的总线采用 74LVT16245 作为信号驱动器，测试中发现信号振铃过大，最大过冲达到 4.3V，超过负载端器件的最大输入电平要求。

#### 【讨论】

LVT 系列的逻辑器件驱动能力很强，其  $I_{OL}$  和  $I_{OH}$  分别达到 64mA 和 -32mA。强驱动能力的逻辑器件，优势在于其输出信号能在 PCB 上传输较远的距离，不易受外界环境的干扰，且能同时驱动多个负载，但劣势在于，由于其驱动能力太强，可能导致信号在接收端产生振铃现象。因此，在应用强驱动能力的逻辑器件时，输出端应增加串联电阻，实现阻抗匹配。在本案例中，在 74LVT16245 的每个输出端串联一个 33Ω 的电阻，振铃现象消失。

#### 【拓展】

在总线驱动的场合，每个输出端都增加一个串联电阻，会耗费大量宝贵的 PCB 面积，为节省 PCB 面积，可选用内部带有串联电阻的逻辑器件型号。例如 74LVTR245，器件内部的每个输出端都含有一个内置的串联电阻。

### 【案例 3-3】同一型号逻辑器件的差异性造成 PHY 配置错误

某 PHY 芯片利用复位信号无效时的上升沿采样数据总线的状态，根据总线信号的逻辑状态来完成上电配置。调试时偶尔会发现在 PHY 上电完成后，其状态出错。读取相关配置寄存器后，可定位为上电配置出错。

#### 【讨论】

设计中，复位信号和数据总线都经过 74LVT164245 驱动，不过由于数据信号线较多，复位信号和数据总线分别经过了不同的 74LVT164245，通过多次测量抓取出错时的信号时序，发现出错时，复位信号无效沿采样的数据总线信号状态不正确。查看 74LVT164245 器



件资料，该器件的传输延时参数  $t_{pd}$ ，其最小值为 1ns，最大值为 4.1ns。同一型号的器件，传输延时也存在一定的差异，对于时序要求高的应用，应尽量采用同样的驱动路径。

### 【拓展】

高速电路设计中，随着信号速率的不断提高，信号的时钟周期减小到仅有若干纳秒，此时微小的逻辑器件差异性，将对高速设计造成很大的影响。对电路设计者而言，应意识到器件的这一差异，尽量避免出现由于器件差异而引起的错误。

#### 理解要点：

- ① Bipolar 工艺的器件，特点是速度高，驱动能力强，但功耗较大；CMOS 工艺的器件，特点是功耗低，集成度高，但驱动能力和速度比 Bipolar 差；而 BiCMOS 兼有 Bipolar 和 CMOS 的优势。
- ② 不同电平的器件之间互连时，在  $V_{OH}$ 、 $V_{OL}$ 、 $V_{IH}$ 、 $V_{IL}$  之间需满足的两个条件。
- ③ 灌电流和拉电流的电流方向。

## 3.2.2 逻辑器件参数介绍

只有熟练掌握逻辑器件资料上各项参数所代表的含义，才能正确选型。本小节介绍在逻辑器件选型中，需重点关注的参数。

本小节的介绍，以四通道总线驱动器 74LVC125A 为例。

### 1. 特性参数（FEATURES）

器件资料的首页列出了该器件最关键的几项参数“FEATURES”，参见图 3.9。

FEATURES	
• Operates From 1.65V to 3.6V (工作电源电压为 1.65~3.6V)	
• Specified From -40°C to 85°C and -40°C to 125°C (工作温度范围为 -40°C~85°C 或 -40°C~125°C)	
• Inputs Accept Voltages to 5.5V (最高输入电平可达 5.5V)	
• Max $t_{pd}$ of 4.8ns at 3.3V (工作于 3.3V 电平时， $t_{pd}$ 延时最大值为 4.8ns)	
• Typical $V_{OLP}$ (Output Ground Bounce) <0.8V at $V_{CC}=3.3V$ , $T_A=25^\circ C$ (在 25°C 以及 3.3V 工作电平的环境下，输出地弹参数的值小于 0.8V)	
• Typical $V_{OHV}$ (Output $V_{OH}$ Undershoot) >2V at $V_{CC}=3.3V$ , $T_A=25^\circ C$ (在 25°C 以及 3.3V 工作电平的环境下， $V_{OH}$ 的典型值大于 2V)	
• Latch-Up Performance Exceeds 250 mA Per JESD 17 (根据 JESD17 标准，闩锁性能大于 250mA)	
• ESD Protection Exceeds JESD 22 -2000-V Human-Body Model (A114-A) -200-V Machine Model (A115-A) -1000-V Charged-Device Model (C101) (ESD 保护符合 JESD 22 标准 -2000V 人体模型 (A114-A) -200V 机器模型 (A115-A) -1000V 充电器件模型 (C101) )	

图 3.9 74LVC125A 特性参数<sup>[27]</sup>



在器件选型时，往往需要查阅并比较大量的器件，然后逐一筛选，而通过“FEATURES”则可以实现第一步的筛选。例如，74LVC125A 的“FEATURES”提供了几项关键信息：推荐电源电压  $V_{CC}$  的范围是 1.65~3.6V，那么该器件显然不适合工作在  $V_{CC}=5V$  的场合；根据器件工作环境温度参数可知，该器件符合工业级温度标准；根据允许输入电平为 5.5V 可知，虽然该器件推荐的  $V_{CC}$  不能达到 5V，但可以承受 5V 信号输入，即能与 TTL 等电平的器件接口。

通过“FEATURES”完成第一步器件筛选后，可以找到若干初步符合设计要求的器件，此时，应结合器件资料详细信息，进一步分析。

## 2. 器件极限参数表 (Absolute Maximum Ratings)

下面以表 3.2 为例，说明一种器件最大极限参数表的内容。

表 3.2 74LVC125A 极限参数表<sup>[27]</sup>

over operating free-air temperature range (unless otherwise noted) (除非特别指明，以下参数将在全段工作温度范围内取值)

		MIN	MAX	UNIT (单位)
$V_{CC}$	Supply voltage range (工作电源电压范围)	-0.5	6.5	V
$V_I$	Input voltage range <sup>(2)</sup> (输入信号电平范围)	-0.5	6.5	V
$V_O$	Output voltage range <sup>(2)(3)</sup> (输出信号电平范围)	-0.5	$V_{CC} + 0.5$	V
$I_{IK}$	Input clamp current (输入钳位电流)	$V_I < 0$	-50	mA
$I_{OK}$	Output clamp current (输出钳位电流)	$V_O < 0$	-50	mA
$I_O$	Continuous output current (连续工作时，最大输出电流)		$\pm 50$	mA
	Continuous current through $V_{CC}$ or GND		$\pm 100$	mA
$\theta_{JA}$	Package thermal impedance (热阻系数)	D package <sup>(4)</sup> (D 型封装)	86	°C/W
		DB package <sup>(4)</sup> (DB 型封装)	96	
		NS package <sup>(4)</sup> (NS 型封装)	78	
		PW package <sup>(4)</sup> (PW 型封装)	113	
		RGY package <sup>(4)</sup> (RGY 型封装)	47	
$T_{sg}$	Storage temperature range (存储温度范围)	-65	150	°C
$P_{tot}$	Power dissipation (最大功耗)	$T_A = -40°C \text{ to } 125°C$ <sup>(6)(7)</sup>	500	MW

器件的工作条件如果超出了极限工作表中对应的参数，可能造成器件的永久损坏。

- $V_{CC}$ : 电源电压。应注意两点：第一，确保上电和下电时，电源电压的过冲小于极限值；第二，正常工作时，电源电压加上纹波的最大值应小于极限值。
- $V_I$ : 输入信号电平。输入信号的上升沿和下降沿都会存在过冲，要求上过冲不能超过 6.5V，下过冲不能超过-0.5V。
- $V_O$ : 输出信号电平。本参数用于分析当该器件作为发送方时，输出信号是否会超出接收端器件的  $V_I$  极限参数要求。表中该栏的  $V_{CC}$  不是极限参数表中的  $V_{CC}$  极限值，而是器件工作时的电源电压。
- $I_{IK}$ : 输入钳位电流，指器件工作电压超出正常范围之外时，允许流入器件输入端的最大电流。



- $I_{OK}$ : 输出钳位电流，指器件工作电压超出正常范围之外时，允许流入器件输出端的最大电流。

CMOS 器件的输入端电平如超出电源电压或地电平，将引起闩锁。如图 3.10 所示，为保护逻辑器件，在输入/输出端口与电源  $V_{CC}$ 、地（GND）之间，往往内置有钳位二极管，当端口电平超出  $V_{CC}$  或 GND 时，该二极管能将电平钳位在极限的范围之内，从而避免对器件的损坏。一般情况下，每个逻辑器件的输入/输出端口都内置有地钳位二极管，但不一定内置有电源钳位二极管。由于地钳位二极管的存在，当电平最小值低于 GND 时，地钳位二极管导通，将端口电平钳位在  $-0.5V$  ( $0.5V$  是内置二极管导通时的压降)，因此  $V_I$  和  $V_O$  的极限最小值为  $-0.5V$ 。同理，对于输入/输出端口内置有电源钳位二极管的逻辑器件，当电平最大值高于  $V_{CC}$  时，电源钳位二极管导通，将端口电平钳位在  $V_{CC}+0.5V$ ，因此  $V_I$  和  $V_O$  的极限最大值为  $V_{CC}+0.5V$ ，这类器件有 AC、ACT、AHC、ALVC、AS、F、HC、HCT、S 等系列。而对于 ABT、ALVT、AVC、LV、LVC、LVT 等系列，没有内置电源钳位二极管，当输入电平高于  $V_{CC}$  时，要通过工艺保证器件不被损坏，因此  $V_I$  和  $V_O$  的极限最大值是一个电平值，如 74LVC125A，该值为  $6.5V$ ，这是器件工艺可以保证的最高电平。

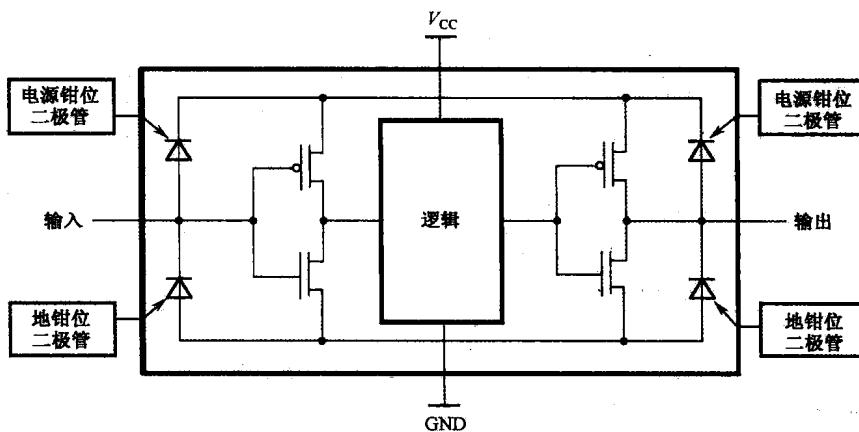


图 3.10 逻辑器件输入/输出钳位电路<sup>[26]</sup>

当端口电平低于 GND 时，地钳位二极管导通，电流经二极管由 GND 流出端口，该电流有一个最大值，如 74LVC125A，该值为  $-50mA$ （流出器件），超出该电流，则钳位电路无法正常工作。对于内置有电源钳位二极管的逻辑器件，当端口电平高于  $V_{CC}$  时，电源钳位二极管导通，电流经二极管由端口流入  $V_{CC}$ ，则该电流同样有一个最大值，为正值（流入器件），由于 74LVC125A 没有内置电源钳位二极管，因此无此项参数要求。

- $I_O$ : 器件正常工作时，输出端口上允许的最大输出拉电流（负值）或灌电流（正值）。
- $\theta_{JA}$ : 热阻系数，用于计算器件工作时的温度。
- $P_{tot}$ : 器件工作时的最大功耗。

### 3. 推荐参数表 (Recommended Operating Conditions)

下面以表 3.3 为例，说明一种器件推荐参数表的内容。

表 3.3 74LVC125A 推荐参数表<sup>[27]</sup>

		$T_A=25^\circ\text{C}$		$-40^\circ\text{C} \sim 85^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		UNIT (单位)
		MIN	MAX	MIN	MAX	MIN	MAX	
$V_{CC}$ (电源电压)	Supply voltage Operating	1.65	3.6	1.65	3.6	1.65	3.6	V
	Data retention only	1.5		1.5		1.5		
$V_{IH}$ input voltage (输入高电平阈值)	$V_{CC}=1.65 \sim 1.95\text{V}$	$0.65 \times V_{CC}$		$0.65 \times V_{CC}$		$0.65 \times V_{CC}$		V
	$V_{CC}=2.3 \sim 2.7\text{V}$	1.7		1.7		1.7		
	$V_{CC}=2.7 \sim 3.6\text{V}$	2		2		2		
$V_{IL}$ input voltage (输入低电平阈值)	$V_{CC}=1.65 \sim 1.95\text{V}$		$0.35 \times V_{CC}$		$0.35 \times V_{CC}$		$0.35 \times V_{CC}$	V
	$V_{CC}=2.3 \sim 2.7\text{V}$		0.7		0.7		0.7	
	$V_{CC}=2.7 \sim 3.6\text{V}$		0.8		0.8		0.8	
$V_I$	Input voltage (输入电平)	0	0.5	0	0.5	0	5.5	V
$V_O$	Output voltage (输出电平)	0	$V_{CC}$	0	$V_{CC}$	0	$V_{CC}$	V
$I_{OH}$ Output current (输出高电平时的电流)	$V_{CC}=1.65\text{V}$		-4		-4		-4	mA
	$V_{CC}=2.3\text{V}$		-8		-8		-8	
	$V_{CC}=2.7\text{V}$		-12		-12		-12	
	$V_{CC}=3\text{V}$		-24		-24		-24	
$I_{OL}$ Output current (输出低电平时的电流)	$V_{CC}=1.65\text{V}$		4		4		4	mA
	$V_{CC}=2.3\text{V}$		8		8		8	
	$V_{CC}=2.7\text{V}$		12		12		12	
	$V_{CC}=3\text{V}$		24		24		24	
$\Delta t/\Delta V$ Input transition rise or fall rate (边沿斜率)			8		8		8	ns/V

当满足推荐参数表的要求时，逻辑器件运行于最佳工作状态。根据工作温度的不同，参数值可能有略微差别，例如，在 74LVC125A 的推荐参数表中，参数值按  $25^\circ\text{C}$ 、 $-40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $-40^\circ\text{C} \sim 125^\circ\text{C}$  分为三列。

- $V_{CC}$ : 电源电压。只有  $V_{CC}$  处在表中所列范围之内时，才能保证器件正常的工作状态。
- $V_{IH}$ 、 $V_{IL}$ : 器件资料分别提供了这两个参数的最小值和最大值，仅当输入电平高于  $V_{IH}$  的最小值时，才能被判决为高电平，仅当输入电平低于  $V_{IL}$  的最大值时，才能被判决为低电平。输入端口为 TTL 电平时， $V_{IH}=2\text{V}$ ， $V_{IL}=0.8\text{V}$ ；输入端口为 CMOS 电平时，参数与  $V_{CC}$  成一定的比例关系（如  $V_{IH}=0.7 \times V_{CC}$ ， $V_{IL}=0.3 \times V_{CC}$ ）。这一点往往可以作为判断输入端电平种类的依据。需注意，输入电平处于  $V_{IH}$  和  $V_{IL}$  之间时，可能导致以下问题的出现：输出信号逻辑状态不正确、产生较大的静态电流  $I_{CC}$ 、输出产生振铃、电源和地之间出现较大的电流通路、损坏器件。
- $V_I$ : 推荐的输入信号电平范围。在应用中，这一参数可用于判断该器件是否支持高于  $V_{CC}$  的电平输入，如 74LVC125A， $V_{CC}$  推荐的最大值为  $3.6\text{V}$ ，而  $V_I$  能承受最高达  $5.5\text{V}$  的输入电平，所以 74LVC125A 能与  $5\text{V}$  供电的逻辑器件直接互连。并不是每种逻辑器件都支持高于  $V_{CC}$  的输入信号电平，如 74LV125A，其  $V_{CC}$  最大值为  $5.5\text{V}$ ，而  $V_I$  的最大值也是  $5.5\text{V}$ 。



- $V_O$ : 输出信号电平范围。
- $I_{OH}/I_{OL}$ : 输出高电平/低电平时的电流。电流将随着  $V_{CC}$  的不同而不同,  $V_{CC}$  越高, 电流越大。
- $\Delta t/\Delta V$ : 对输入信号变化沿速率的要求。只有输入信号变化沿满足此参数要求时, 逻辑器件才能可靠地识别出输入状态的变化, 并做出有效的反应。信号变化沿越缓, 则处于非稳态区域的时间越长, 对器件工作的稳定性越不利。有两种情况可能造成信号边沿过缓, 一是驱动方驱动能力不足, 一是信号路径上容性太大。根据第 1 章的知识, 信号的最高频率往往不是其周期频率, 而是其边沿的频率分量, 信号边沿越陡, 高频分量越多, 也越容易出现过冲, 所以高速电路设计中往往希望信号边沿缓一些, 但边沿太缓, 又不能满足器件输入端  $\Delta t/\Delta V$  的要求, 因此信号边沿既不能太陡, 也不能太缓。

#### 4. 电气参数表 (Electrical Characteristics)

下面以表 3.4 为例, 说明一种器件的电气参数表的内容。

表 3.4 74LVC125A 电气参数表<sup>[27]</sup>

over recommended operating free-air temperature range (unless otherwise noted) (除非特别指明, 以下参数将在全段工作温度范围内取值)

PARAMETER (参数)	TEST CONDITIONS (测试条件)	$V_{CC}$	$T_A=25^\circ C$	$-40^\circ C \sim 85^\circ C$		$-40^\circ C \sim 125^\circ C$		UNIT (单位)
			MIN	TYP	MAX	MIN	MAX	
$V_{OH}$	$I_{OH}=-100\mu A$	1.65~3.6V	$V_{CC}-0.2$	$V_{CC}-0.2$		$V_{CC}$	-0.3	V
	$I_{OH}=-4mA$	1.65V	1.29	1.2		1.05		
	$I_{OH}=-8mA$	2.3V	1.9	1.7		1.55		
	$I_{OH}=-12mA$	2.7V	2.2	2.2		2.05		
		3V	2.4	2.4		2.25		
	$I_{OH}=-24mA$	3V	2.3	2.2		2		
$V_{OL}$	$I_{OL}=100\mu A$	1.65~3.6V	0.1	0.2		0.3		V
	$I_{OL}=4mA$	1.65V	0.24	0.45		0.6		
	$I_{OL}=8mA$	2.3V	0.3	0.7		0.75		
	$I_{OL}=12mA$	2.7V	0.4	0.4		0.6		
	$I_{OL}=24mA$	3V	0.55	0.55		0.8		
$I_I$	$V_I=5.5V$ or GND	3.6V	$\pm 1$	$\pm 5$		$\pm 20$	$\mu A$	
$I_{OZ}$	$V_O=V_{CC}$ or GND	3.6V	$\pm 1$	$\pm 10$		$\pm 20$	$\mu A$	
$I_{CC}$	$V_I=V_{CC}$ or GND $I_O=0$	3.6V	1	10		40	$\mu A$	
$\Delta I_{CC}$	One input at $V_{CC}-0.6V$							$\mu A$
	Other inputs at $V_{CC}$ or GND	2.7V~3.6V	500	500		5000		
$C_1$	$V_I=V_{CC}$ or GND	3.3V	5					pF

- $V_{OH}/V_{OL}$ : 输出高电平的最小值/输出低电平的最大值。
- $I_I$ : 器件正常工作时流入 (输入信号为高电平) 或流出 (输入信号为低电平) 输入



端口的电流。CMOS 工艺的逻辑器件属于压控型，输入电流很小， $I_I$  参数仅为几微安；Bipolar 工艺的逻辑器件属于流控型，输入电流较大， $I_I$  参数达几毫安。因此，通过  $I_I$  参数的值，可判断该器件输入端口的工艺类型，当器件的  $I_I$  参数与输入静态电流  $I_{CC}$  参数的值相近时，该器件的工艺类型为 CMOS。例如，74LVC125A 属于 CMOS 工艺， $I_I$  参数的最大值仅  $1\mu A$  ( $25^\circ C$ )， $I_{CC}$  参数的最大值也是  $1\mu A$ 。又如，74LS00 属于 Bipolar 工艺， $I_I$  参数的最大值达  $1mA$ 。

- $I_{IH}/I_{IL}$ ：输入高电平/低电平时流入输入端口电流的最大值。由于 CMOS 器件的输入阻抗极大，输入端口电流一般就是漏电流，用  $I_I$  定义即可，所以，CMOS 工艺的逻辑器件资料中不提供  $I_{IH}$  和  $I_{IL}$  这两个参数（如本处 74LVC125A 的器件资料中无这两个参数）。Bipolar 器件输入高电平和低电平时，输入引脚上的电流差异很大，需用  $I_{IH}$  和  $I_{IL}$  分别定义，如 74LS00 的  $I_{IH}$  最大值为  $40\mu A$ ，而  $I_{IL}$  可达  $-1.6mA$ 。设计时应根据  $I_{IH}$  和  $I_{IL}$  的要求选择上、下拉电阻阻值。
- $I_{OZ}$ ：输出端口为高阻时的泄漏电流。
- $I_{CC}$ ：静态电流，指器件上电后，处于静态（无负载）时，流入电源引脚  $V_{CC}$  的电流值。
- $\Delta I_{CC}$ ：CMOS 工艺的逻辑器件资料提供该参数，指 CMOS 器件输入端口由 TTL 高电平驱动时，在  $I_{CC}$  基础上额外增加的电流量。根据 3.2.1 节，TTL 电平的  $V_{OH}$  大于 CMOS 电平的  $V_{IL}$ ，但小于  $V_{IH}$ ，所以当使用 TTL 电平的驱动器驱动 CMOS 电平的接收器件为高电平时，输入信号电平并不能满足 CMOS 器件的输入要求  $V_{IH}$  和  $V_{IL}$ ，处于非稳态，电流将急剧增加，该增加的电流用  $\Delta I_{CC}$  定义。对 74LVC125A 而言， $\Delta I_{CC}=500\mu A$  ( $25^\circ C$ )，是其  $I_{CC}$  参数的 500 倍。
- $C_I$ ：输入电容，是指逻辑器件输入端口的寄生电容。在电路设计时，该参数可被视为衡量驱动器驱动能力的指标，许多专用的驱动器件，如 Cypress 公司的时钟驱动器 CY2305 器件资料中，定义  $C_I$  参数为  $30pF$ ，即该器件输出引脚的容性负载能力是  $30pF$ ，而 74LVC125A 器件的  $C_I$  参数值为  $5pF$ ，则 CY2305 的一个输出端口最多能同时驱动 6 个 74LVC125A 的输入端口。

对支持总线保持（Bus Hold）功能的逻辑器件，器件资料上还会提供以下参数：

- $I_{I(hold)}$ ：输入保持电流。当驱动器件进入高阻状态后，为使接收器件的输入引脚保持在前一个逻辑状态所需提供的电流。74LVTH125 是支持总线保持功能的逻辑器件，其  $I_{I(hold)}$  参数定义见表 3.5。

表 3.5 74LVTH125  $I_{I(hold)}$  参数<sup>[28]</sup>

PARAMETER (参数)		TEST CONDITIONS (测试条件)		SN54LVTH125			SN74LVTH125			UNIT (单位)
				MIN	TYP	MAX	MIN	TYP	MAX	
$I_{I(hold)}$	Data inputs (数据输入)	$V_{CC}=3V$	$V_I=0.8V$	75			75			$\mu A$
			$V_I=2V$	-75			-75			
		$V_{CC}=3.6V$	$V_I=0 \sim 3.6V$						$\pm 500$	

对支持总线保持功能的器件，根据其输入引脚需保持的电平不同，电流需求也不同。



一般器件资料上提供的参数是在输入电平保持为  $V_{IH}$  和  $V_{IL}$  时对电流的要求。74LVTH125 的输入端口电平为 LVTTL，因此， $V_{IH}$  和  $V_{IL}$  参数分别为 2V 和 0.8V，对应的电流要求都是 75μA（但流入流出方向不同）。

同时，器件资料上还提供了输入状态翻转（逻辑状态由“0”变“1”或“1”变“0”）时应提供的电流值。应用时需注意，资料上提供的 500μA 是最大值，其含义是，使输入引脚维持在原逻辑状态的最大电流，超过 500μA，则逻辑状态将发生翻转。因此，在要求逻辑状态翻转的应用中，驱动器提供的电流必须大于 500μA，即 500μA 是状态翻转的最小电流要求。参考本章的第一个案例，当驱动电流达不到翻转电流要求时，器件的逻辑状态不会发生变化。

对于定义逻辑状态翻转所需电流的参数，型号较老的系列都是采用  $I_{I(hold)}$  参数定义，如 ABTH、LVTH、LVCH 等，而对较新系列的逻辑器件，如 74AVCAH164245，器件资料使用  $I_{BHH}$ 、 $I_{BHL}$ 、 $I_{BHHO}$ 、 $I_{BHLO}$  四个参数定义该特性。

- $I_{BHH}$ : 支持总线保持功能的器件，其输入引脚保持为  $V_{IH}$  电平时输出的电流值。
- $I_{BHL}$ : 支持总线保持功能的器件，其输入引脚保持为  $V_{IL}$  电平时吸收的电流值。
- $I_{BHHO}$ : 为使输入引脚的逻辑状态发生从“1”到“0”的翻转，驱动器应吸收电流的最小值。
- $I_{BHLO}$ : 为使输入引脚的逻辑状态发生从“0”到“1”的翻转，驱动器应输出驱动电流的最小值。

其中， $I_{BHH}$  和  $I_{BHL}$  与表 3.5 中  $I_{I(hold)}$  参数的前两项要求（逻辑状态保持）对应，而  $I_{BHHO}$  和  $I_{BHLO}$  与第三项要求（逻辑状态翻转）对应。

## 5. 传输特性参数

下面以表 3.6 为例，说明一种器件的传输特性参数表的内容。

表 3.6 74LVC125A 传输特性参数表<sup>[27]</sup>

PARAMETER (参数)	FROM (INPUT)	TO (OUTPUT)	$V_{CC}$	$T_A=25^\circ C$			$-40^\circ C \sim 85^\circ C$		$-40^\circ C \sim 125^\circ C$		UNIT (单位)
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
$t_{pd}$	A	Y	1.8V±0.15V	1	4.5	11.8	1	12.3	1	13.8	ns
			2.5V±0.2V	1	2.7	5.8	1	6.3	1	8.4	
			2.7V	1	3	5.3	1	5.5	1	7	
			3.3V±0.3V	1	2.5	4.6	1	4.8	1	6	
$t_{en}$	$\overline{OE}$	Y	1.8V±0.15V	1	4.3	13.8	1	14.3	1	15.8	ns
			2.5V±0.2V	1	2.7	6.9	1	7.4	1	9.5	
			2.7V	1	3.3	6.4	1	6.6	1	8.5	
			3.3V±0.3V	1	2.4	5.2	1	5.4	1	7	
$t_{ds}$	$\overline{OE}$	Y	1.8V±0.15V	1	4.3	10.6	1	11.1	1	12.6	ns
			2.5V±0.2V	1	2.2	5.1	1	5.6	1	7.7	
			2.7V	1	2.5	4.8	1	5	1	6.5	
			3.3V±0.3V	1	2.4	4.4	1	4.6	1	6	
$t_{sk(o)}$			3.3V±0.3V					1		1.5	ns



表 3.6 中, 最重要的参数是:  $t_{pd}$  和  $t_{sk(o)}$ 。

- $t_{pd}$ : 传输延时, 指逻辑状态发生变化时, 输入和输出波形上同一电平参考点之间的时间延迟。在某些逻辑器件 (如 74LVTH125) 资料上, 不提供  $t_{pd}$  参数, 而提供了另两个参数:  $t_{PLH}$  (逻辑状态由“0”变为“1”, 输入和输出波形上同一电平参考点之间的时间延迟) 和  $t_{PHL}$  (逻辑状态由“1”变为“0”, 输入和输出波形上同一电平参考点之间的时间延迟), 实际上是根据状态变化方向的不同, 将  $t_{pd}$  参数进行细分, 本质上是一样的。如果器件资料上只提供了  $t_{pd}$  参数, 则取值为  $t_{PLH}$  和  $t_{PHL}$  的最大值。在时序设计中, 应注意同一系列的器件之间, 其传输延时参数有一定的差异性。
- $t_{sk(o)}$ : 输出偏移失真, 指由于制造工艺的限制, 器件内部各个输出引脚之间传输延时的差异。在设计中, 如果采用逻辑器件作为总线驱动器, 应仔细考虑由于  $t_{sk(o)}$  的存在而对时序造成的影响。

在设计中, 与传输特性有关的参数, 还有  $t_{sk(p)}$  和  $t_{sk(pr)}$ 。

- $t_{sk(p)}$ : 脉冲失真, 指  $t_{PLH}$  和  $t_{PHL}$  的差值。
- $t_{sk(pr)}$ : 封装失真, 指同一厂家同一型号的器件, 在输出波形上, 相互之间存在的差异。
- $t_{pd}$ 、 $t_{sk(o)}$ 、 $t_{sk(p)}$  和  $t_{sk(pr)}$  都是制造工艺造成的器件误差。一般这四个参数的值都非常小, 仅为几纳秒, 但是在高速电路设计中, 当信号速率达到数百兆赫兹时, 信号周期也仅有几纳秒, 使得这些参数占据了信号周期的较大百分比, 对时序裕量造成了很大的威胁, 因此必须予以重视。

以上这四个参数虽然都与偏差相关, 但对时序分析的意义是不一样的。

$t_{pd}$  强调的是输入到输出的延时, 在逻辑器件作为并行总线的驱动器时, 该参数将直接影响总线信号的建立时间和保持时间裕量。根据第 5 章的内容讲解, 当时钟信号和数据信号方向相同时,  $t_{pd}$  的最大值应从数据信号的建立时间裕量中减去, 而  $t_{pd}$  的最小值应加到数据信号的保持时间裕量中。

$t_{sk(o)}$  强调的是不同输出引脚之间的偏移量, 如图 3.11 所示, 逻辑器件 IC1 输出两个状态相同的信号 D1 和 D2, 分别送到 IC2 和 IC3, 在 PCB 上 D1 和 D2 信号线等长, 即希望 D1 和 D2 信号到达 IC2 和 IC3 时, 逻辑状态完全相同, 在这种情况下, 就必须考虑由于  $t_{sk(o)}$  的存在可能造成的时序问题, 假设 IC2 和 IC3 将在同一时间对数据信号采样, 为保证这两个器件采样正确, 并采到同样的数值, 要求 D1 和 D2 除满足信号本身所要求的时序裕量外, 还应满足由于输出偏移失真造成的时序差异。

$t_{sk(p)}$  用于衡量占空比失真造成的时序问题。这在 DDR SDRAM 等双边沿采样的应用中尤为关键。

$t_{sk(pr)}$  也是不可避免的器件误差, 其对设计者的指导意义在于, 应避免将器件理想化。对一系列时序密切相关的信号, 如果在链路中通过了不同的逻辑器件, 即便逻辑器件型号一致, 在接收端仍可能存在时序的偏差, 该偏差应在时序裕量计算中得到充分考虑。

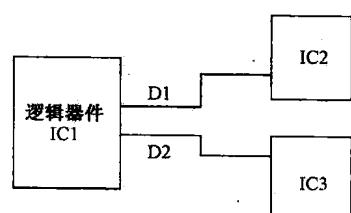


图 3.11 逻辑器件输出偏移失真



## 6. 操作特性参数

下面以表 3.7 为例，说明一种器件的操作特性参数表的内容。

表 3.7 74LVC125A 操作特性参数表<sup>[27]</sup>

$T_A=25^\circ\text{C}$  (在环境温度为  $25^\circ\text{C}$  的条件下)

PARAMETER (参数)	TEST CONDITIONS (测试条件)	V <sub>CC</sub>	TYP	UNIT (单位)
$C_{pd}$ Power dissipation capacitance per gate (单个逻辑门的电源耗散电容)	$f=10\text{MHz}$	1.8V	7.4	pF
		2.5V	11.3	
		3.3V	1.5	

- $C_{pd}$ : 电源耗散电容。该参数是在计算 CMOS 工艺的逻辑器件动态功耗时使用的等效电容。

### 理解要点：

- ① 在选型时，器件资料的“FEATURES”表是重要的依据。
- ② 为保证器件的正常工作，电路设计需满足器件资料的“Recommended Operating Conditions”表。
- ③ 为确定器件工作的时序，需参考器件资料的传输特性参数表。

### 3.2.3 逻辑器件功耗计算

本小节重点介绍如何计算 CMOS 工艺逻辑器件的功耗。在 3.2.2 节对逻辑器件参数的介绍中，提到了许多与功耗相关的参数，如  $V_{CC}$ 、 $I_{CC}$ 、 $C_{pd}$  等，那么这些参数将如何影响器件的整体功耗？

逻辑器件资料中，一般都会给出器件工作时的最大功耗  $P_{tot}$  参数，但这个参数仅能提供最恶劣情况下的功耗估计值，在单板功耗裕量充足时，可使用  $P_{tot}$  完成粗略的估计，随着单板复杂度的提高，高功耗器件不断增加，单板的功耗分配越来越紧张，要求对器件的功耗估计更贴近实际情况，所以  $P_{tot}$  并不实用。例如，一个  $P_{tot}$  参数值为  $0.8\text{W}$  的器件，如果实际应用的信号翻转频率很低，则实际功率将远远小于一个  $P_{tot}$  参数值为  $0.4\text{W}$ ，但信号翻转频率较高的器件。因此，在设计中，有必要将器件的静态功耗和动态功耗区分开，以便根据器件应用场合的不同来评估其实际功耗。

CMOS 器件功耗分为静态功耗和动态功耗<sup>[29]</sup>。当器件所有端口的逻辑状态稳定而不发生变化，则端口无需充/放电，器件内部仅存在泄漏电流  $I_{CC}$ ，此时的功耗就是静态功耗。静态功耗还包括输入端处于非稳态时，由  $\Delta I_{CC}$  引起的功耗。当器件端口的逻辑状态发生不断的翻转，器件内部除泄漏电流外，还存在工作电流，且为了驱动容性负载，器件的输出端还需不断充放电，这种由于器件逻辑状态翻转而产生的功耗，称为动态功耗。

#### 1. 静态功耗 $P_S$

静态功耗由两个部分组成。其一，由器件内部泄漏电流产生。CMOS 器件内部，在漏源极与衬底之间，存在寄生的反偏二极管（二极管上承受反向电压），由于二极管内少数载流子的运动，形成反偏电流即漏电流。在逻辑器件资料中，漏电流用  $I_{CC}$  参数定义（又称为



静态电流)。一般漏电流  $I_{CC}$  很小, 随着温度的升高而增大, 如 74LVC125A 在 25°C 时漏电流仅 1μA, 而在 125°C 时漏电流能达到 40μA。这一部分功耗的计算公式为:

$$P_S = V_{CC} \times I_{CC} \quad (3.2)$$

基于制造工艺的不同, 逻辑器件的静态功耗差别很大。例如, Bipolar 工艺的 74LS125A, 其  $I_{CC}$  参数值为 54mA, 而 CMOS 工艺的 74LVC125A,  $I_{CC}$  仅为 40μA。

因此, Bipolar 器件的静态功耗远大于 CMOS 器件, 例如, 74LS125A, 当  $V_{CC}=3.3V$  时, 有  $P_S=3.3V \times 54mA = 178mW$ ; 而对于 74LVC125A,  $P_S=3.3V \times 40\mu A = 0.132mW$ , 两者相差 1000 多倍。

其二, 当输入电平不满足器件输入引脚的阈值电平时, 器件内部本应完全关断的 MOS 管并没有被完全关断, 使  $V_{CC}$  和 GND 之间存在一定的电流通路, 由此造成的功耗, 也归为静态功耗。在器件资料中, 这种电流通路用参数  $\Delta I_{CC}$  定义, 一般而言,  $\Delta I_{CC}$  远大于  $I_{CC}$ , 但漏电流引起的静态功耗是始终存在的, 而  $\Delta I_{CC}$  引起的静态功耗仅当输入电平不满足输入阈值电平时才会发生。在电路设计中, 通过电平转换电路、提高信号的边沿速率, 可减小由  $\Delta I_{CC}$  引起的静态功耗。

## 2. 动态功耗 $P_D$

动态功耗分为瞬变功耗  $P_T$  和容性负载功耗  $P_L$ 。

### 1) 瞬变功耗 $P_T$

器件逻辑状态改变时, 需对内部的容性节点充放电, 这个过程存在功率损耗; 同时, 逻辑状态的改变, 伴随着器件内部 MOS 管的开合, 如图 3.12 所示, 对于 CMOS 工艺的逻辑器件, 其输出端口由 PMOS 管和 NMOS 管构成, 以某 CMOS 工艺的反相器为例, 输入逻辑“0”状态时, 输出端口的 PMOS 管闭合而 NMOS 管打开, 输入逻辑“1”状态时, PMOS 管打开而 NMOS 管闭合, 即理想情况下, 任何时候都只有一个 MOS 管闭合导通。在输入状态由“0”变为“1”时, PMOS 管和 NMOS 管的开合状态同时发生改变, 受输入信号变化速率和制造工艺的限制, 这种开合状态的改变需要一定的时间, 因此在某些瞬间, 两管同时处于闭合导通的状态, 从而形成  $V_{CC}$  到 GND 的电流通路, 造成功耗。

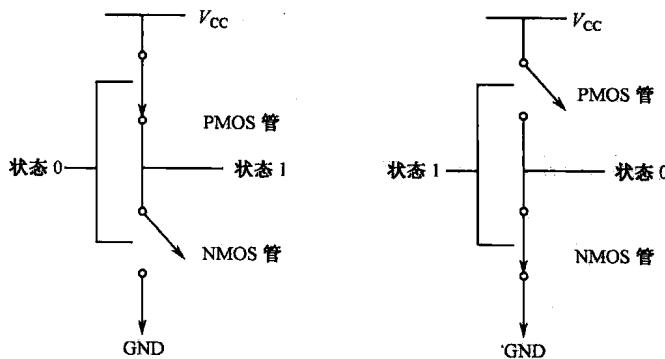


图 3.12 CMOS 工艺逻辑器件电平翻转<sup>[29]</sup>

当输入信号变化速率较快 (满足器件  $\Delta t/\Delta V$  参数的要求) 时, 瞬变功耗  $P_T$  将主要取决于器件内部的节点电容, 因此  $P_T$  计算公式为:



$$P_T = C_{pd} \times V_{CC}^2 \times F_I \times N_{swI} \quad (3.3) [29]$$

式中  $C_{pd}$ ——电源耗散电容，也是不考虑容性负载时逻辑器件的等效电容，可直接从器件资料上获得；

$F_I$ ——输入信号的频率；

$N_{swI}$ ——同时发生状态变化的输入端口数目。

## 2) 容性负载功耗 $P_L$

为驱动外部的容性负载，输出端消耗的功率定义为容性负载功耗  $P_L$ ，其计算公式为：

$$P_L = C_L \times V_{CC}^2 \times F_O \times N_{swO} \quad (3.4) [29]$$

式中  $C_L$ ——外部容性负载；

$F_O$ ——输出信号的频率；

$N_{swO}$ ——同时发生状态变化的输出端口数目。

由于动态功耗  $P_D$  等于瞬变功耗  $P_T$  与容性负载功耗  $P_L$  之和，其计算公式为：

$$P_D = P_T + P_L = (C_{pd} \times V_{CC}^2 \times F_I \times N_{swI}) + (C_L \times V_{CC}^2 \times F_O \times N_{swO}) \quad (3.5)$$

总功耗  $P$  计算公式为：

$$P = P_S + P_D \quad (3.6)$$

例如，使用 74LVC125A 作为 4 比特数据总线驱动器，数据信号波特率为 10Mbps，供电电源  $V_{CC}=3.3V$ ，每个输出引脚的容性负载  $C_L$  为 5pF。从器件资料上可以获得以下参数：

$I_{CC(max)}=40\mu A$ ,  $C_{pd}=15pF$ ，则功率计算为：

$$P_S = V_{CC} \times I_{CC} = 3.3V \times 40\mu A = 0.132mW$$

$$P_T = C_{pd} \times V_{CC}^2 \times F_I \times N_{swI} = 15pF \times 3.3^2 \times 10Mbps \times 4 = 6.5mW$$

$$P_L = C_L \times V_{CC}^2 \times F_O \times N_{swO} = 5pF \times 3.3^2 \times 10Mbps \times 4 = 2.2mW$$

$$P_D = P_T + P_L = 6.5mW + 2.2mW = 8.7mW$$

因此，总功耗  $P$  的计算结果为：

$$P = P_S + P_D = 0.132mW + 8.7mW = 8.832mW。$$

即使考虑 20% 的裕量，总功耗也仅为 11mW，远远小于器件资料上给出的  $P_{tot}$  参数值。

### 理解要点：

逻辑器件的功耗由静态功耗和动态功耗构成，而动态功耗又分为瞬变功耗和容性负载功耗。

## 3.2.4 逻辑器件热插拔功能介绍

除提供与、或、非、总线驱动等逻辑功能外，逻辑器件还可作为热插拔单板的接口保护器件。

通信设备多由主控板、若干业务板、风扇板、时钟板、电源板等构成，在使用中，经常需要带电插拔某些单板。带电插入时，单板的电源、地以及输入/输出端口几乎同时与背板上的电源、地以及信号线相接触，由于单板电源存在较大的容性，上电缓慢，因此存在输入/输出端口到电源平面或地平面的电流通路，构成倒灌，可能造成对单板接口器件的损坏。同样的情况也出现在带电拔出时。

为了实现单板的热插拔，接口器件应满足一定的要求。根据级别的不同，热插拔可分为



为以下四个等级<sup>[30]</sup>，这四个等级对接口器件提出了不同的要求。

**级别 0**，级别 0 的器件完全不支持带电插拔，在插拔前必须先关断主电源。绝大多数常用的逻辑器件系列都属于级别 0，如 AC、ACT、AHC、AHCT、ALS、ALVC、AS、F、HC、HCT、HSTL、LS、S、SSTL、TTL 等。

**级别 1**，级别 1 的逻辑器件支持局部掉电（Partial-Power-Down）。该特性支持器件掉电时，关断接口到电源的通路，以免接口信号的电流倒灌到电源引脚，损坏器件。但插拔前，主系统必须先暂停接口信号的传输。级别 1 要求接口器件支持  $I_{off}$  特性。以下逻辑器件系列属于级别 1：AVC、LV、LVC、GTL 等。

**级别 2**，级别 2 的逻辑器件支持热插拔（Hot Insertion）。除级别 1 的功能外，还可防止插拔时可能产生的总线冲突。要求接口器件支持  $I_{off}$ 、PU3S 特性。以下逻辑器件系列属于级别 2：ABT、ALVT、LVT 等。

**级别 3**，级别 3 的逻辑器件支持在线插拔（Live Insertion）。除级别 2 的功能外，还能保证单板插拔时接口总线的数据不受影响。要求接口器件支持  $I_{off}$ 、PU3S、BIAS  $V_{CC}$  特性。以下逻辑器件系列属于级别 3：GTLP 等。

以下分别分析  $I_{off}$ 、PU3S、BIAS  $V_{CC}$  三种特性。

### 1. $I_{off}$

图 3.13 所示为支持  $I_{off}$  特性的 CMOS 器件输出端口结构图。与通常的 CMOS 器件输出端不同的是， $I_{off}$  特性要求在输出端增加一个关断二极管。

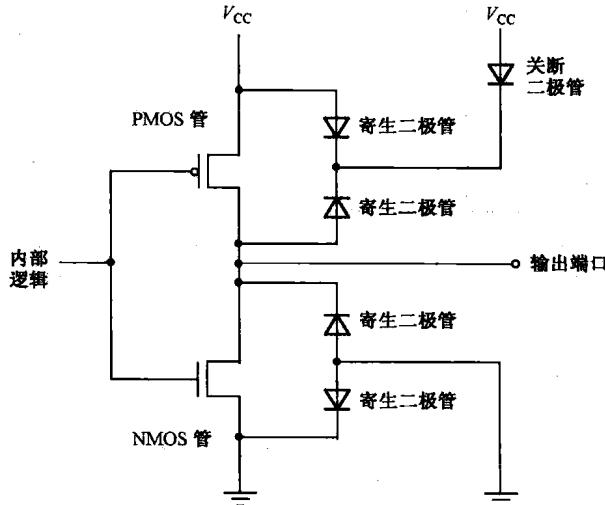


图 3.13  $I_{off}$  结构<sup>[26]</sup>

逻辑器件下电时， $V_{CC}$  电平变为零，但输入/输出端口仍与其他处于工作状态的器件相连，端口上存在一定的电流，如器件端口不包含关断二极管，该端口电流将通过 PMOS 管的寄生二极管流入  $V_{CC}$  引脚。而关断二极管的作用正是阻断该通路。

判断一个逻辑器件是否支持  $I_{off}$  特性，方法是查看器件资料上是否包含  $I_{off}$  参数的描述。

如 TI 公司的 74ABT125 器件资料上列有  $I_{off}$  参数，见表 3.8。

表 3.8 74ABT125  $I_{off}$  参数

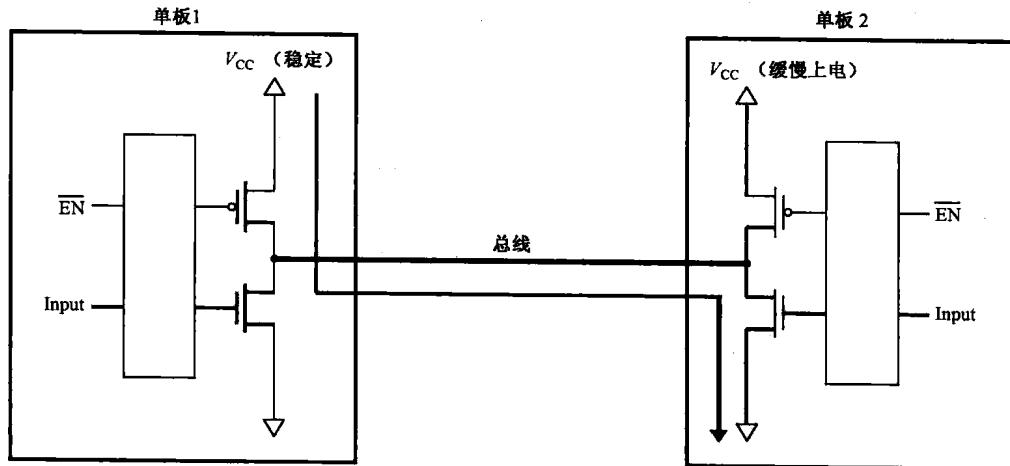
参数名称	测试条件	最大值(μA)
$I_{off}$	$V_{CC}=0$ $V_I \text{ or } V_O \leq 4.5V$	$\pm 100$

参数  $I_{off}$  是指，当器件下电即  $V_{CC}=0$  时，输入或输出端口通过关断二极管的泄漏通道，能流入  $V_{CC}$  引脚的电流最大值为  $100\mu A$ 。

$I_{off}$  结构图中，关断二极管处于 PMOS 管和  $V_{CC}$  之间，那么在 NMOS 管和 GND 之间是否需要同样的二极管？答案是否定的，因为 NMOS 管的寄生二极管已经起到了关断二极管的作用。

## 2. PU3S

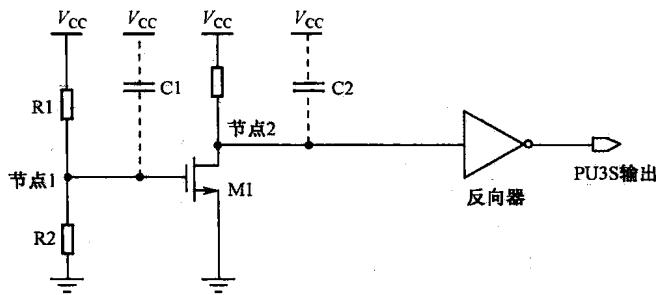
如图 3.14 所示，单板 1 和单板 2 的接口器件是同相驱动器，它们都拥有低电平有效的使能信号 EN#。单板 2 上同相驱动器的 EN# 和输入端都通过电阻下拉到地。单板 1 工作时，将接口总线驱动为高电平（CMOS 的上管导通），此时，插入单板 2，由于单板 2 的  $V_{CC}$  上电需要一段时间，而 EN# 和输入端的状态都为低，因此单板 2 将驱动输出端口为低电平（CMOS 的下管导通），从而，在单板 1 的  $V_{CC}$  和单板 2 的 GND 之间出现了一条低阻抗的电流通路，两个接口器件都存在被损坏的可能。

图 3.14 上电时的板间总线<sup>[31]</sup>

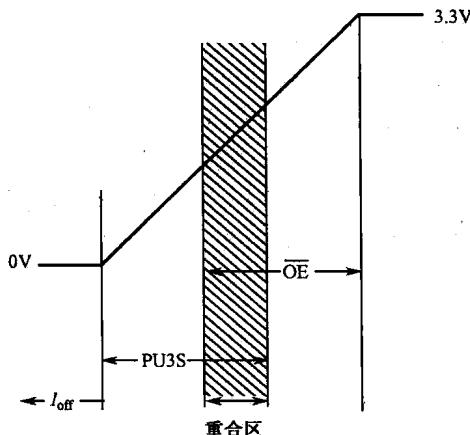
解决方法是使接口器件在  $V_{CC}$  上电完成之前，输出端口保持高阻而不对任何输入信号作出响应，这种解决方法称为上电三态（PU3S）。

支持 PU3S 的逻辑器件内部包含图 3.15 所示的 PU3S 结构，PU3S 输出低电平时，器件输出端呈现高阻态，只有在 PU3S 输出高电平时，输出端才能对输入端的信号做出正常响应。

PU3S 结构中，R1 和 R2 构成分压电路，使 M1 管只有在  $V_{CC}$  的电平超过阈值后才能导通，因此在  $V_{CC}$  上电的过程中，节点 2 保持为高电平，驱动 PU3S 输出低电平， $V_{CC}$  上电完成后，M1 导通，节点 2 变为低电平，驱动 PU3S 输出高电平，器件输出端开始正常工作。

图 3.15 TI 公司逻辑器件的 PU3S 结构<sup>[31]</sup>

单板热插拔时，对接口器件输出状态的控制是很有必要的。根据  $V_{CC}$  上电的步骤，可将该控制过程分为三个阶段，即  $I_{off}$  阶段，PU3S 阶段，OE#控制阶段，如图 3.16 所示。

图 3.16 控制输出端口状态的三阶段<sup>[31]</sup>

**阶段 1**， $V_{CC}=0V$  时， $I_{off}$  结构利用关断二极管阻断输出端口与  $V_{CC}$  之间的通道。

**阶段 2**， $V_{CC}$  上电过程中，PU3S 结构使输出端口呈现高阻态。

**阶段 3**， $V_{CC}$  上升达到阈值后，PU3S 释放对输出端口的控制权，交由 OE#控制。

阶段 2 和阶段 3 存在一个重合区，其目的是确保接口器件对输出信号的完全控制，在设计中，建议将 OE#信号弱上拉到  $V_{CC}$ 。

在 PU3S 结构中，由于  $C_1$ 、 $C_2$  等电容的存在，当  $V_{CC}$  上电过快时，PU3S 结构不能正常工作。因此，在支持 PU3S 特性的逻辑器件资料中，提出了对上电速率的要求，由参数  $\Delta t/\Delta V_{CC}$  定义，如 74ABT125，要求  $\Delta t/\Delta V_{CC}$  不小于  $200 \mu s/V$ 。在对接口逻辑器件的测试中，应注意对该参数的测量。

在功耗测试中，设计者有时会发现单板上电时电流很大，甚至数倍于单板正常工作时的电流，这往往是由于电源上电过快造成的。因此，对存在上电速率要求的电源，应增加电容或使用缓启动电路。

器件资料上与 PU3S 相关的参数有四个，如表 3.9 所示为摘取自 TI 公司 74ABT125 器件资料。

表 3.9 与 PU3S 相关的器件参数表<sup>[32]</sup>

PARAMETER (参数)	TEST CONDITIONS (测试条件)	$T_A=25^\circ\text{C}$			SN54ABT125		SN74ABT125		UNIT (单位)
		MIN	TYP	MAX	MIN	MAX	MIN	MAX	
$I_{OZPU}$	$V_{CC}=0$ to $2.1\text{V}$ , $V_O=0.5\text{V}$ to $2.7\text{V}$ , $\overline{OE}=\text{X}$			$\pm 50$		$\pm 50$		$\pm 50$	$\mu\text{A}$
$I_{OZPD}$	$V_{CC}=2.1\text{V}$ to $0$ , $V_O=0.5\text{V}$ to $2.7\text{V}$ , $\overline{OE}=\text{X}$			$\pm 50$		$\pm 50$		$\pm 50$	$\mu\text{A}$
$I_{OZH}$	$V_{CC}=2.1\text{V}$ to $5.5\text{V}$ , $V_O=2.7\text{V}$ , $\overline{OE} \geq 2\text{V}$			10		10		10	$\mu\text{A}$
$I_{OZL}$	$V_{CC}=2.1\text{V}$ to $5.5\text{V}$ , $V_O=0.5\text{V}$ , $\overline{OE} \geq 2\text{V}$			-10		-10		-10	$\mu\text{A}$

$I_{OZPU}$ : 指在  $V_{CC}$  上电过程中（达到阈值  $2.1\text{V}$  前），输出引脚上流入或流出电流的最大值。

$I_{OZPD}$ : 指在  $V_{CC}$  下电过程中（由阈值  $2.1\text{V}$  降为  $0\text{V}$ ），输出引脚上流入或流出电流的最大值。

$I_{OZH}$ 、 $I_{OZL}$ : 指当  $V_{CC}$  达到阈值电平后，由于输出使能信号  $OE\#$  无效，导致输出端口处于高阻态，此时，输出端口上流入或流出电流的最大值。输出高阻态时，输出端口可能处在任何电平位置，如处在高电平，电流用  $I_{OZH}$  定义，处在低电平，则用  $I_{OZL}$  定义，高阻态时的电流都很小，仅为数微安。由此可以看出，输出高阻态与输出的电平状态无关，此时，输出端的电平可能处于任何位置，但输出电流极小，不具有驱动负载的能力。有些设计者认为，输出高阻时，输出端口的电平为  $0$ ，而事实上，输出高阻只是对输出驱动能力的定义，与电平没有任何关系。

### 3. BIAS $V_{CC}$

$I_{off}$  和 PU3S 实现了对接口器件的硬件保护，但并不能保护接口总线上正在传输的数据。利用 BIAS  $V_{CC}$  结构可预充电待插入单板的输入/输出接口，避免对正处于工作状态之中的总线构成干扰。

接口器件的引脚都存在一定的容性，而电容的作用是阻碍信号电平的变化，单板插入时，单板上接口器件的引脚电容倾向于将信号电平拉低，待电容充电完毕后，信号电平才能得以恢复。

图 3.17 显示了接口信号处于高电平和低电平时，单板插入对信号产生的影响。尤其是接口信号处于高电平时，单板的插入事件可能将信号拉低至判决门限以下，引起逻辑状态出错。

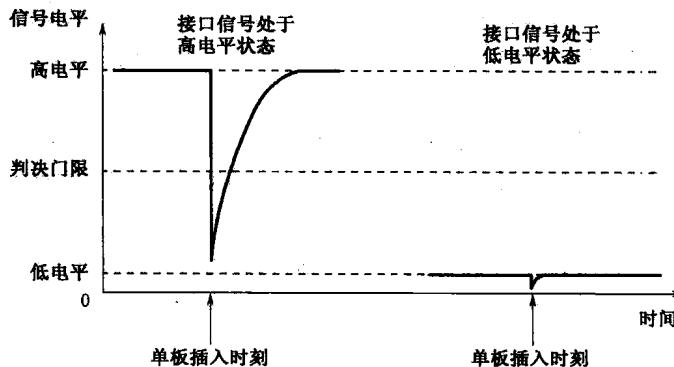


图 3.17 单板插入时对接口信号的影响



如图 3.18 所示，在逻辑器件引脚上增加一个预充电电路，该电路由 BIAS  $V_{CC}$  供电（一般而言，BIAS  $V_{CC}$  的电平与  $V_{CC}$  相同，但早于接口器件的  $V_{CC}$  引脚上电），在信号引脚与背板连接器接触之前，使之预充电到某一电平，例如，该电平可以选择为判决门限电平，当信号引脚与背板连接器接触时，由于引脚容性，接口信号仍会被拉向判决门限电平，但不会跨越该门限，因此不会发生判决错误。如图 3.19 所示，可以看到采用预充电电路的单板插入时对接口信号的影响。

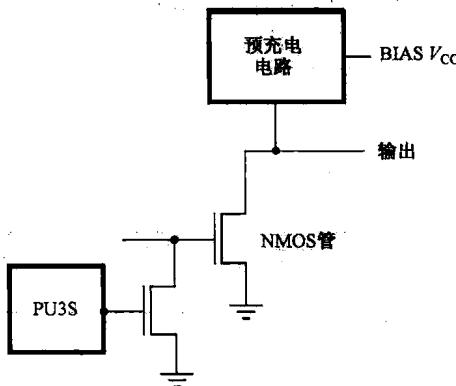
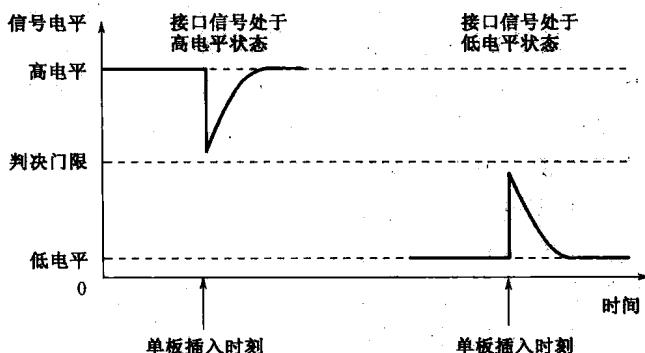
图 3.18 BIAS  $V_{CC}$  结构

图 3.19 采用预充电电路后单板插入时对接口信号的影响

器件资料中，与 BIAS  $V_{CC}$  相关的参数有 BIAS  $V_{CC}$ 、 $I_{CC}(BIAS\ V_{CC})$ 。

- BIAS  $V_{CC}$ : 指预充电路的电源，该电源应先于  $V_{CC}$  上电。
- $I_{CC}(BIAS\ V_{CC})$ : 指预充电路的电流，该电流一般很小。

例如，支持 BIAS  $V_{CC}$  特性的 74GTLPH1645，其器件资料中对 BIAS  $V_{CC}$  的推荐值为 3.15~3.45V，而  $I_{CC}(BIAS\ V_{CC})$  参数的最大值为 5mA。

BIAS  $V_{CC}$  结构对信号连接器的选型有一定的要求，要求接口器件的 BIAS  $V_{CC}$  和 GND 引脚先与背板连接器相接，以便实现预充电。因此，为实现在线插拔，应选用长短针式信号连接器。

图 3.20 为 ERNI 公司的 2mm 公口连接器，型号是 134802。该连接器的插针长度分三类：A、B、C，其中 A 类最短，C 类最长。连接器分 7 排 25 列，最边上的两排 (z 和 f) 一般作为屏蔽插针，接单板的信号地 GND，可供信号和电源使用的是 5 排 25 列。

为实现在线插拔 (Live Insertion)，GND 和 BIAS  $V_{CC}$  应选择最长的插针，即 C 类，而



接口信号可选择次长的插针，即 B 类或 A 类， $V_{CC}$  应选择最短的 A 类。

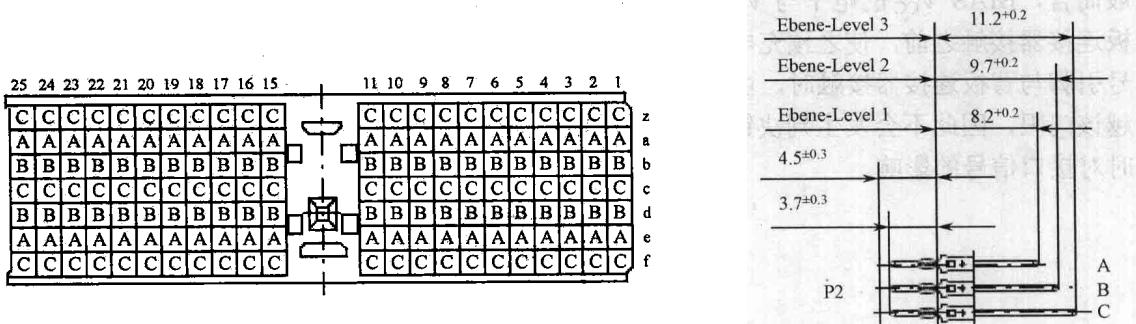


图 3.20 长短针连接器示例

#### 理解要点：

选择支持热插拔功能的逻辑器件时，根据热插拔的等级，需考虑逻辑器件是否支持  $I_{off}$ 、PU3S、BIAS  $V_{CC}$  功能。

### 3.2.5 逻辑器件使用中注意事项的总结

(1) 根据需要选型，不建议盲目地选择性能最好的器件。逻辑器件成本不高，设计者往往会选择同系列中性能最好的型号。例如，总线驱动器有 74LV125A、74LVC125A、74LVT125、74ABT125 等，驱动能力依次从弱到强，设计中盲目地选择驱动能力最强的器件，一方面可能造成辐射增大，产生 EMI（电磁干扰）问题，另一方面也可能导致输出信号过冲太大，超出接收器件输入电平的范围。

(2) 时序设计中不能依赖逻辑器件的延时。逻辑器件都具有片内传输延时，但是该参数的器件间差异性较大，不能在设计中被利用。

(3) 使用具有总线保持功能的器件时，外部上、下拉不能太弱（即电阻阻值不能太大）。

(4) 未用的输入端口电平为 CMOS 时，需做上、下拉处理。

(5) 电源上电速率、输入信号边沿速率应满足器件资料中对应参数的要求。

(6) 在热插拔接口器件的应用中，为防止冲击，输出端一般应串联  $50\Omega$  电阻，输入端一般应串联  $100\sim200\Omega$  电阻。此时，应确认串联电阻不会对信号电平产生分压影响，以致输入端电平不能满足要求。

(7) 当存在热插拔要求时，应根据热插拔的级别，选择对应的器件。

## 3.3 高速逻辑电平应用

### 3.3.1 高速逻辑电平概述

#### 1. TTL 与 CMOS 电平不适于高速应用的原因

TTL 电平和 CMOS 电平不适宜于高速应用，这有以下几方面的原因。

(1) 电平幅度较大，即便是低电平版本，摆幅也达到了  $3.3V$  或  $2.5V$ ，因此信号变化沿



所耗费的时间较长，不适用于传输频率达到 200MHz 以上的信号。

(2) 输出信号为单端，在传输路径上易受到干扰，不利于远距离的传输。

(3) 功耗较大。器件功耗分为静态功耗和动态功耗，TTL 器件的静态功耗较大，即便是静态功耗较小的 CMOS 器件，由于电平摆幅宽，其动态功耗也偏大。

## 2. 高速电平的优势

在高速设计中，需选择电平摆幅窄、支持远距离传输、功耗小的信号电平，以下将要在 3.3.2、3.3.3、3.3.4 小节中介绍的 LVDS、LVPECL、CML 等电平都具有这些特性，因此称为高速逻辑电平。

高速电平一般都采用了差分技术。差分技术的优势有以下几项：

(1) 抗干扰能力强。由于构成差分对的两条导线距离很近，一对差分线中的一条导线所吸收的干扰同样也会出现在另一条相邻的导线上，由于接收方只根据两条导线的差值判断逻辑状态，因此同时出现在差分对之内的两条导线上的干扰将被相互抵消。

(2) 对参考平面（地平面或电源平面）完整性的要求较弱。与单端信号相同，差分对内两信号同样是寻找阻抗最小的路径以实现回流，该路径一般选取为临近的地或电源参考平面。与差分对内两信号的驱动路径相同，回流路径上的信号也具有大小相等、方向相反的特性，从而相互抵消，最终的结果是几乎没有任何电流从参考平面流过，因此即便参考平面不完整，差分对信号所受的影响也比较小。

(3) 抑制串扰、EMI 能力强。单端信号线之间不能相距太近，否则会出现串扰、EMI 等问题。但对差分信号对而言，由于两条相邻的导线所承载的电流大小相等、方向相反，所以对内两条导线之间，相距越近、周围信号线和信号过孔分配越均衡，则产生的磁场越接近完全抵消的状态。如图 3.21 所示，差分对的两条导线电流方向相反，一个用指向纸面朝里的方向表示，一个用指向纸面朝外的方向表示，两者产生的磁场方向完全相反从而相互抵消。

(4) 功耗小、速率高、不受温度、电压波动的影响。由于差分信号逻辑状态变化的参考点位于差分对内两信号边沿的交叉点，且幅值用两信号的差值表示，无需和 GND 比较，因此信号摆幅小、速率高。同时由于差分对内两信号相距很近，外界环境的变化对它们的影响几乎是一致的，在形成差值的过程中将被抵消，因此外界环境对差分信号的影响很小。

LVDS、LVPECL、CML 都属于高速电平，但它们的特性并不完全一样，如表 3.10 所示。

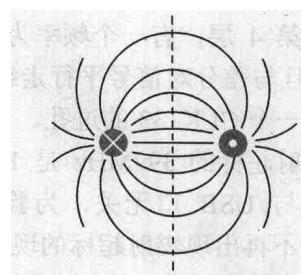


图 3.21 差分对的磁场抵消作用

表 3.10 高速电平基本特性比较<sup>[51]</sup>

名称	工业标准	最高数据率	输出摆幅 ( $V_{OD}$ )	功耗
LVDS	TIA/EIA-644	3.125Gbps	$\pm 350 \text{ mV}$	低
LVPECL	N/A	10+Gbps	$\pm 800 \text{ mV}$	中等-高
CML	N/A	10+Gbps	$\pm 800 \text{ mV}$	中等



### 【案例 3-4】 差分对走线附近信号分布不均衡造成电磁辐射

某产品在进行 EMC（电磁兼容性）测试时，发现在用户面板上 USB 口附近，399MHz 辐射超标。

#### 【讨论】

考查 PCB 设计文件，单板为八层板，层叠结构如图 3.22 所示。

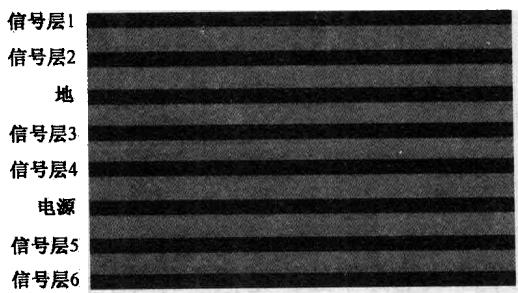


图 3.22 八层板层叠结构图

USB 口差分对信号在信号层 3 传输。在 PCB 设计文件上打开第 3 层，经对差分信号检查后证实，差分对信号走线等长、对内两信号间距相等，且阻抗匹配。

由于信号层 3 和信号层 4 是相邻层，在 PCB 设计文件上同时打开这两层，USB 差分对信号及附近的走线、过孔位置示意图如图 3.23 所示。

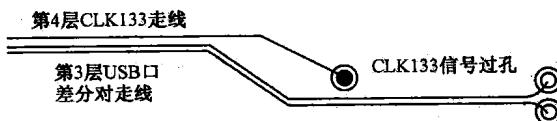


图 3.23 USB 差分对信号线及附近的走线与过孔

在第 4 层，有一个频率为 133MHz 的时钟信号 CLK133，距离第 3 层的差分对信号仅 2mil，且与差分对信号平行走线的长度达到 1400mil。同时，在距离差分对信号线 7mil 的位置，有一个 CLK133 的过孔。

辐射超标的 399MHz 是 133MHz 的三次谐波，设计中 CLK133 来自可编程的时钟驱动器，且与 USB 口无关，为验证 CLK133 是否是问题的根源，将时钟驱动器关闭，测试 EMC，不再出现辐射超标的现象。

在改版设计中，将 CLK133 信号线及其过孔与差分对信号的间距增大为 20mil，问题得到解决。

#### 【拓展】

在差分对信号的应用中，需注意以下几个事项。

(1) 差分对内两信号走线长度相等。该要求是基于以下两个因素而提出的。

① 时序要求。由于差分对信号的时序参考点是对内两信号边沿的交叉点，差分对内两信号走线长度的差异将造成交叉点的偏移，可能对时序产生影响。

② 共模噪声。当差分对内两信号的走线长度存在差异时，在参考平面上的回流无法完



全抵消，一旦参考平面存在分割的情况，则在回流路径上将产生共模噪声，叠加到差分信号上，严重时将导致系统的EMI（电磁干扰）问题。

差分对内两信号走线等长，该要求更多的是基于共模噪声的原因而提出的。对于时序，即使线长存在微小差异，对时序的影响也比较小，如100mil的长度差异，对时序的影响不过几十皮秒，尚不足以造成严重的问题。而这种微小的长度差异，却可能带来后级电路无法抑制的共模噪声，影响全系统的EMC性能。

(2) 差分对内两信号的间距越小越好。该要求同样是基于以下两个因素而提出的。

① 间距越小，附近的干扰对差分对内两信号的影响越接近于等同，从而实现近似的抵消。

② 差分对内两信号的电流方向相反，形成了电流环路，同样差分对信号的两个回流信号也形成了电流环路，根据电磁理论，电流环路能形成磁场，磁场又能产生电场，从而对系统构成电磁干扰。为减小电磁干扰，应减小电流环路，即减小差分对内两信号的间距。

(3) 差分对内两信号的间距保持一定。信号间距在很大程度上决定了差分对信号的阻抗，为防止反射，需保持差分对信号的阻抗在线路上的一致性。

(4) 差分对信号的阻抗控制。差分对信号的阻抗依赖于以下三个方面：差分对信号线宽以及铜箔厚度、差分对内两信号的间距、差分对信号距离参考平面的距离。由此可见，差分对内两信号的间距并不能无限制的减小。

(5) 尽量保证差分对信号线附近过孔的均衡分布。在高密度电路板上，无法保证所有的信号过孔都远离差分对信号线，过孔相对差分对信号线的均衡分布有助于抵消干扰，如图3.24所示。

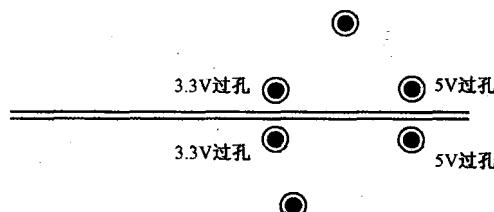


图3.24 USB差分对信号线附近过孔的均衡分布

#### 理解要点：

- ① TTL、CMOS电平不适用于高速设计的原因。
- ② 常用的高速逻辑电平如LVDS、LVPECL、CML等都采用了差分技术，差分技术的优势有哪些。

### 3.3.2 LVDS逻辑电平介绍及其应用要点

#### 1. LVDS介绍

LVDS（Low-Voltage Differential Signaling）指低压差分信号，是美国国家半导体公司（National Instruments）提出的高速信号电平模式，其支持的最高速率为3.125Gbps，一般应用于点到点的场合。

LVDS的应用场合有很多，如并行高速总线SPI4.2的I/O接口电平即为LVDS，其结构



如图 3.25 所示。

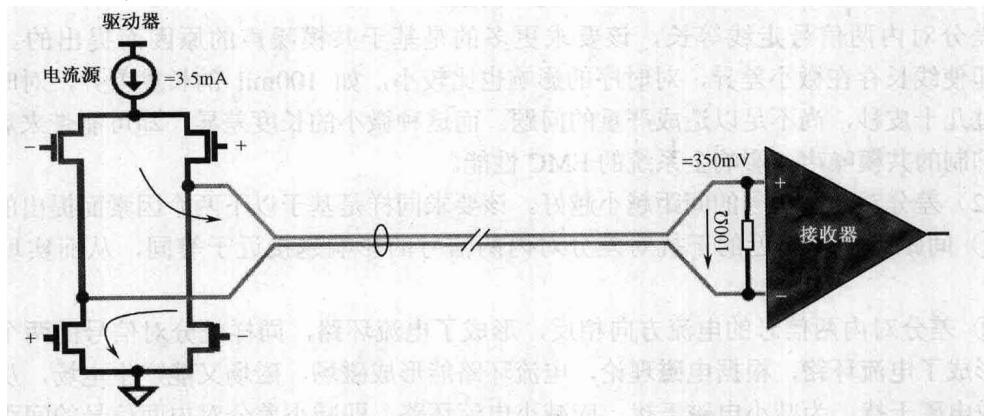


图 3.25 LVDS 结构图<sup>[51]</sup>

在发送方，由 3.5mA 电流源提供驱动，在接收方，通过 100Ω 电阻形成 350mV 的电压摆幅。当电流正向流动时，如图 3.25 中的箭头方向所示，产生逻辑“1”，反之，则产生逻辑“0”。由于摆幅小，有利于降低功耗。同时由于 LVDS 采用电流驱动模式，因此与 TTL、CMOS 电平不同的是，LVDS 功耗并不随工作频率的升高而相应增大，对单个端口而言，负载功耗仅为 1.2mW ( $350\text{mV} \times 3.5\text{mA} = 1.2\text{mW}$ )，在高速逻辑电平中，LVDS 的功耗是最小的。

LVDS 电平应遵循表 3.11 所定义的标准。

表 3.11 TIA/EIA-644 LVDS 标准

参 数	描 述	最 小 值	最 大 值	单 位
$\Delta V_{\text{odl}}$	发送端差分对输出摆幅	247	454	mV
$V_{\text{os}}$	输出信号的共模电平	1.125	1.375	V
$\Delta V_{\text{odl}}$	差分对内两信号不均衡时，对输出差分对摆幅的影响		50	mV
$\Delta V_{\text{os}}$	差分对内两信号共模电压的差异		50	mV
$t_r/t_f$	信号上升/下降沿时间	0.26	1.5	ns
$I_{\text{IN}}$	输入电流		20	$\mu\text{A}$
$V_{\text{ID}}$	接收端差分对输入摆幅		100	mV
$V_{\text{IN}}$	输入信号电平范围	0	2.4	V

在应用中，设计者应重点关注以下几个方面：

(1) LVDS 接收方对信号的共模电平要求很弱，差分对内单个信号的电平范围在 0~2.4V 均可，即 LVDS 的发送方和接收方对电源电压和直流偏置没有特殊要求，这种特性是 LVPECL 等电平所不具备的，这使得 LVDS 特别适宜于板间长距离信号的传输。由于输入信号电平范围为 0~2.4V，而差分对摆幅最大值为 454mV，因此输入端允许信号上携带的直流偏置电平范围为 0.227~2.173V，当不满足此要求时，应采取 AC（交流）耦合。

(2) LVDS 接收端对输入差分对信号摆幅的要求是 100mV，可通过对眼图的测试来验证，如图 3.26 所示。

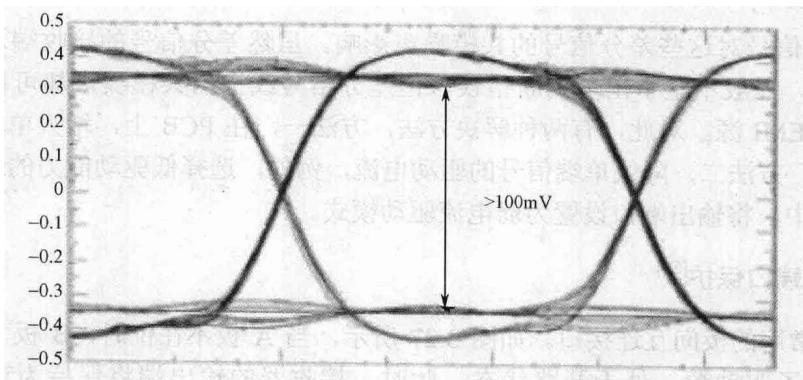


图 3.26 LVDS 输入端眼图要求

(3) 端接方法。LVDS 电平通过在接收端增加  $100\Omega$  并联电阻以实现端接。相比 LVPECL，端接方法简单。该端接电阻有两个作用，一方面用于实现电流向电压的转化，另一方面用于实现阻抗匹配。在某些情况下，该电阻可能已内置于接收端器件内，此时，不应该再外接匹配电阻。

(4) 信号沿变化速率较低。LVDS 的边沿爬升时间为  $0.5\text{ns}$ ，因此信号沿变化速率是  $0.7\text{V/ns}$ ，该速率甚至低于某些低速应用对信号变化沿速率的要求。在第 8 章将提到，信号变化沿速率越低，EMI 值越小，所以 LVDS 电平有助于减小 EMI。

(5) 空闲输入引脚应浮空，以防噪声的引入；空闲输出引脚应浮空，以减小功耗。

(6) LVDS 不适用于数据速率为  $2\text{Gbps}$  以上的应用，对于这种应用，应考虑 LVPECL 或 CML 电平。

### 【案例 3.5】 空闲输入引脚处理有误导致 FPGA 检测到错误输入

某设计中，采用 FPGA 的 LVDS 接口作为板间高速互连接口，主控板 FPGA 上空闲的 LVDS 引脚做上、下拉处理。在逻辑验证中，FPGA 工程师发现，插入业务板瞬间，在主控板上未用的 LVDS 输入端口上，能不断检测到逻辑状态的变化。

#### 【讨论】

设计者在检查 PCB 设计图的时候发现，由于主控板 FPGA 附近的空间被电容、电阻、信号过孔等占据，因此空闲 LVDS 引脚的上下拉电阻被放置在较远处，并通过约  $1000\text{mil}$  的走线连接到 FPGA，走线附近存在大量的板间接口信号走线。

插拔业务板时，测量主控板上 FPGA 输入端空闲的 LVDS 引脚，测得摆幅超过  $100\text{mV}$ 。在 PCB 设计时，设计者认为上、下拉只是为 FPGA 的空闲引脚提供一个确定的输入状态，因此并没有严格地执行差分对走线规则，导致插拔时相邻信号线所产生的干扰被引入至上下拉电阻到 FPGA 的走线。

LVDS 电平的摆幅很小，输入端出现  $100\text{mV}$  的摆幅即可被认作为有效的逻辑状态，因此即便对空闲端口，也不能掉以轻心。在改版设计中，删除空闲端口的上下拉走线，问题得到解决。对该问题，还可以通过关闭 FPGA 内部的空闲端口予以解决。

#### 【拓展】

在高速设计中，高速差分对常被作为板间互连接口信号，设计者应特别关注 TTL、



CMOS 等单端信号对这些差分信号的共模噪声影响。虽然差分信号的接收端对共模噪声的抑制能力很强，一般不至于出现判断错误，但差分信号线上的共模噪声却可以产生对外辐射，成为一种 EMI 源。对此，有两种解决方法，方法一，在 PCB 上，增大单端信号与差分对信号的间距；方法二，降低单端信号的驱动电流，例如，选择低驱动能力的逻辑器件，或在 FPGA 设计中，将输出端口设置为弱电流驱动模式。

## 2. LVDS 端口保护<sup>[50]</sup>

LVDS 是常用的板间互连接口。如图 3.27 所示，当 A 板不在位时，B 板 LVDS 接收器的输入端失去了驱动源，处于开路状态，此时，接收器的输出端将保持为逻辑“1”（由 LVDS 器件的内部逻辑保证），这种状态是正确的。

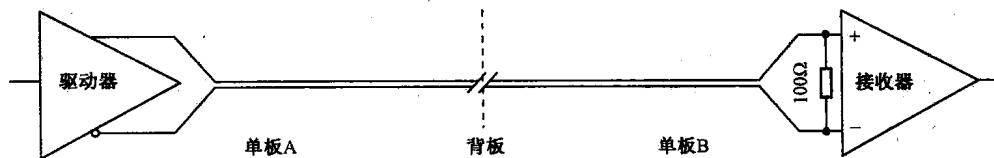


图 3.27 LVDS 信号作为板间接口

一旦输入端信号线（在 B 板上，从背板连接器到 LVDS 接收器之间的信号线）上引入了噪声，且达到接收端的阈值 100mV，这种正确的状态将被打破，使接收器的输出端状态翻转为逻辑“0”。

解决方法有多种，某些 LVDS 接口器件内置有保护电路，使用时和普通 LVDS 器件一样，外加 100Ω 端接电阻即可，某些 LVDS 接口器件则需外加保护电路，下文以外置保护电路为例，如图 3.28 所示，讨论对 LVDS 端口的保护。

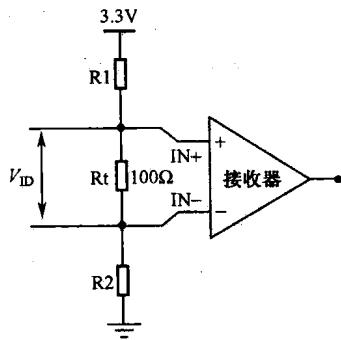


图 3.28 LVDS 输入端的外置保护电路

除端接电阻  $R_t$  外，外置保护电路增加了  $R_1$  和  $R_2$  两个电阻以形成偏置电路。LVDS 接收器输入端浮空时，偏置电路使  $IN+$  和  $IN-$  之间形成正的偏置电平  $V_{ID}$ ，以提供更大的噪声冗余，即当噪声小于  $V_{ID}$  时，接收器输出端仍可保持为逻辑“1”状态。

以偏置电平  $V_{ID}$  等于 25mV 为例（可实现 25mV 的噪声冗余）， $R_1$  和  $R_2$  阻值的计算方法为：

$$V_{ID} = 25 \text{ mV} = 100 \times 3.3 \text{ V} / (R_{R1} + R_{R2} + 100)$$

$$V_{OS} = 1.25 \text{ V} = (R_{R2} + 50) \times 3.3 \text{ V} / (R_{R1} + R_{R2} + 100)$$

其中，第一个等式是为得到 25mV 的偏置电平，第二个等式是为保证输出共模电平（LVDS 要求输出共模电平的范围是 1.125~1.375V，取中间值 1.25V）。可得到  $R_{R1}=8.25 \text{ k}\Omega$ ， $R_{R2}=4.95 \text{ k}\Omega$ 。

在 PCB 设计中需注意， $R_1$ 、 $R_t$ 、 $R_2$  都应尽量靠近接收端放置，且偏置电流应远远小于 LVDS 驱动器提供的 3.5mA 电流，以免影响 LVDS 接收器的正常工作。

这种外部保护电路存在一定的局限性，例如，可能导致 LVDS 输入信号的占空比失真，同时，增加的两个电阻也可能构成 PCB 布局的限制等。



### 3.3.3 LVPECL 逻辑电平介绍及其应用要点

LVPECL 是 ECL 电平的正电源、低电压版本。

ECL 指发射极耦合逻辑 (Emitter Coupled Logic)，与 TTL 相同，ECL 的主体结构由三极管构成，不同的是，ECL 内部的三极管工作于非饱和状态（即截止或放大状态），符合高速信号逻辑状态迅速变化的要求，极适宜于高速应用。非饱和状态的缺点在于，始终有电流流过三极管，因此功耗相对较大。从这点上来说，ECL 速率的提升是以功耗的增大为代价的。

由于 ECL 电平需使用负电源，给电路设计带来了许多不便，在高速设计中，真正获得广泛应用的是其正电源、低电压版本 LVPECL。

如图 3.29 所示，LVPECL 输出端的关键部分是一对差动放大器 Q1、Q2，以及一对射极输出器 Q3、Q4，不仅拥有差分对信号抗干扰能力强的优势，还拥有射极输出器输出电阻小、驱动能力强的优点。

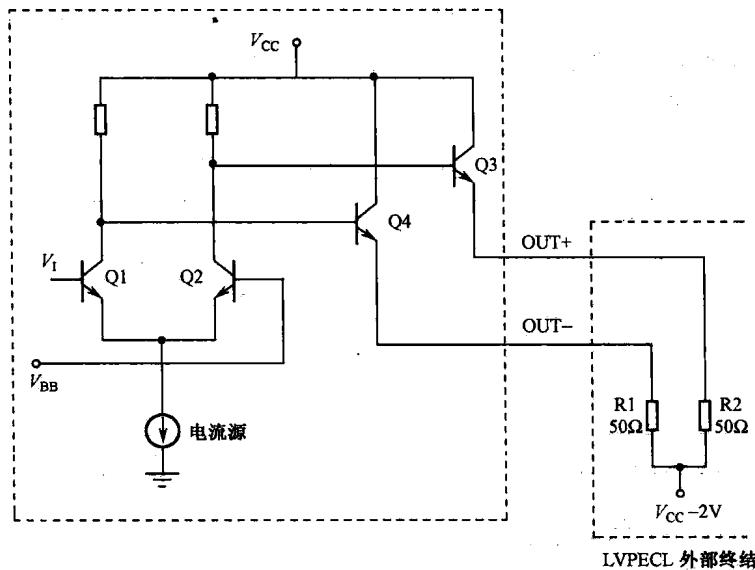


图 3.29 LVPECL 输出结构<sup>[52]</sup>

图 3.29 中， $V_{CC}$  取值为 3.3V 或 2.5V， $V_{BB}$  为内部参考电平。

基于差动放大器的特点， $V_I$  电平高于  $V_{BB}$  时，Q1 导通而 Q2 截止，在输出端，Q3 导通而 Q4 截止，输出端输出逻辑 1 状态。

$V_I$  电平低于  $V_{BB}$  时，Q1 截止而 Q2 导通，在输出端，Q3 截止而 Q4 导通，输出端输出逻辑 0 状态。

由于 Q1 和 Q2 是轮流导通的（即在任何一个时间段内，不是 Q1 就是 Q2 导通）， $V_{CC}$  和 GND 之间永远存在一条电流通路，这也是 LVPECL 功耗较大的原因。

LVPECL 属电流驱动型，OUT+和 OUT-引脚通过 50Ω 电阻终结于  $V_{CC}-2V$ ，输出电流 14mA，因此 OUT+和 OUT-的共模电平值为  $V_{CC}-1.3V$ ，其计算方法是  $V_{CC}-2V+14mA \times 50\Omega=V_{CC}-1.3V$ 。外部终结电平  $V_{CC}-2V$  和共模电平  $V_{CC}-1.3V$ ，这两个参数对 LVPECL 匹配电路的设计至关重要，其具体应用将在高速电平互连一节讨论。



如图 3.30 所示, LVPECL 的输入结构是一对高输入阻抗的差动放大器。由于输出信号的共模电平为  $V_{CC}-1.3V$ , 输入信号应偏置到该电平上, 以获得最大的动态范围。

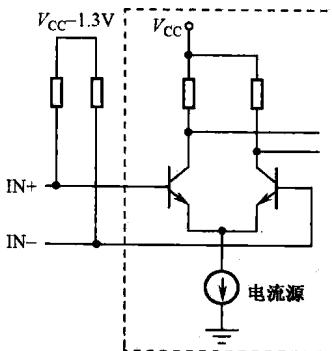


图 3.30 LVPECL 输入结构<sup>[52]</sup>

如表 3.12 所示, 列出了某厂家 LVPECL 电平的输入/输出规格参数。对于 LVPECL 电平, 国际标准组织尚未制定任何标准, 因此不同厂家器件的参数并不一致, 在应用中需仔细分析器件资料上的对应参数。

表 3.12 LVPECL 输入输出规格<sup>[52]</sup>

名 称	最 小 值	最 大 值	单 位
$V_{OH}$	$V_{CC}-1.205$	$V_{CC}-0.88$	V
$V_{OL}$	$V_{CC}-1.81$	$V_{CC}-1.62$	V
$V_{IH}$	$V_{CC}-1.16$	$V_{CC}-0.88$	V
$V_{IL}$	$V_{CC}-1.81$	$V_{CC}-1.48$	V
$V_{ID}$	310		mV
$V_{OD}$	800		mV

设计中, 应重点关注 LVPECL 的以下特点:

- (1) 与 LVDS 相比, LVPECL 功耗更大, 匹配电路的设计也更复杂, 但支持更高的速率, 抗抖动性能也更佳。在高速设计中, LVPECL 常被用做高速时钟和数据的电平, 如许多百兆或千兆 PHY 芯片的 MDI (媒质相关接口) 接口, 以及许多 PLL (锁相环) 时钟信号都采用 LVPECL 电平。
- (2) 由于内部三极管工作于非饱和态, LVPECL 的传输延时极小。
- (3) 由于始终存在一条  $V_{CC}$  到 GND 的电流通路, 因此 LVPECL 功耗较大, 但 LVPECL 的功耗与工作速率基本无关。
- (4) 由于 LVPECL 采用电流驱动模式, 电源  $V_{CC}$  的作用只是提供电流通路和外部偏置电平, 电源纹波对信号的影响相对较小。但当 LVPECL 作为时钟信号的电平时, 为防止电源纹波耦合到时钟信号上, 仍应尽量提高电源的质量。
- (5) LVPECL 的外部端接电路较复杂。LVPECL 的输出端需偏置到  $V_{CC}-2V$ , 输入端需偏置到  $V_{CC}-1.3V$ , 为减少电源种类, 设计中往往通过分压电阻实现不同的偏置要求, 以至于与 LVDS、CML 相比, LVPECL 的外部电路显得尤为复杂。这些电路会造成高速信号线上的分叉, 因此, LVPECL 并不适用于要求极高的高速信号, 如 10Gbps 以太网的 MDI 接口。



一般采用 CML 电平而不是 LVPECL 电平。

### 3.3.4 CML 逻辑电平介绍及其应用要点

CML 指电流模式逻辑 (Current Mode Logic)，是高速设计中最常见的一种电平。高速应用中，有许多常用的高速接口采用 CML 电平，如 XAUI (10Gbps 以太网连接单元接口)、10G XFI 接口 (10Gbps 以太网串行接口) 等。

由于输入和输出端口的匹配已集成于片内，基本不需要外部端接，因此 CML 的应用非常简单。

如图 3.31 所示，CML 的电源  $V_{CC}$  一般取 1.2V，其输出端由一对三极管组成的差动放大器构成，三极管的发射极与 GND 之间串有一个 16mA 电流源，三极管的集电极与  $V_{CC}$  之间串接  $50\Omega$  电阻。

CML 的输出信号 OUT+或 OUT-电平如图 3.32 所示。其共模电平为  $V_{CC}-0.2V$ ，摆幅为 400mV ( $V_{CC}-0.4V \sim V_{CC}$ )，因此 CML 输出差分信号对的摆幅为 800mV。

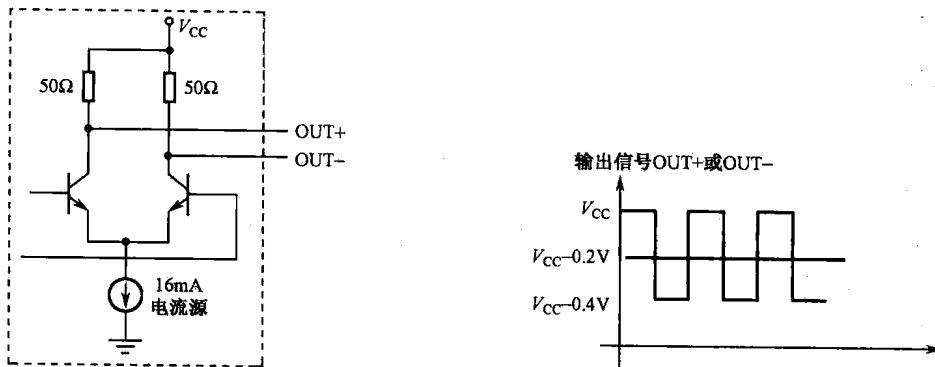


图 3.31 CML 输出结构<sup>[52]</sup>

图 3.32 CML 的输出信号 OUT+或 OUT-电平<sup>[52]</sup>

CML 的输入端由射极输出器构成，具有输入阻抗大的特点，其输入结构如图 3.33 所示。

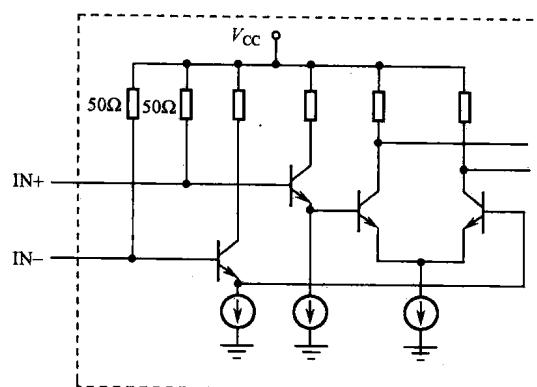


图 3.33 CML 输入结构<sup>[52]</sup>

表 3.13 列出了某厂家 CML 电平的输入/输出规格参数。其中  $V_{IS}$  指输入信号的电平范围。与 LVPECL 一样，对 CML 电平，国际标准组织也尚未制定任何标准，不同厂家器件的参数并不一致，在应用中需仔细分析器件资料上的对应参数。



表 3.13 CML 输入/输出规格

名 称	最 小 值	最 大 值	单 位
$V_{OH}$	$V_{CC}$	—	V
$V_{OL}$	—	$V_{CC}-0.4$	V
$V_{IH}$	$V_{CC}$	—	V
$V_{IL}$	—	$V_{CC}-0.4$	V
$V_{ID}$	400	—	mV
$V_{IS}$	$V_{CC}-0.6$	$V_{CC}+0.2$	V
$V_{OD}$	800	—	mV

CML 和 LVPECL 支持的数据速率都高达 10Gbps，但 LVPECL 对外部端接电路有较多的要求，应用上较为不便，且在功耗上，CML 也低于 LVPECL，因此，极高速信号往往采用匹配方式简单的 CML 电平；而 LVPECL 的优势是输出端采用射极输出器，输出阻抗小，驱动能力更强，且 LVPECL 的抗抖动能力相对也较强，因此板内高速数据信号、有精度和抖动要求的高速时钟信号往往采用 LVPECL 电平。

### 3.3.5 高速逻辑电平的比较

LVDS、LVPECL 和 CML 都是高速设计中常用的电平，在应用中各具特色。以下就几个方面分别进行比较。

- (1) 驱动模式方面。三种电平都属于电流驱动模式，适于高速应用。
- (2) 外部端接方面。CML 最简单，一般无需外加端接，直接互连即可；LVDS 次之，接收端需增加一个  $100\Omega$  的终结电阻，需注意某些器件的 LVDS 接口已内置该电阻；LVPECL 最复杂。因此，端接方式由易到难的排序是：CML、LVDS、LVPECL。
- (3) 功耗方面。LVDS 差分对摆幅最小，因此功耗也最小，在工作速率相同的条件下，功耗尚不及 LVPECL 的三分之一；LVPECL 和 CML 的差分对摆幅相对较大，且内部三极管工作于非饱和态，功耗较大，基于结构上的差异，CML 的功耗稍低于 LVPECL。因此，功耗由小到大的排序是：LVDS、CML、LVPECL。
- (4) 工作速率方面。一方面，由于 CML 和 LVPECL 内部的三极管工作于非饱和态，逻辑状态翻转速率高，能支持极高的数据速率。另一方面，LVDS 输入差分对摆幅  $V_{ID}$  较小，仅 100mV，噪声容限较小，无法支持极高速的速率，而 CML 和 LVPECL 的  $V_{ID}$  相对较大，使得噪声容限增大，有利于高速传输。因此，支持的工作速率由快到慢排序是：CML、LVPECL、LVDS。
- (5) 耦合方式方面。三种电平都支持直流耦合 (DC Couple) 和交流耦合 (AC Couple) 这两种耦合方式。
- (6) 标准规范方面。三种电平中，仅 LVDS 有国际标准组织定义的规范，而 LVPECL 和 CML 电平的具体参数可能随着器件的不同而略有差异。

### 3.3.6 高速逻辑电平的互连及其应用要点

在设计中，高速电平互连的场合并不少见，与 TTL、CMOS 电平互连一样，高速电平互连，首先需要考虑的是电平的大小及摆幅是否兼容，若不兼容，则需通过电阻网络实现电



平的转换。

逻辑电平之间的互连有两种方法。一种是**直流耦合**(DC Couple)，即发送端和接收端直接连接，适于共模噪声小的场合，一般仅应用于板内短距离的互连。一种是**交流耦合**(AC Couple)，即发送端和接收端之间通过电容(在共模噪声特别大的情况下，应使用变压器)隔离，只传送交流信号，交流耦合有以下几个优点：其一，解决了发送端和接收端之间可能存在的地平面电位差异的问题；其二，隔离信号线路上的共模噪声；其三，解决了发送端和接收端之间可能存在的直流偏置电平不同的问题。因此交流耦合适用于跨单板、远距离走线、共模噪声大、直流偏置电平不同等场合。

## 1. LVDS 与 LVDS

### 1) 直流耦合

如图 3.34 所示为 LVDS-LVDS 直流耦合示意图。

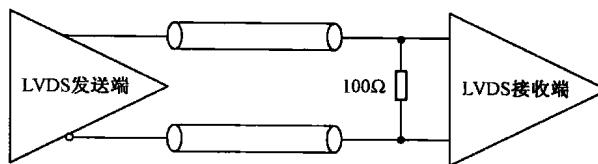


图 3.34 LVDS-LVDS 直流耦合

LVDS-LVDS 的直流耦合较简单，仅需在接收端用  $100\Omega$  电阻实现终结即可，在 PCB 设计时应将该电阻紧密地放置在接收端的输入引脚附近。同时，设计者应核对接收端器件是否已内置  $100\Omega$  终结电阻，若已内置，则不应再增加外部终结。

### 2) 交流耦合

如图 3.35 所示为 LVDS-LVDS 交流耦合示意图。

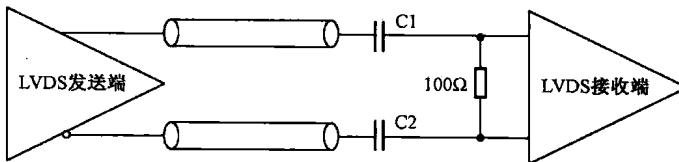


图 3.35 LVDS-LVDS 交流耦合（接收端器件提供直流偏置）

对于 LVDS-LVDS 交流耦合，在 PCB 设计时应注意将 C1 和 C2 靠近接收端方向放置，但无需像  $100\Omega$  终结电阻那样紧密地靠近接收端器件的输入引脚。为支持传输线路上长 0 和长 1 的数据比特位(例如，100000001、011111110 这样的码型，存在较长的连续 0 或连续 1 的序列)，C1 和 C2 容值不能太小，一般取  $0.1\mu F$ 。

在交流耦合时，直流通路被隔离，设计者应考察接收端器件是否提供直流偏置，若不提供直流偏置，应采用如图 3.36 所示的电路。

通过 R1、R2 组成的分压电路， $V_{CC}$  为接收端提供直流偏置。由 3.3.2 节内容可知，LVDS 接收端对直流偏置电平的要求很松，只要处在  $0.227\sim2.173V$  的区间即可，因此一般取中间值  $1.2V$  作为直流偏置电平。电容 C 的作用是为共模噪声提供到 GND 的低阻抗通路。对 R1 和 R2 的取值，除考虑直流偏置电平的要求外，还应考虑在电阻上产生的功耗。

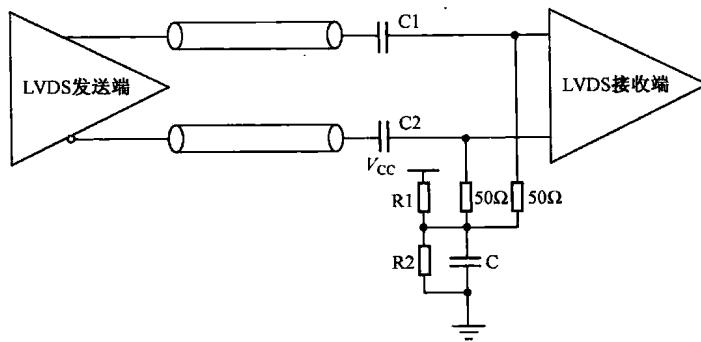


图 3.36 LVDS-LVDS 交流耦合（接收器件不提供直流偏置）

## 2. LVPECL 与 LVPECL

### 1) 直流耦合

LVPECL 的输出端需端接  $50\Omega$  电阻连接到  $V_{CC}-2V$ ，为节省电源种类，可采用电阻分压网络实现该偏置电平，如图 3.37 所示。

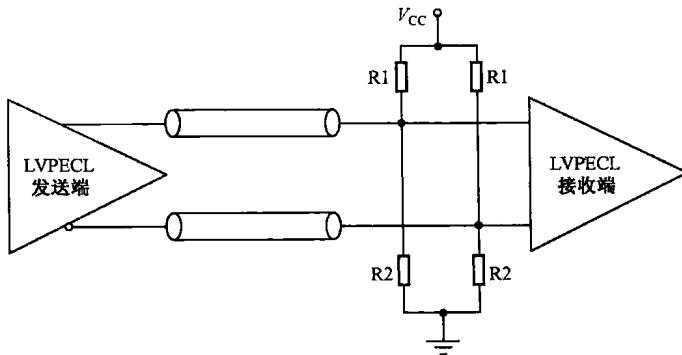


图 3.37 LVPECL-LVPECL 直流耦合

要求  $R_1$  和  $R_2$  组成的分压网络完成以下两个功能：

- ① 获得  $V_{CC}-2V$  的偏置电平。
- ② 提供等效  $50\Omega$  的端接电阻。

因此， $R_1$  和  $R_2$  应满足以下两个公式<sup>[52]</sup>：

$$V_{CC} \times \frac{R_{R2}}{(R_{R1}+R_{R2})} = V_{CC}-2 \quad (3.7)$$

$$R_1//R_2 = 50 \quad (3.8)$$

当  $V_{CC}=3.3V$  时， $R_1=130\Omega$ ,  $R_2=82\Omega$ 。

在设计时应注意两个问题：其一，在 PCB 设计时，将  $R_1$  和  $R_2$  紧密地放置在接收端器件的输入引脚附近；其二，在电源设计时，应考虑  $V_{CC}$  在  $R_1$  和  $R_2$  上消耗的功率，当  $V_{CC}=3.3V$  时，对一个 LVPECL 接收端口，在分压电阻上的最大功耗可达  $51mW$ 。

### 2) 交流耦合

如图 3.38 所示， $R_1$  和  $R_2$  的选择方法与 LVPECL-LVPECL 直流耦合相同。

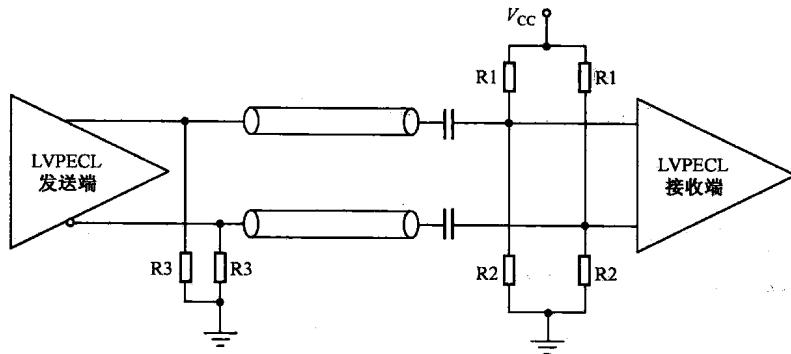


图 3.38 LVPECL-LVPECL 交流耦合

在 3.3.3 节提到，LVPECL 输出端的共模电平为  $V_{CC}-1.3V$ ，且输出端输出直流电流  $14mA$ 。交流耦合时，直流通路被阻断，因此需利用  $R_3$  以保证稳定的共模电平及提供  $14mA$  电流的直流通路。 $R_3$  的阻值计算公式为：

$$R_3 = (V_{CC}-1.3)/14mA \quad (3.9)$$

当  $V_{CC}=3.3V$  时， $R_3$  取值为  $143\Omega$ 。为保证信号质量， $R_3$  阻值可做略微调整，但最大值不应超过  $200\Omega$ 。

### 3. CML 与 CML

CML 与 CML 之间的互连非常简单，直接连接即可。板内信号互连可采用直流耦合，走线距离较远或跨板互连时，应采用交流耦合。

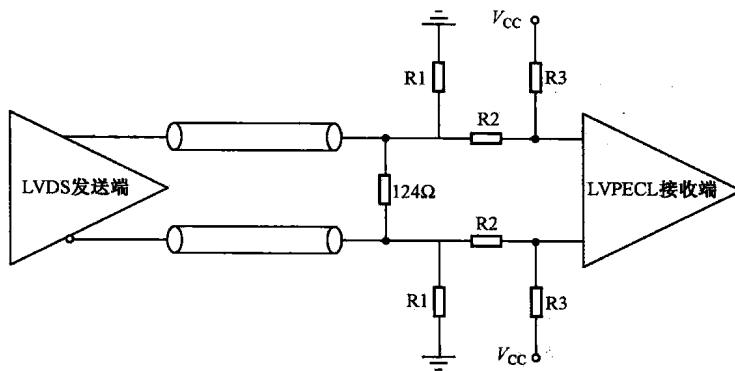
### 4. LVDS 到 LVPECL

由于 LVDS 的输出电平以 GND 为参考，而 LVPECL 的输入电平以  $V_{CC}$  为参考，因此对于 LVDS 到 LVPECL 的连接，建议采用能隔直流的交流耦合方式，以避免由于收发双方共模偏置电平不同而造成的影响。

为了加强读者对共模偏置电平的理解，此处仍先介绍直流耦合方式。

#### 1) 直流耦合

如图 3.39 所示为 LVDS-LVPECL 直流耦合的示意图。

图 3.39 LVDS-LVPECL 直流耦合<sup>[52]</sup>



LVDS 与 LVPECL 的直流耦合，需满足以下要求：

(1) 偏置电平的转换。LVDS 输出端共模偏置电平的中间值为 1.2V，而 LVPECL 输入端的共模偏置电平为  $V_{CC}-1.3V$ 。因此，电阻网络需满足以下等式：

$$V_{CC} \times R_1 / (R_1 + R_2 + R_3) = 1.2V \quad (3.10)$$

$$V_{CC} \times (R_2 + R_3) / (R_1 + R_2 + R_3) = V_{CC} - 1.3V \quad (3.11)$$

(2) 线路阻抗要求。差分对信号路径上，单端对地阻抗应满足  $50\Omega$  的要求，同时，该阻抗也是为了满足 LVDS 的  $100\Omega$  终结电阻的要求。因此电阻网络需满足以下等式：

$$R_3 // (R_1 + R_2) // 62 = 50 \quad (3.12)$$

当  $V_{CC}=3.3V$  时，得到  $R_1=374\Omega$ ,  $R_2=249\Omega$ ,  $R_3=402\Omega$ 。

在差分对信号之间增加的  $124\Omega$  并联电阻，其作用是减小电阻网络上的功耗。若不增加该电阻，电阻网络取值为： $R_1=76\Omega$ ,  $R_2=51\Omega$ ,  $R_3=82\Omega$ 。电阻取值越小则功耗越大，增加并联电阻后，可增大电阻  $R_1 \sim R_3$  的取值，从而降低了功耗。

(3) 电平摆幅的匹配。LVDS 的输出摆幅  $|V_{ODL}|$  为  $350mV$ ，LVPECL 对输入摆幅  $V_{ID}$  的要求随不同厂家器件而不同。应满足以下不等式：

$$|V_{ODL}| \times [R_3 / (R_2 + R_3)] > V_{ID} \quad (3.13)$$

将数值代入，结果为  $V_{ID} < 216mV$ ，即只有当接收端 LVPECL 器件对输入摆幅  $V_{ID}$  的要求小于  $216mV$  时，才能采用以上直流耦合电路。

由于直流耦合的电阻网络较复杂，因此在 LVDS 到 LVPECL 的电平转换中，一般采用交流耦合。

## 2) 交流耦合

如图 3.40 所示， $R_1$  和  $R_2$  组成的电阻网络，应满足以下要求：

(1) 为 LVPECL 输入端提供  $V_{CC}-1.3V$  的共模偏置电平。

(2) 为 LVDS 差分对输出端提供  $100\Omega$  的终端匹配（即单端对地电阻为  $50\Omega$ ）。

因此， $R_1$  和  $R_2$  应满足以下两个等式：

$$V_{CC} \times R_2 / (R_1 + R_2) = V_{CC} - 1.3 \quad (3.14)$$

$$R_1 // R_2 = 50 \quad (3.15)$$

当  $V_{CC}=3.3V$  时，得到电阻网络的取值为： $R_1=82\Omega$ ,  $R_2=130\Omega$ 。

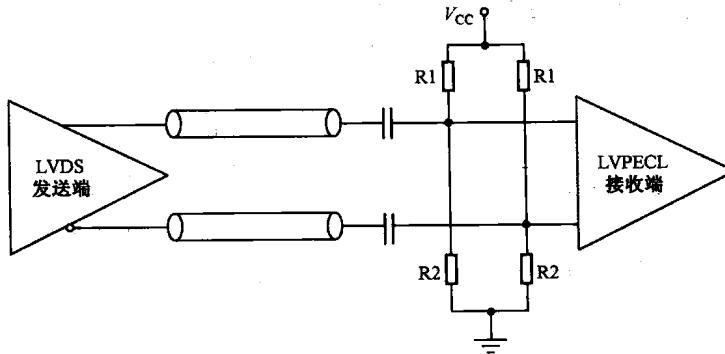


图 3.40 LVDS-LVPECL 交流耦合

为减小在电阻网络上的功耗，可在差分对信号线上，靠近接收端增加一个  $100\Omega$  并联电



阻，由该电阻满足第二个要求，而  $R_1$  和  $R_2$  仅需满足要求（1）即可，从而增大了  $R_1$  和  $R_2$  的阻值，减小了在电阻网络上的功耗。

### 5. LVDS 到 CML

与 LVDS 到 LVPECL 连接的情况类似，LVDS 和 CML 的共模偏置电平不同，一般推荐采用交流耦合方式，如图 3.41 所示。

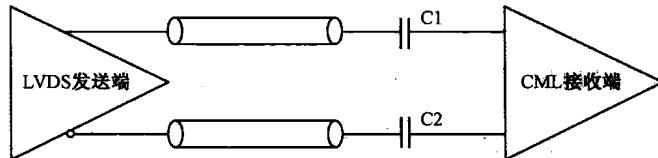


图 3.41 LVDS-CML 交流耦合

根据 3.3.4 节，CML 的输入端已内置上拉到  $V_{CC}$  的  $50\Omega$  电阻，可满足 LVDS 端接电阻  $100\Omega$  的要求，因此在信号线上无需外加端接电阻。

在应用中，设计者应核对 LVDS 的输出摆幅  $V_{OD}$  与 CML 的输入摆幅  $V_{ID}$ ，是否满足以下要求：

$$|V_{OD}| > V_{ID} \quad (3.16)$$

### 6. LVPECL 到 LVDS

#### 1) 直流耦合

如图 3.42 所示为 LVPECL-LVDS 直流耦合的示意图。

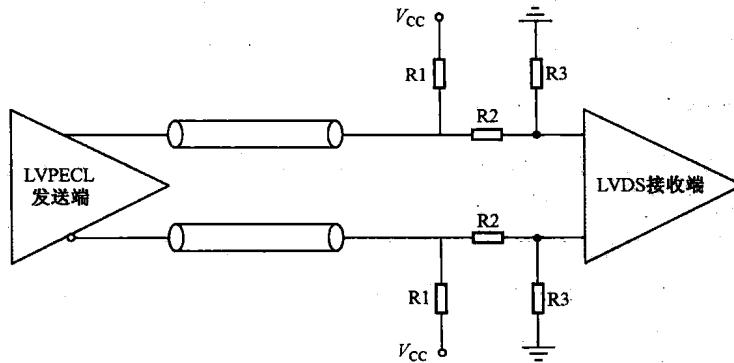


图 3.42 LVPECL-LVDS 直流耦合

与 LVDS-LVPECL 的直流耦合类似，LVPECL 到 LVDS 的连接同样需要满足以下要求：

(1) 为 LVPECL 输出端提供  $V_{CC}-2V$  的偏置电平。即要求满足式 (3.17)：

$$V_{CC} \times (R_2 + R_3) / (R_1 + R_2 + R_3) = V_{CC} - 2V \quad (3.17)$$

(2) 差分信号阻抗匹配。为实现线路上的阻抗匹配，电阻网络的等效电阻应为  $50\Omega$ ，该等效电阻同时满足 LVDS 对输入端端接  $100\Omega$  电阻的要求。即要求满足式 (3.18)：

$$R_1 / (R_2 + R_3) = 50 \quad (3.18)$$



电阻网络取值为:  $R_1=120\Omega$ ,  $R_2=58\Omega$ ,  $R_3=20\Omega$ 。

(3) 电平摆幅的匹配。LVPECL 的输出摆幅  $|V_{OP}|$  的值随不同的厂家器件而不同, LVDS 对输入摆幅  $V_{ID}$  的要求是 100mV。即要求满足以下不等式:

$$|V_{OP}| \times [R_3 / (R_2 + R_3)] > 100\text{mV} \quad (3.19)$$

一般, LVPECL 的  $|V_{OP}|$  最小值为 800mV, 将各数值代入, 满足式 (3.19), 电平摆幅满足要求。

## 2) 交流耦合

如图 3.43 所示为 LVPECL-LVDS 交流耦合的示意图。

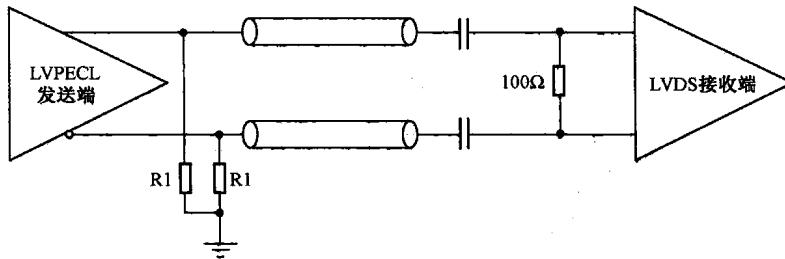


图 3.43 LVPECL-LVDS 交流耦合

LVPECL-LVDS 的交流耦合应满足以下要求:

(1) 为 LVPECL 输出端的 14mA 直流电流提供回路。该回路由 R1 提供, R1 的阻值计算方法与 LVPECL-LVPECL 交流耦合相同。

(2) 在 LVDS 输入端, 添加 100Ω 端接电阻。

(3) 电平摆幅的匹配。一般 LVPECL 的输出摆幅  $V_{OP}$  较大, 而 LVDS 的输入摆幅  $V_{ID}$  较小, 为保护 LVDS 输入端口, 可在线路上串电阻以实现衰减。

## 7. LVPECL 到 CML

由于 LVPECL 和 CML 的共模偏置电平不同, 直流耦合电路复杂, 不适于高速应用, 因此 LVPECL 到 CML 的连接一般采用交流耦合。

如图 3.44 所示, LVPECL-CML 的交流耦合应满足以下要求:

(1) 为 LVPECL 输出端的 14mA 直流电流提供回路。该回路由 R1 提供, R1 的阻值计算方法与 LVPECL-LVPECL 交流耦合相同。

(2) CML 输入端的阻抗匹配。根据 3.3.4 节内容可知, CML 输入端的匹配电阻已内置, 无需外部端接。

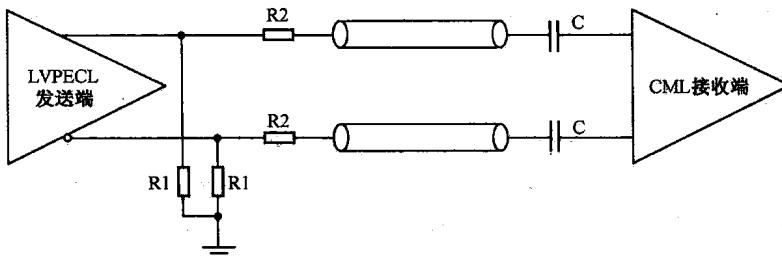


图 3.44 LVPECL-CML 交流耦合



(3) 电平摆幅的匹配。LVPECL 输出摆幅  $V_{OD}$  较大, 为保护 CML 输入端口, 应串电阻  $R_2$  以衰减差分对信号。例如, LVPECL 的输出摆幅  $V_{OD}$  为 800mV, 而 CML 输入摆幅的最低要求为 400mV, 一般而言, 应将 LVPECL 的输出摆幅衰减三分之一, 则应满足式 (3.20) [式 (3.20) 中,  $50\Omega$  指单端对 GND 的阻抗值]:

$$R_1/(R_1+R_2+50) = 2/3 \quad (3.20)$$

当  $R_1$  取  $150\Omega$  时, 可得  $R_2=25\Omega$ 。

需注意, 在差分信号线上增加衰减电阻  $R_2$  后, 将导致线路上的阻抗不匹配, 此时应对  $R_2$  的取值做出权衡。

## 8. CML 到 LVDS

高速电路设计中一般不会出现 CML 到 LVDS 连接的场合, 此处略过。

## 9. CML 到 LVPECL

由于 CML 和 LVPECL 的共模偏置电平不同, 对于 CML 到 LVPECL 的连接, 一般采用交流耦合。

如图 3.45 所示, CML 到 LVPECL 的交流耦合应满足以下要求:

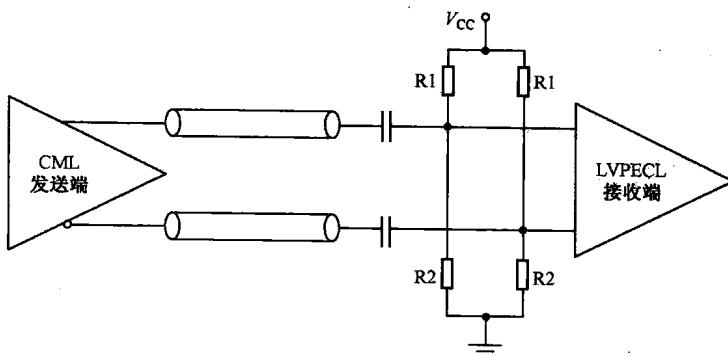


图 3.45 CML-LVPECL 交流耦合

(1) 在 LVPECL 接收端, 由  $R_1$  和  $R_2$  组成电阻网络, 电阻网络的作用及阻值计算方法与 LVPECL-LVPECL 直流耦合相同。

(2) 电平摆幅的匹配。当 CML 器件的输出摆幅  $V_{OD}$  较大, 为保护 LVPECL 输入端, 可在差分对信号线上串联电阻, 以衰减差分对信号。串电阻后可能导致线路上阻抗不匹配, 设计者应相应地做出权衡。

## 10. 总结

在高速电平互连时, 应着重注意以下几个方面:

(1) 端接匹配电路的设计。例如, LVDS 接收端要求提供  $100\Omega$  端接电阻; LVPECL 接收端应端接电阻以实现  $50\Omega$  单端对地阻抗。当不满足阻抗匹配要求时, 线路上将出现反射, 并可能产生共模噪声。

(2) 端接电阻的放置位置。在 PCB 设计时, 输出端的端接电阻应靠近输出端器件的引脚放置, 输入端的端接电阻应靠近输入端器件的引脚放置。



(3) 要求满足收发双方电平摆幅的匹配。当输出摆幅小于输入摆幅的电平要求时，不能实现互连；当输出摆幅远大于输入摆幅的电平要求时，为保护接收端器件，应在线路上串联电阻以实现衰减。

(4) 直流耦合时需满足收发双方共模偏置电平的要求。例如，LVDS 输出端共模偏置电平的中间值为 1.2V，而 LVPECL 输入端的共模偏置电平为  $V_{CC}-1.3V$ ，需采用电阻网络实现电平转换。

(5) 交流耦合电容的容值和位置。交流耦合电容一般取  $0.1\mu F$ ，并靠近接收端方向放置。

(6) 交流耦合时接收端共模偏置电平是否得到满足。例如，LVDS 接收端共模偏置电平应处在  $0.227\sim2.173V$  的区间，而 LVPECL 接收端共模偏置电平的中间值要求为  $V_{CC}-1.3V$ 。

(7) 交流耦合时在发送端是否提供了电流源的回路。LVPECL 发送端内置  $14mA$  电流源，当交流耦合时，电流源回路被阻断，因此，需在发送端补充一条电流回路。

(8) 电阻网络上的功耗。有时电阻网络需同时满足共模偏置电平和线路阻抗的要求，以至于电阻取值较小，电阻网络的功耗较大，此时可以采用在 LVDS-LVPECL 直流耦合中提到的方法，通过在差分对信号线之间增加一个阻值较小的并联电阻，以增大电阻网络的电阻阻值，从而达到减小功耗的目的。

#### 理解要点：

- ① LVDS、LVPECL、CML 在以下方面的比较：驱动模式、端接、功耗、速率、耦合方式、是否有标准规范的定义。
- ② 高速逻辑电平接口器件的互连有直流耦合和交流耦合两种方式，这两种方式的适用场合有什么区别。
- ③ 高速电平互连时，需考虑以下方面：端接匹配电路、端接电阻的布放位置、输入/输出电平摆幅的匹配、共模偏置电平的匹配、交流耦合时耦合电容的容值与布放位置、交流耦合时电流源回路、匹配电阻网络的功耗等。

# 第4章 高速电路中的电源设计

## 4.1 与电源相关的经典案例

### 【案例 4.1】 LDO 输出电源电平低于设置值

某单板利用 Linear 公司的 LDO 芯片 LT1086—ADJ，从 3.3V 电源产生 2.5V 电源，测试时发现输出电源的电压只有 2.3V。

#### 【讨论】

LT1086—ADJ 是一款输出电流可达 1.5A，输出电压可调的 LDO 电源芯片。本设计的相关电路图如图 4.1 所示。

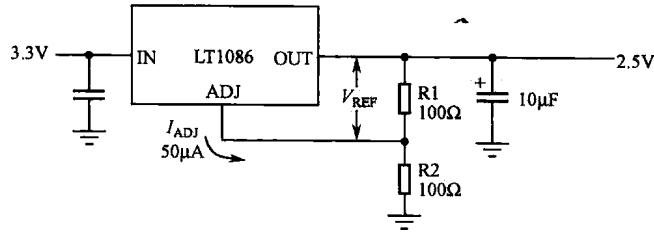


图 4.1 LT1086 电路图

在 LT1086 内部，ADJ 和 OUT 引脚之间的电压  $V_{REF}$  设置为 1.25V，通过连接在这两个引脚之间的电阻 R1 形成电流，要求该电流略大于 10mA，经 R1、R2 后流入 GND，从而构成输出电压。同时 ADJ 引脚有 50μA 电流  $I_{ADJ}$  经 R2 流入 GND。

为得到 2.5V 的输出电压，计算公式为：

$$1.25V/R_1 \geq 10mA \quad (4.1)$$

$$V_{OUT} = 1.25V \times (1 + R_2/R_1) + I_{ADJ} \times R_2 \quad (4.2)$$

由于  $I_{ADJ}$  极小，式 (4.2) 的第二项可忽略，计算得到  $R_1=R_2=100\Omega$ 。

设计者对电阻  $R_1$  和  $R_2$  的取值正确，同时，核对 PCB 设计图，滤波电路设计也正确。

再查看器件资料，该器件的 Dropout (压差) 要求（指 LDO 电源芯片对  $V_{IN}-V_{OUT}$  最小值的要求）为 1V，即该器件的输出电压  $V_{OUT}$  至少应比输入电压  $V_{IN}$  小 1V，在本设计中， $V_{IN}$  为 3.3V，所以  $V_{OUT}$  最大只能输出 2.3V。

#### 【拓展】

由后续章节对 LDO 的介绍可知，输入/输出压差 Dropout 的存在是 LDO 必然具有的特性之一。在 LDO 选型时，该参数是重点考查的对象。在输入/输出低压差的应用中，如本例中的 3.3V 转 2.3V，以及 1.8V 转 1.5V，1.5V 转 1.2V 等，应选取支持低压差的 LDO 器件，如 Micrel 公司的 MIC2915X 及 MIC2930X 系列的 LDO 器件，在最大负载时，这些器件的压



差仅 350mV，Linear 公司的 LT1963A，在最大负载时，压差也仅为 550mV。

在 LDO 选型中，输入电压、输出电压、输出电流等参数往往是设计者重点关注的对象，但在实际应用中，LDO 设计的成败，往往取决于一些微小的细节，如散热、压差、纹波、滤波电容的选择等，这些将在后续章节详细讨论。

### 【案例 4-2】电源芯片欠压保护电路导致上电时序不满足设计的要求

某设计中，要求在 1.8V 上电完成后，1.2V 才能开始导通，且 1.2V\_S 由 1.8V\_S 经 LDO 芯片产生，缓启电路设计如图 4.2 所示。

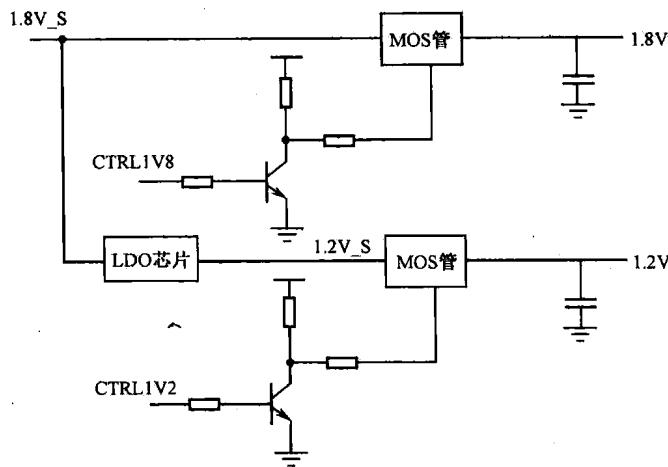


图 4.2 故障缓启电路

CTRL1V8 和 CTRL1V2 由电源监控芯片输出，控制 MOSFET 开始导通的时间。测试发现，在 1.8V 上电完成 2s 后，1.2V 才开始上电，不满足芯片对电源上电时序的要求。

### 【讨论】

通过测量 CTRL1V8 和 CTRL1V2 波形，可确认电源监控芯片的输出是正确的。

在本设计中，LDO 输入端为 1.8V\_S，输出端为 1.2V\_S。LDO 输出端相对输入端的延时极小，量级为微秒。该 LDO 的压差参数 Dropout 为 0.35V，因此只要在 1.8V\_S 的上电过程中，电平略大于 0.35V 后，1.2V\_S 将跟随上电，如图 4.3 所示。

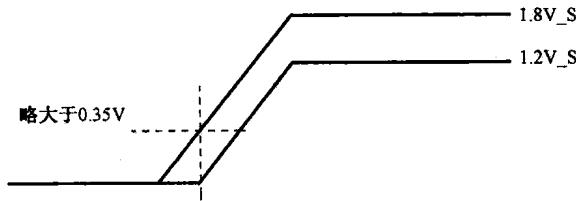


图 4.3 LDO 输入/输出上电波形

因此，2s 的延时不是由 LDO 造成的。

为了满足在 1.8V\_S 上电完成后，1.2V 才能开始导通的要求，设计中利用电源监控芯片，当监测到 1.8V\_S 达到阈值电平后，驱动 CTRL1V8 为高电平以导通 1.8V，延时 50μs 后



驱动 CTRL1V2 为高电平以导通 1.2V。

测量电源的上电波形时发现，1.8V\_S 上电完成后，又被拉回至 0.8V 附近，随后才能爬升并稳定在 1.8V 电平。而在 1.2V 上电的过程中，同样在上电阶段出现了毛刺，如图 4.4 所示。

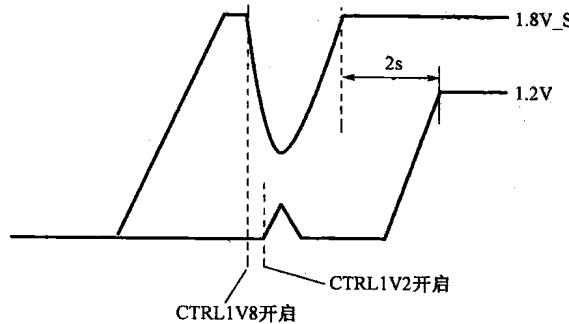


图 4.4 1.8V\_S 和 1.2V 波形

该设计中，1.8V 电源为板上多片大功耗器件供电，电流大，容性高。由于 CTRL1V8 控制 MOS 管迅速导通，造成 1.8V 和 1.8V\_S 被容性负载拉低，待充电完成后才能恢复为 1.8V 电平。

该设计中应用的 LDO 芯片具有欠压关断功能，当 1.8V\_S 被拉低至 0.8V，低于 LDO 的欠压门限，LDO 输出被关断，且需等待一段时间后才能重新开启，而 1.8V 对容性负载充电完成后，即又爬升回 1.8V 电平，造成了 1.8V 和 1.2V 之间的延时。

改版设计中，在两个 MOS 管的栅极上各增加一个电容，减缓 MOS 管导通的速度，以避免 1.8V\_S 被容性负载拉低，从而保证了 1.8V 和 1.2V 的正确时序。

### 【案例 4.3】 多电源模块并联工作时的均压措施

某业务板上 1.8V 电源耗电量高达 35W，采用两个型号相同的 DC/DC 电源模块 A、B 并联供电，电源模块输入端为 12V，由机箱内的电源板通过背板直接供电。测试时发现 A、B 两模块无法同时供电。

#### 【讨论】

A、B 模块并联供电电路图如图 4.5 所示。

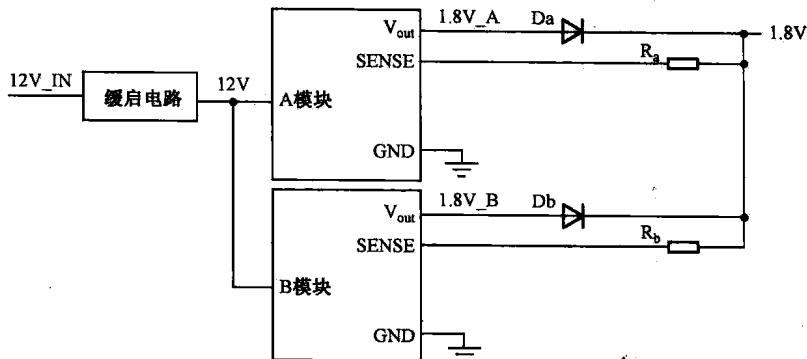


图 4.5 多电源模块并联供电



为防止倒灌，两电源模块的输出端通过二极管后并接在一起，由于电源输出端 $1.8V_A$ 、 $1.8V_B$ 与负载端 $1.8V$ 之间有二极管相隔，因此需使用SENSE功能（将在下文讨论）调整电源模块的输出电压，设计中，取 $R_a=R_b=0\Omega$ 。

当 $R_a=R_b=0\Omega$ 时，电源模块调整输出电压以保证负载端的电压值为 $1.8V$ ，此时电源模块输出端 $1.8V_A$ 、 $1.8V_B$ 的电压略高于 $1.8V$ ，由于器件的差异性， $1.8V_A$ 与 $1.8V_B$ 不可能绝对相等，假设 $1.8V_A$ 高于 $1.8V_B$ ，则通过二极管后， $D_a$ 管输出电压也略高于 $D_b$ 管，因此 $1.8V$ 的电压值取决于 $D_a$ 管的输出电压。电阻 $R_b(0\Omega)$ 将 $D_a$ 管输出电压引回电源模块B的SENSE端，模块B发现负载端的电压已高于自己的设置值，因此关闭输出，导致两个并联模块中，仅有A模块在工作。

可将 $R_a$ 和 $R_b$ 的电阻值增大，例如，取值 $5\sim10\Omega$ ，从而实现两个电源模块对负载端电平的平均分配，以实现真正意义上的并联工作。

### 【拓展】

在多电源模块并联供电的应用中，应尽量选择能支持输出端直接并联（无需外部均流均压）的电源模块。

## 4.2 高速电路设计的电源架构

在高速电路设计中，一块单板往往涉及多种电源，常见的如 $5V$ 、 $3.3V$ 、 $2.5V$ 、 $1.8V$ 、 $1.5V$ 、 $1.2V$ 、 $1.0V$ 、 $0.9V$ 、 $0.75V$ 等，如此多种类的电源不可能都直接通过背板从电源板获得。一般，单板仅有一种或两种输入电源，如 $-48V$ 或 $12V$ ，再由它们产生单板上器件所需要的电源。

就单板如何从 $-48V$ （或 $12V$ 等）生成 $5V$ 、 $3.3V$ 等电源，常见有两种架构：集中式电源架构（CPA）和分布式电源架构（DPA）。

### 4.2.1 集中式电源架构

集中式电源架构（Centralized Power Architecture, CPA）是最原始的电源分配架构，指系统由一个独立电源供电（ $-48V$ 、 $12V$ 或其他），并由这个独立电源直接变换得到单板所需要的各种电源，如图4.6所示。

集中式电源架构的缺陷在于，对单板上的每种电源，都需要采用隔离式DC/DC电源模块，而隔离式电源模块的成本远高于非隔离式电源模块，且每增加一种电源，其成本和PCB面积都需相应增加。在高速电路设计中，一般不推荐采用集中式电源架构的模式。

### 4.2.2 分布式电源架构

分布式电源架构（Distributed Power Architecture, DPA）采用两级电源转换，第一级提供单板输入端电源（如 $-48V$ 或 $12V$ 等）到单板中间电源的转换，这一级需采用隔离式电源模块，第二级则实现由中间电源到板内各个电源的转换，这一级采用非隔离式电源模块。这种架构又称为中间总线架构IBV，如图4.7所示。

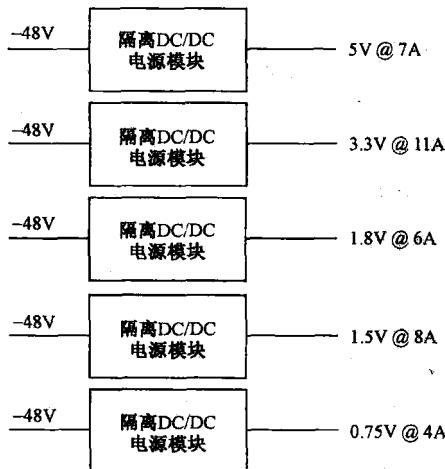


图 4.6 集中式电源架构 (CPA) 示例

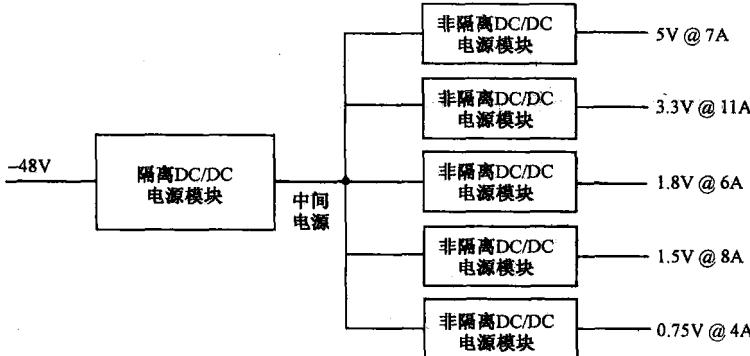


图 4.7 分布式电源架构 (DPA) 示例

中间电源的电压值可选择为 12V、10V 或 9V 等。第一级电源的目的是获得中间电源，同时为单板提供电源隔离保护，因此允许输出较大的纹波和噪声，而第二级电源的目的是输出单板上器件所需要的电源，因此重点是限制输出端的噪声和纹波，同时提高转换效率。相对于集中式电源架构，分布式电源架构只需一个隔离式电源模块，因此能有效地节约成本和 PCB 面积，但由于涉及两级电源转换，而每级转换都不可避免地存在功耗损失，因此功耗相对较大。

在高速电路设计中，推荐采用分布式电源架构。

#### 理解要点：

- ① 集中式电源架构 (CPA) 的优点是一级转换即可获得所需电源，效率较高，而缺点在于成本高、PCB 占用面积大。
- ② 分布式电源架构 (DPA) 的优点是节省成本和 PCB 占用面积，缺点是需两级转换才能获得所需电源，效率略低。
- ③ 推荐采用分布式电源架构。



## 4.3 高速电路电源分类及其应用要点

电源设计是电路设计中较复杂的一部分，常见的电源电路有整流、斩波、变频、逆变



等几种类型。

整流是指将交流电转换为直流电的过程，常见的 AC/DC 电源器件即属于整流类型。

斩波是指将某一电平的直流电转变为另一电平的直流电的过程，是高速电路设计中最常见的类型，后续章节将要详细介绍的 DC/DC 电源电路即属于斩波类型。

变频是指将某一频率下的交流电转换为另一频率交流电的过程。变频设计一般应用于工业用电中，其作用是节能、调速。

逆变是指将直流电转换为交流电的过程，如将 12V 或 24V 的直流电转换为 220V/50Hz 的交流电，一般用于可移动便携式供电。

高速电路设计中，最常见的电源变换类型是直流转直流（即斩波），有两种常用的电源电路可实现该功能：LDO 和 DC/DC，以下将详细介绍这两种电源电路。

### 4.3.1 LDO 电源介绍及其应用要点

#### 1. LDO 结构

如图 4.8 所示，LDO（Low Dropout Regulator，低压差线性稳压器）的核心部件是由一个工作在线性区的调整管（晶体管或 MOSFET，即图 4.8 中的 VT）以及一个放大器构成。

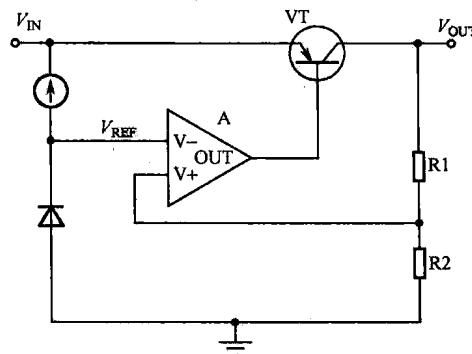


图 4.8 LDO 结构框图

如图 4.8 所示，由  $R_1$  和  $R_2$  构成的分压网络对输出电压  $V_{OUT}$  采样，采样值送往放大器，与内部参考电压  $V_{REF}$  比较，差值经放大器放大后，驱动  $VT$ ，以实现对  $V_{OUT}$  的调整。当  $V_{OUT}$  减小时， $V_{REF}$  与采样值的差值增大，放大器输出电压增大，使调整管的压降减小， $V_{OUT}$  增大，反之亦然，最终都将使  $V_{OUT}$  回到设定值。

对 LDO 而言，通过调整  $R_1$  和  $R_2$  的阻值，可实现对  $V_{OUT}$  电压值的调整。

LDO 的工作原理，从本质上来说是基于反馈的原理。负载的变化、输入电压的变化等因素对  $V_{OUT}$  的影响都会被反馈电路输送回放大器的输入端，并通过放大器的输出，将  $V_{OUT}$  调整回设定值。

#### 2. LDO 特性参数

以下讨论在器件资料上提供的，与器件选型相关的参数。



### 1) 输入电压

基于制造工艺的局限，所有器件的输入电压都有一个范围。不同 LDO 器件的输入电压范围差别很大，例如，SGMC 公司的 SG2002/A 推荐输入电压范围为 2.5~5.5V，而 Micrel 公司的 MIC29302 推荐输入电压范围为 -20~26V，在设计时应根据输入电压的要求进行选型。

### 2) 输出电压

输出电压是 LDO 选型最重要的参数之一。常用的 LDO 有固定输出电压和可调输出电压两种类型，如 Linear 公司的 LT1963A，有不同型号以支持多种输出电压：1.5V、1.8V、2.5V、3.3V，同时 LT1963A 还支持 1.21~20V 的可调电压输出，可根据器件型号的后缀以区分不同的输出电压，如后缀“-1.5”指 1.5V 固定输出电压。

固定输出电压的 LDO，优势是无需外部分压电阻、输出电压精确，缺点是可选的输出电压种类少；可调输出电压的 LDO，优势是输出电压任意可调、应用范围广，缺点是精度受外部电路的影响。

对固定输出电压的 LDO，其精度可从器件资料直接获得，例如，LT1963A—1.5（输出固定电压 1.5V）的输出电压范围为 1.477~1.523V，精度偏差仅为 1.5%。

而对输出电压可调的 LDO，由于需在外部增加分压电阻，因此分析精度时需考虑两个因素：其一是器件资料上提到的  $V_{REF}$  的精度，其二是外加电阻的精度。以 LT1963A—ADJ（输出可调）为例，假如外加电阻 R1 和 R2 的电阻阻值精度均为  $\pm 1\%$ ，则输出电压受 R1、R2 阻值的影响，精度偏差将达到 2%，同时， $V_{REF}$  的范围为 1.174~1.246V，即精度偏差为  $\pm 3.8\%$ ，所以极限情况下，输出精度偏差将超过 5%。

在设计时，从获得高精度输出电压的角度来看，应尽量选择输出电压固定的 LDO。

需说明的是，在某些场合，输出电压可调的 LDO 能体现出很好的设计灵活性。例如，设计要求输出电压 1.5V 时，可选择 LT1963A—1.5 或 LT1963A—ADJ。当 1.5V 耗电器件与 1.5V 电源相距较远时，需考虑在电源传输路径上产生的压降，此时往往要求 1.5V 电源输出电压略高于 1.5V。由于 LT1963A—1.5 的输出电压范围固定为 1.477~1.523V，无法满足可调的要求，而 LT1963A—ADJ 则可灵活地将输出电压调节到略高于 1.5V 的电平。

### 3) 最大输出电流

最大输出电流是决定 LDO 器件成本的重要因素。

与 DC/DC 不同，LDO 输出电流往往较小，如 LT1963A 的最大输出电流为 1.5A。

### 4) 输入/输出电压差

压差 Dropout 是 LDO 选型时的一项重要参数，对该参数的应用，在案例 4-1 中已经详细讨论过。

在器件资料中，Dropout 参数往往是以确定的负载电流为条件而定义的，且负载电流越大，压差越大。例如，LT1963A 的 Dropout 参数为：

0.10V（在  $I_{LOAD} = 1\text{mA}$  的条件下）

0.22V（在  $I_{LOAD} = 100\text{mA}$  的条件下）

0.35V（在  $I_{LOAD} = 500\text{mA}$  的条件下）



0.55V（在  $I_{LOAD} = 1.5A$  的条件下）

其中， $I_{LOAD}$  指负载电流值。

不同器件的 Dropout 参数差别很大，一般而言，当 LDO 内部的调整管由 MOSFET 构成时，能获得较小的输入/输出压差。

### 5) 功耗

LDO 最主要的缺点在于功耗偏大。

对 LDO 而言，输入与输出端之间的压差不可避免，且这种压降在调整管上产生的功耗将被全部转换为热能。以输入电压 3.3V，输出电压 1.5V，工作电流 1A 的应用为例，在 LDO 上产生的功耗将达到 1.8W，其计算公式是：

$$P = (V_{IN} - V_{OUT}) \times I \quad (4.3)$$

该功耗甚至超过了某些输出电流高达 10A 的 DC/DC 电源电路的功耗。因此在 LDO 的应用中，虽然输出电流不大，但不能忽略散热的问题。为提高散热的能力，某些 LDO 器件提供了专用的散热焊盘，该散热焊盘位于器件的腹部，面积较大，以便与 PCB 充分接触，如图 4.9 所示。设计中一般应将散热焊盘连接到单板的信号地 GND 网络，且在散热焊盘上打多个到内层 GND 平面的过孔，以实现将热量散发到 GND 平面的目的。

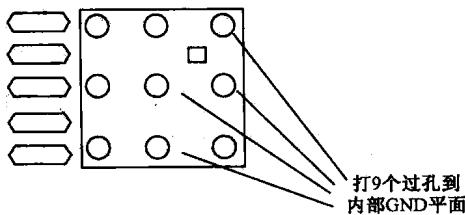


图 4.9 LDO 散热焊盘的应用

某些设计中，设计者仅仅将 LDO 的散热焊盘连接到 PCB 表层的 GND 网络，而没有在焊盘上打过孔，这种做法无法真正达到散热的目的。因为，散热焊盘的作用不是接地，而是增大 LDO 器件与内层大面积铜箔（如 GND 平面）的散热通道，真正发挥散热作用的是内层平面，而不是散热焊盘。

### 6) 线性调整率

线性调整率（Line Regulation）是指，在某负载电流的条件下，当输入电压变化时，对应输出电压的变化量。LDO 器件资料上的线性调整率参数往往是以确定的负载电流以及确定的输入电压变化量为条件的，如 LT1963A—1.5 的线性调整率参数为：

6mV（在  $\Delta V_{IN} = 2.21 \sim 20V$ ,  $I_{LOAD} = 1mA$  的条件下）

线性调整率越小，输入电压的变化对输出的影响越小，则 LDO 的性能越优异。

### 7) 负载调整率

负载调整率（Load Regulation）是指，在某输入电压的条件下，当负载电流变化时，对应输出电压的变化量。负载电流增大，输出电压将减小，负载电流减小，输出电压将增大。LDO 器件资料上的负载调整率参数往往是以确定的输入电压以及确定的负载电流变化量为条件的，如 LT1963A—1.5 的负载调整率参数为：

18mV（在  $V_{IN} = 2.5V$ ,  $\Delta I_{LOAD} = 1mA \sim 1.5A$  的条件下）

负载调整率越小，负载的变化对输出端的影响越小，则 LDO 性能越优异。在负载变化较大的应用中，负载调整率是 LDO 选型的重要参数。



### 8) 接地电流

接地电流 (GND Pin Current) 即静态电流，是指除输出电流以外，在 LDO 器件内部所消耗的电流。

器件资料上的接地电流参数往往是以某确定的负载电流为条件的，负载电流越大，接地电流越大。例如，LT1963A 的接地电流参数的典型值为：

1.0mA (在  $I_{LOAD} = 0\text{mA}$  的条件下)

1.1mA (在  $I_{LOAD} = 1\text{mA}$  的条件下)

3.8mA (在  $I_{LOAD} = 100\text{mA}$  的条件下)

15mA (在  $I_{LOAD} = 500\text{mA}$  的条件下)

80mA (在  $I_{LOAD} = 1.5\text{A}$  的条件下)

LDO 接地电流对器件功耗的计算有一定影响。

### 9) 温度

对于集成电路器件，器件资料上都会提供器件正常工作时的节点温度范围 (Junction Temperature)，如 LT1963AE 的结点温度范围为  $-40^\circ\text{C} \sim 125^\circ\text{C}$ 。

结点温度是器件内部 PN 结的温度，而单板测试时，测试人员只能测得环境温度 (Ambient Temperature)，而无法直接测得器件的结温，那么如何验证环境温度是否满足器件结温的要求？

结点到环境的热阻参数为  $R_{th}(\text{JA})$ ，该参数由器件资料提供，基于热阻参数  $R_{th}(\text{JA})$ 、总功耗  $P_{TOT}$ 、环境温度  $T_A$ ，可计算出器件工作时的结温  $T_J$  为：

$$T_J = T_A + P_{TOT} \times R_{th}(\text{JA}) \quad (4.4)$$

### 【案例 4-4】 计算 LDO 工作时的结温

以 LT1963A 为例，计算其满负荷工作时的结温。

某设计中采用 LT1963A，输出电压 1.8V，输入电压波动范围为 3.15~3.45V，负载电流变化范围为 0~500mA，单板满负荷运行时，环境温度为 50°C，LT1963A 的  $R_{th}(\text{JA})=28^\circ\text{C}/\text{W}$ 。计算该条件下 LT1963A 的结温。

#### 【讨论】

首先计算 LT1963A 的总功耗。

LDO 总功耗  $P_{TOT}$  由动态功耗  $P_D$  和静态功耗  $P_S$  构成，分别计算如下：

$$P_D = I_{max} \times (V_{IN(max)} - V_{OUT}) = 500\text{mA} \times (3.45\text{V} - 1.8\text{V}) = 0.825\text{W} \quad (4.5)$$

$$P_S = I_{GND} \times V_{IN(max)} = 15\text{mA} \times 3.45\text{V} = 0.05\text{W} \quad (4.6)$$

式 (4.6) 中， $I_{GND}$  在负载电流 500mA 时的值为 15mA。

$$P_{TOT} = P_D + P_S = 0.825\text{W} + 0.05\text{W} = 0.875\text{W} \quad (4.7)$$

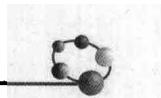
因此，有：

$$T_J = T_A + P_{TOT} \times R_{th}(\text{JA}) = 50^\circ\text{C} + 0.875\text{W} \times 28^\circ\text{C}/\text{W} = 74.5^\circ\text{C} \quad (4.8)$$

计算出的  $T_J$  小于 125°C，因此满足器件的结温要求。

#### 【拓展】

在电源选型和设计中，温度是重要的考虑因素。在选型中，同一型号的器件，往往有



商业级和工业级两种级别可供选择，区别仅在于工作温度范围的不同。

对器件工作温度范围的定义，不同厂家有不同的方法，有的以结温来定义，有的直接以环境温度来定义。因此，在阅读器件资料时，必须分辨清楚资料上提供的温度范围是指结温还是环境温度。

在设计时需注意， $R_{th}(JA)$ 取决于器件封装、散热方式等因素，而散热方式取决于单板的热设计，因此有些厂家在器件资料中并不直接给出  $R_{th}(JA)$ ，而是给出结点到器件外壳的热阻参数  $R_{th}(JC)$ ，而器件外壳到环境的热阻参数  $R_{th}(CA)$ 由散热方式决定，利用这种方式计算得到的器件结温往往更加精确，并有利于散热方式的选择。

### 3. LDO 应用要点

#### 1) $V_{REF}$ 滤波

由 LDO 的工作原理可知， $V_{REF}$ （基准电压）的稳定性与 LDO 输出电源的纹波及噪声密切相关。

为了减小器件面积，某些 LDO 在片内不提供对  $V_{REF}$  引脚的滤波。在这种情况下，设计者需在  $V_{REF}$  引脚附近添加  $10 \mu F$  电容，以保证  $V_{REF}$  的低噪声和低纹波。

#### 2) SENSE (感应) 引脚的处理

SENSE 引脚是 LDO、DC/DC 电源芯片上常见的引脚。

在 PCB 上，当电源输出端与负载端相距较远时，输出电源  $V_{OUT}$  需通过较长距离的 PCB 导线（或 PCB 铜皮）才能加载到负载上，由于负载电流流经导线（或铜皮）时会产生压降，造成负载端得到的电源电压低于设计期望值。

为减小电源线路上压降对负载的影响，可采用调高电源输出端电压的方法，例如，负载要求  $1.8V$  电压，线路压降  $0.1V$ ，则可将电源输出调整为  $1.9V$ 。这种方法的缺陷在于缺乏设计的灵活性，且当 PCB 批次不同时，线路压降会略有差别。

电源芯片的 SENSE 引脚则能很好地解决这个问题，如图 4.10 所示。

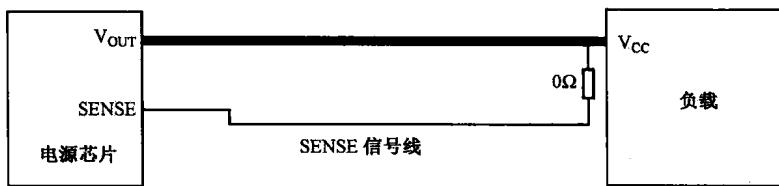


图 4.10 电源芯片 SENSE 引脚的应用

SENSE 在实质上是对负载电压进行测量。在负载的电源输入端附近，通过  $0\Omega$  电阻将负载端的电压信息引回电源芯片 SENSE 引脚，该段导线（称为 SENSE 信号线）按照普通信号线的线宽走线即可，由于 SENSE 信号线不承载大电流，因此压降极小，可忽略，从而使电源芯片的 SENSE 引脚对地电压近似等同于负载电压，电源芯片获取该信息后，可自动调节  $V_{OUT}$ ，直到 SENSE 引脚对地电压接近电源电压的设定值。

在设计中需注意，电源芯片的 SENSE 功能应用不当，反而会起到许多负面作用。



## 【案例 4-5】 SENSE 功能导致电源芯片输出电压不稳定

某设计中，由于电源芯片与负载相距较远，使用了电源芯片的 SENSE 功能以自动调节电源输出电压  $V_{OUT}$  (1.8V)，测试时发现，当发起大量数据传输时，经常出现误码，问题定位为  $V_{OUT}$  不稳定。

### 【讨论】

发起数据传输时，测量  $V_{OUT}$ ，噪声达到 190mV，超过输出电压值的 10%。检查 PCB，在电源输出端、负载电源输入端处， $V_{OUT}$  滤波设计良好，再检查 SENSE 信号线的走线，发现在 SENSE 信号所在层，相邻 20mil 距离内没有高速信号线，但打开相邻层后发现，相邻层有大量高速信号与 SENSE 信号平行走线，且距离很近。发起数据传输后，这些信号线的电平发生高速翻转，对 SENSE 信号造成了严重的干扰。

在改板设计中，增大相邻层信号与 SENSE 信号的间距，问题得到解决。

由以上案例可知，虽然 SENSE 功能可以解决电源压降的问题，但 SENSE 信号线处理不好却可能导致整个单板的不稳定。因此，一般建议，仅对大电流的场合（如电源电流超过 10A）使用 SENSE 功能，在设计时注意避免 SENSE 信号线受到其他信号的干扰；而在电流不大的场合，由于电源通路上压降较小，可尽量少地使用 SENSE 功能，此时，SENSE 引脚处理方式如图 4.11 所示。当不使用 SENSE 功能时，SENSE 引脚应在电源输出端直接与  $V_{OUT}$  相接。



图 4.11 不使用 SENSE 功能时 SENSE 引脚的处理

由于 LDO 输出电流一般不大（小于 5A），应尽量避免使用 SENSE 功能。

### 3) 压降

压降（Dropout）参数一般列在电源器件资料的首页，如 LT1963A，在器件资料的首页，关键特性（Feature）一栏，列出器件的 Dropout 为 340mV，但在设计中，还应留出更多的裕量。

Dropout 参数值与两个因素有关：负载电流、工作温度。负载电流越大，工作温度越高，压降 Dropout 参数值越大。

器件资料首页列出的压降 Dropout 参数值，往往只是在常温下（25°C）器件满负荷运行（对 LT1963A 而言，即负载电流达到最大电流 1.5A）时的典型值，而不是最大值。例如，根据 LT1963A 器件资料，在常温下，器件满负荷运行时，Dropout 的最大值可能达到 450mV，而在 125°C（结温）下，器件满负荷运行时，Dropout 的最大值将达到 550mV。

### 4) 电流降额

随着电源技术的发展，市场上出现了许多支持较大电流的 LDO 芯片。根据前文对 LDO



功耗的讨论，不论 LDO 技术如何更新，其功耗始终等于输入/输出电压差与电流的乘积，电流越大，功耗必然随之增大。

当应用中要求大电流输出，且电源芯片选择 LDO 时，需注意，不仅应满足负载电流小于 LDO 的最大支持电流的要求，还应与热设计工程师仔细讨论，针对设计中特定的情况，如 LDO 附近器件的散热量、风道与风向、LDO 本身如何散热、LDO 器件热阻等，研究在这种大电流场合下，使用 LDO 是否合适。

此处特别指出，高速电路设计中在考虑器件的散热时，不能忽略相邻器件热量的影响。如图 4.12 所示，B、C 器件都不是大功耗器件，但由于 B 器件与大功耗的 A 器件距离较近，而 C 器件又正好处在 A 器件的下风道，因此热设计中，不能忽略对 B、C 器件的散热设计。

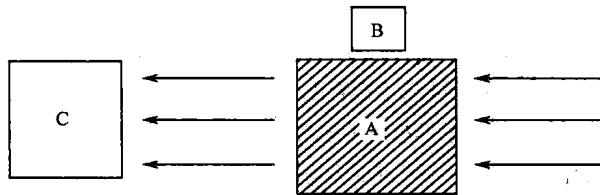


图 4.12 热设计中大功耗器件对附近器件的影响

### 5) 输入电源与输出电源之间的延时

在某些有上电顺序要求的应用中，设计者往往可以利用电源芯片本身的延时来实现上电顺序。例如，某 FPGA 芯片的电源有 3.3V 和 1.8V，且要求 1.8V 晚于 3.3V 上电，在电路设计中，设计者考虑到 1.8V 是由 3.3V 经过 LDO 产生的，因此无需增加上电顺序电路。事实上，根据案例 4-2，在满足压降 Dropout 的要求后，LDO 的输出端将与输入端同时上电，完全可能出现输出电压先于输入电压建立的情况，因此，LDO 本身并不能保证上电顺序。

而对 DC/DC 芯片而言，由于芯片启动需要一定的延时（毫秒级），因此能保证输出相对输入的上电顺序。

### 6) 纹波抑制 (Ripple Reject) 功能

LDO 本身就是抑制纹波的好武器。LDO 器件资料一般提供有纹波抑制曲线图。如图 4.13 所示为摘自 LT1963A 器件资料的纹波抑制曲线图。

如图 4.13 所示，LDO 对低频噪声（一般表现为几百 kHz 之内的纹波）抑制作用较强，而对高频噪声抑制作用较弱。在后续章节对 DC/DC 的讨论中将提到，对 DC/DC 输出电源的纹波抑制处理较复杂，可通过 LDO 与 DC/DC 的输出相结合的方法实现对 DC/DC 输出纹波的抑制。以 5V 转 1.8V 的应用为例，设计中，可利用 DC/DC 电源电路实现 5V 转 2.5V，在 2.5V 的输出端再增加一个 2.5V 转 1.8V 的 LDO，从而一方面利用了 DC/DC 的低功耗特性，另一方面也很好地利用 LDO 实现了纹波抑制，不过这种设计方法成本、功耗相对较高，仅适用于对纹波相当敏感的场合。

### 7) 输出端的电容

在第 2 章对电容的介绍中，已讨论过输出端外加电容的 ESR 对 LDO 工作稳定性的影响。

为保证电源输出端对变化负载的快速响应，同时为获得能满足 LDO 器件要求的输出阻抗值，有以下几种方法。

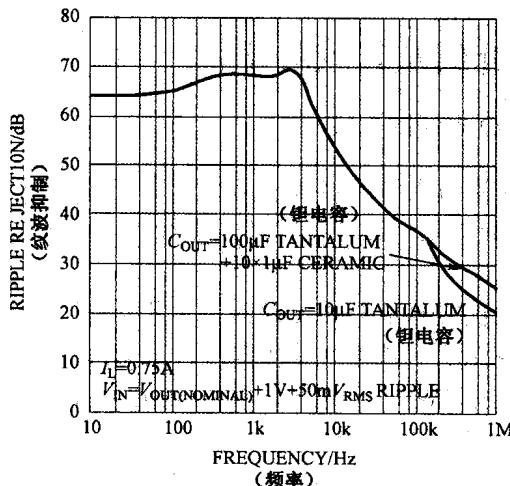


图 4.13 LT1963A 纹波抑制曲线图

(1) 利用 ESR 相对较大的钽电容与 ESR 较小的陶瓷电容并联为 LDO 输出端提供滤波。不建议用铝电解电容代替钽电容，原因在于铝电解电容的 ESR 过大，往往超过了 LDO 对 ESR 的最大值要求。

(2) 仅用 ESR 较小的陶瓷电容为 LDO 输出端提供滤波，而阻抗要求可由 PCB 上铜箔的阻抗满足。PCB 铜箔的阻抗参考值如表 4.1 所示。

表 4.1 PCB 铜皮的阻值<sup>[44]</sup>

	10mΩ	20mΩ	30mΩ
0.5oz Cu Width (宽) Length (高)	0.011° (0.28mm)	0.011° (0.28mm)	0.011° (0.28mm)
	0.102° (2.6mm)	0.204° (5.2mm)	0.307° (7.8mm)
1.0oz Cu Width Length	0.006° (0.15mm)	0.006° (0.15mm)	0.006° (0.15mm)
	0.110° (2.8mm)	0.220° (5.6mm)	0.330° (8.4mm)
2.0oz Cu Width Length	0.006° (0.15mm)	0.006° (0.15mm)	0.006° (0.15mm)
	0.224° (5.7mm)	0.450° (11.4mm)	0.670° (17mm)

### 8) 分压电阻阻值的选择

在案例 4-1 中，分压电阻 R1、R2 用于设置输出电源的电压值。

在 LDO 应用中需注意，分压电阻阻值越小，则电阻功耗越大，而分压电阻阻值太大，又不能满足 LDO 的偏置电流要求，因此需根据器件资料的要求选择正确的分压电阻阻值。

#### 理解要点：

- ① LDO 具有很好的纹波抑制能力，但其调整管工作在线性区，因此效率低、功耗大。散热设计是 LDO 应用中不可忽视的环节，同时应确保在单板长时间工作所处的环境温度下，LDO 的结温不超过最大值。
- ② 分析可调输出 LDO 的精度时，需考虑分压电阻的因素。
- ③ LDO 的输出电压值需满足输入输出电压差 Dropout。
- ④ SENSE 引脚的应用需谨慎，如需启用远程感应功能，SENSE 信号线应远离干扰源。
- ⑤ 对于输出端电容的选择，需考虑电容 ESR 对 LDO 工作的影响。



### 4.3.2 DC/DC 电源介绍及其应用要点

#### 1. DC/DC 电源与 LDO 电源的比较

DC/DC 电源指直流变换为直流的电源，从这个定义看，LDO 也应归属于 DC/DC 电源，但一般只将直流变换到直流，且这种转换是由开关方式而实现的电源称为 DC/DC 电源。

在前文提到，LDO 的优点是低噪声低纹波、应用简单、成本低、输入/输出几乎无延时，而缺点是功耗大、效率低、只能用做降压变换、只支持小电流的输出（受散热条件的限制，LDO 最大功耗不能超过 3W）、无法实现输入/输出的隔离。LDO 的这种特性与其内部的晶体管（或 MOSFET）工作于线性区有关。

DC/DC 则基本克服了 LDO 所具有的缺点，DC/DC 电源的 MOSFET 工作于开关状态，通过控制 MOSFET 导通和截止的时间比率，可实现对输出电压值的配置。

与 LDO 相比，DC/DC 的优点是功耗低、效率高，支持升压、降压、反相等变换，且支持大电流的输出，并能支持输入/输出端的隔离，而缺点是纹波较大、电路设计复杂、成本相对较高、输入输出存在较大延时。

在高速电路设计中，由于器件集成度越来越高、运行速度越来越快，因此对电源提出了更高的要求：支持大电流输出、纹波小、功耗低。相对 LDO，DC/DC 电源无疑是最佳的选择。

#### 2. DC/DC 电源调制方式

DC/DC 电源属于斩波类型，即按照一定的调制方式，不断地导通和关断高速开关（由 MOSFET 构成），通过控制开关通断的占空比例，可以实现直流电源电平的变换。

DC/DC 电源的调制方式有三种：**PWM 方式**、**PFM 方式**、**PWM 与 PFM 的混合方式**。其中，PWM 是最为常见的调制方式。

PWM 指脉冲宽度调制（Pulse Width Modulation），PFM 指脉冲频率调制（Pulse Frequency Modulation）。

PWM 采用恒定的开关频率，通过调节脉冲宽度（占空比）的方法来实现稳定电源电压的输出。在 PWM 调制方式下，开关频率恒定，每隔一段时间（开关周期  $t_{CYCLE}$ ），开关都会有一段时间（ $t_{ON}$ ）处于导通，即不存在长时间被关断的可能性，因此具有以下优点：噪声低、效率高，对负载的变化响应速度快，且支持连续供电的工作模式，但同样基于 PWM 的这种工作方式，使得其在轻负载时效率较差，工作不稳定，因此在轻负载时，设计上需提供假负载。

PFM 则通过调节开关频率以实现稳定的电源电压的输出。与 PWM 的持续工作方式不同，PFM 工作时，在输出电源电压超过设置电压后，其输出将被关断，直至输出电源电压跌落到低于设置电压后，才重新开始工作。基于这种工作方式，PFM 的功耗相对较低，在轻负载时，其效率之高尤为显著，且轻载时无需外部提供假负载，但在 PFM 调制方式下，输出端对负载变化的响应相对较慢，且输出电压的噪声和纹波相对较大，同时，由于无法提供限流功能以致其不适合工作于连续供电方式。

为了充分发挥 PWM 和 PFM 各自的优势，目前市场上某些 DC/DC 电源芯片可工作于



PWM/PFM 混合调制模式，在轻负载时采用 PFM 模式，而在重负载时切换到 PWM 模式，以便降低功耗，提高电源工作效率。当然，目前市场上的主流芯片仍基于 PWM 调制模式。

### 3. DC/DC 电源分类

根据输出电压与输入电压之间的关系，DC/DC 电源可分为降压、升压、反相三种类别。（需注意，LDO 仅支持降压变换。）

以降压为目的 DC/DC 电源电路称为 **BUCK** 电路，以升压为目的的 DC/DC 电源电路称为 **BOOST** 电路，而以反相为目的的 DC/DC 电源电路称为 **BUCK-BOOST** 电路。

以下简要介绍 BUCK 电路和 BOOST 电路。

#### 1) BUCK 电路

BUCK 电路由开关管 Q，续流二极管 D，以及在输出端起储能和滤波作用的器件 L、C 构成。DC/DC 电源芯片输出 PWM 调制波形，控制开关管 Q 的通断，在一个开关周期  $t_{CYCLE}$  内，Q 导通和关断的时间分别定义为  $t_{ON}$  和  $t_{OFF}$ 。

当 Q 导通时， $U_D$  电压为  $V_{IN}$ （开关管 Q 完全导通时，压降可忽略），电流方向为顺时针（见图 4.14 (a) 中①），由输入端电源经开关管、储能滤波器件 L、C 为负载供电，同时为 C 充电，充电时间为  $t_{ON}$ ， $I_L$  逐渐增大，续流二极管 D 反向截止；当 Q 关断时， $U_D$  电压为 0，由于 L 的自感效应，电流方向仍保持为顺时针（见图 4.14 (a) 中②），续流二极管 D 正向导通，电容 C 所储存的能量经 D、L 放电， $I_L$  逐渐减小。

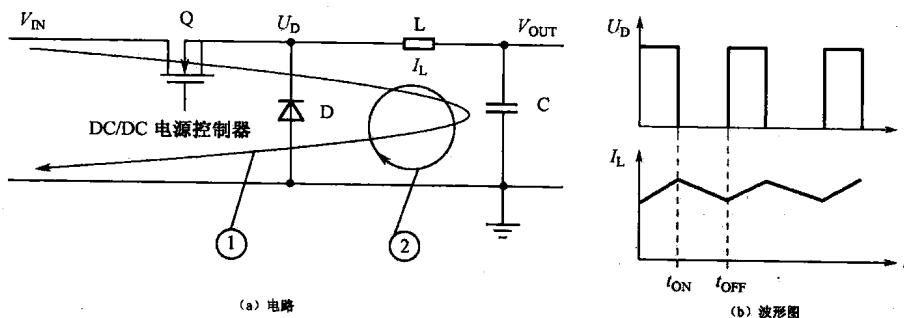


图 4.14 BUCK 电路及波形图

与 LDO 相同，DC/DC 电源电路同样需要将输出端电压  $V_{OUT}$  经分压后反馈回电源芯片内部，根据分压值与内部参考电平的比较结果，控制开关管的通断时间，从而实现对输出电压  $V_{OUT}$  的控制。

二极管 D 称为续流二极管的原因在于，当开关管关断时，由该二极管实现电容 C 的放电回路。

对于 BUCK 电路，占空比参数  $\delta=t_{ON}/t_{CYCLE}$ ，则输出电压  $V_{OUT}$  的计算公式为

$$V_{OUT} = \delta \times V_{IN} \quad (4.9)$$

由式 (4.9) 可知，通过调整占空比参数  $\delta$ ，可获得不同的输出电压  $V_{OUT}$ 。根据  $\delta=t_{ON}/t_{CYCLE}$ ，使  $t_{CYCLE}$  不变，通过改变  $t_{ON}$  以调整  $\delta$  的方法就称为 PWM 调制，而通过改变  $t_{CYCLE}$  以调整  $\delta$  的方法就称为 PFM 调制。

由于  $\delta < 1$ ，因此有  $V_{OUT} < V_{IN}$ ，即 BUCK 电路能获得的输出电压永远小于输入电压。



## 2) BOOST 电路

与 BUCK 电路相同, BOOST 电路也由开关管 Q, 续流二极管 D, 以及 L、C 元件构成。

当 Q 导通时, 电流方向为顺时针, 续流二极管 D 反偏截止, 电流流向如图 4.15 中的①所示, 输入电压  $V_{IN}$  加在 L 两端, 为 L 充电, 充电时间为开关管导通时间  $t_{ON}$ 。当 Q 关断时, 由于 L 的自感效应, 电流方向仍保持为顺时针(见图 4.15 中的②), 续流二极管 D 正向导通, 储存于 L 内的能量经过续流二极管 D 向负载供电。

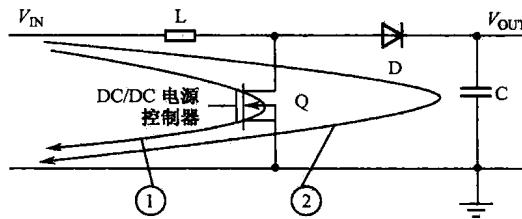


图 4.15 BOOST 电路

在 Q 导通的过程中, 电感 L 的电流变化量为:

$$\Delta I_{L1} = V_{IN}/L \times t_{ON} \quad (4.10)$$

在 Q 关断的过程中, 电感 L 的电流变化量为:

$$\Delta I_{L2} = (V_{OUT}-V_{IN})/L \times t_{OFF} \quad (4.11)$$

在 DC/DC 电源电路启动完成后, 电源电路正常工作时, 应有  $\Delta I_{L1}=\Delta I_{L2}$ , 结合以上二式, 可得到:

$$V_{OUT}=1/(1-\delta) \times V_{IN} \quad (4.12)$$

由于  $\delta < 1$ , 因此有  $V_{OUT} > V_{IN}$ , 即 BOOST 电路能获得的输出电压永远大于输入电压。

### 理解要点:

- ① DC/DC 电源电路的优点是功耗低、效率高, 支持升压、降压、反相等多种变换方式, 且支持大电流的输出, 并能支持输入输出端的隔离, 而缺点是纹波大、电路设计复杂、成本相对较高、在输入和输出端存在较大的延时。
- ② DC/DC 电源有两种调制方式: PWM 和 PFM。PWM 的优点是噪声低、效率高, 对负载的变化响应速度较快, 且支持连续供电的工作模式, 但缺点是轻负载时效率较差、工作不稳定; PFM 的优点是轻载时效率较高, 缺点是输出端对负载变化的响应较慢, 且输出电源的噪声和纹波相对较大, 不适合工作于连续供电方式。PWM/PFM 混合调制模式有利于发挥这两种模式各自的优点。
- ③ 在 BUCK 电路和 BOOST 电路的应用中, 需注意 MOSFET 导通和关断时电流的流向。

## 4. DC/DC 电源电路中 MOSFET 的应用要点

MOSFET 是 DC/DC 电源电路中最关键的器件之一, MOSFET 的正确选型在很大程度上决定了电源电路是否能正常工作。因此, 将这一部分内容从后面的“DC/DC 电源电路的设计要点”小节中提取出来, 专门作为独立的小节, 以起到强调的作用。

MOSFET 和三极管都可作为开关器件, 首先简要地对比这两种器件的特性。

(1) 三极管器件属于双极型流控器件, 为获得大的集电极电流, 相应地需注入大的基极电流, 且三极管的响应速度在很大程度上受到其内部少数载流子(少子)的影响。而



MOSFET 属于单极型压控器件，工作时，在栅极上消耗的电流极小，且其工作原理只涉及多数载流子（多子），不受少子的影响，因此其响应速度和功率效率都远高于三极管。

(2) 在大输出电流的场合，往往需要将多个开关管并联使用。在应用中，由于三极管的导通电阻具有负的温度系数，不利于均流，而 MOSFET 的导通电阻具有正温度系数，当多个 MOSFET 并联使用时，通流较多的 MOSFET 上功耗较大，温度上升，导致其导通电阻相应地增大，而导通电阻的增大，又可促使电流分配到其他导通电阻相对较小的 MOSFET 上，从而自动地实现了均流。因此，MOSFET 比三极管更易于实现并联应用。

由以上比较可以看出，MOSFET 更适合作为 DC/DC 电源电路的开关器件。在电源电路中，常用的 MOSFET 是功率 MOSFET。

以下将进一步讨论在电源电路设计中，功率 MOSFET 的应用要点。在功率 MOSFET 的选型及应用中，需考虑的要点比较多，下文将先简要介绍功率 MOSFET 的分类，然后分别就漏源极间的导通电阻  $R_{DS(ON)}$ 、导通时的栅源极间电压  $V_{GS}$ 、额定导通电流  $I_D$ 、响应速度、MOSFET 栅极充电波形等方面，进行详细的介绍，这五个方面是功率 MOSFET 选型与应用中必须综合考虑的因素，最后，还将简要介绍功率 MOSFET 的并联应用、寄生二极管及降额等方面的内容。

### (1) 功率 MOSFET 的分类。

① 按照导电沟道的不同，功率 MOSFET 可分为 N 沟道和 P 沟道两种。

N 沟道 MOSFET： $V_{GS}$ （栅极与源极之间的电压）大于阈值  $V_{GS(th)}$  后，MOSFET 开始导通，阈值  $V_{GS(th)}$  的电平大于或等于 0V。

P 沟道 MOSFET： $V_{GS}$  小于阈值  $V_{GS(th)}$  后（ $V_{GS}$  的绝对值大于  $V_{GS(th)}$ ），MOSFET 开始导通，阈值  $V_{GS(th)}$  的电平小于或等于 0V。

② 按 MOSFET 导通时的栅极电平，可分为增强型和耗尽型。

增强型 MOSFET： $V_{GS}$  等于 0V 时，MOSFET 处于关断状态。

耗尽型 MOSFET： $V_{GS}$  等于 0V 时，MOSFET 处于导通状态。

在 DC/DC 电源电路中，一般选用增强型 MOSFET 作为开关管，可根据电路设计的需要，对 N 沟道或 P 沟道进行选择。增强型 N 沟道、P 沟道 MOSFET 的原理图符号和转移特性曲线如图 4.16 所示。

(2) 漏源极间的导通电阻  $R_{DS(ON)}$  ——MOSFET 应用的考虑因素之一。DC/DC 电源工作时，功率 MOSFET 的功耗主要消耗在漏源极之间的导通电阻  $R_{DS(ON)}$  上，该参数可从 MOSFET 元件资料上获得，一般为若干毫欧。

在设计中，对于  $R_{DS(ON)}$ ，有如下注意事项：

其一， $N$  个 MOSFET 并联使用时，漏源极之间的等效导通电阻为单个 MOSFET 导通电阻  $R_{DS(ON)}$  的  $1/N$ ，即 MOSFET 并联使用有利于减小 MOSFET 上的功耗。

其二， $R_{DS(ON)}$  具有正的温度系数，不仅利于实现多个 MOSFET 并联使用时的均流，且可有效地保护 MOSFET。三极管的导通电阻拥有负的温度系数，不利于器件内部的均流，局部的温升将造成局部的过热，以致损坏器件；MOSFET 则可基于其正温度系数的导通电阻，有效地抑制局部温升，实现对器件的保护。

一般而言，MOSFET 尺寸越大， $R_{DS(ON)}$  越小。

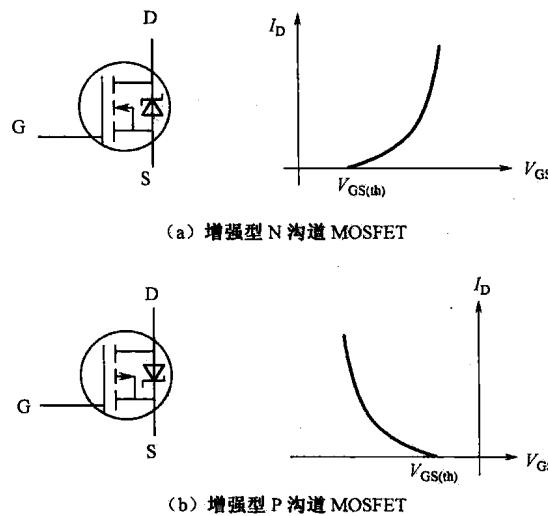
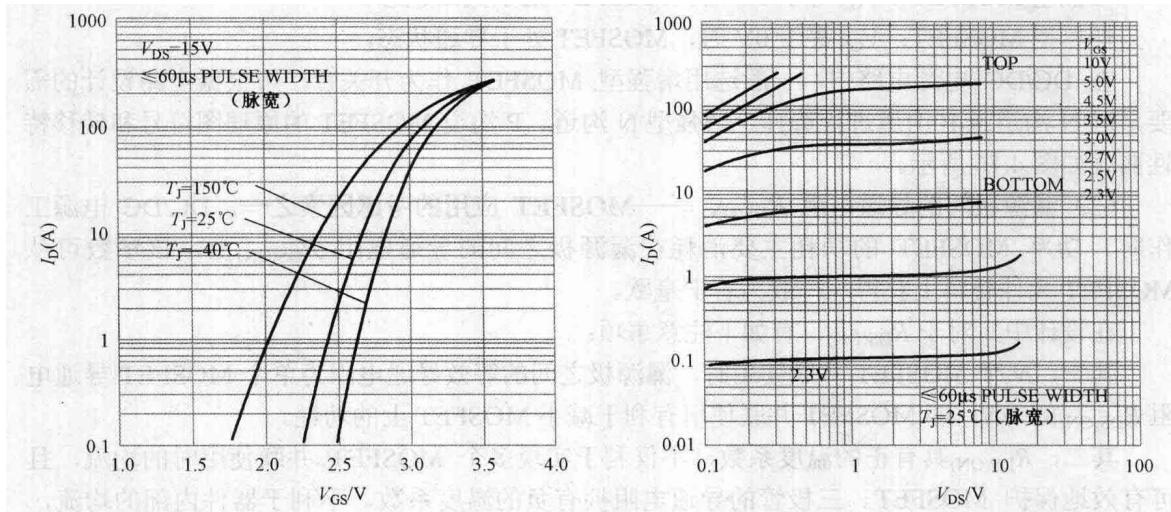


图 4.16 增强型 MOSFET 原理图符号以及转移特性曲线

(3) 导通时的栅源极间电压  $V_{GS}$ —MOSFET 应用的考虑因素之二。对 N 沟道增强型 MOSFET 而言, 仅当栅源极间电压  $V_{GS}$  达到一定电平后, MOSFET 才能开始导通。在 MOSFET 元件资料上提供有导通时的阈值电压  $V_{GS(th)}$ , 应用时需注意, 如果栅源极间电压  $V_{GS}$  只是等于或略大于  $V_{GS(th)}$ , MOSFET 并不能完全导通, 即  $V_{GS(th)}$  只是 MOSFET 开始导通的电压值。

以 IRF 公司的 N 沟道增强型 MOSFET—IRF6727MPbF 为例, 该器件在完全导通时, 支持最大漏极电流  $I_D$  达 100A 以上, 阈值电压  $V_{GS(th)}$  最大值为 2.35V, 如果只按照 2.35V 的栅源极电压设计, MOSFET 却无法正常工作, 如图 4.17 所示。

图 4.17 IRF6727MPbF 转移特性曲线和输出特性曲线<sup>[45]</sup>

以  $T_J = 25^\circ\text{C}$  的曲线为例, MOSFET 在  $V_{GS}=2.35\text{V}$  时开始导通, 此时导通电流 (也称漏极电流)  $I_D$  极小。根据输出特性曲线, 在  $V_{GS}$  达到 3V 以上后, 才能支持 10A 的导通电流, 根据转移特性曲线,  $V_{GS}=3\text{V}$  时 MOSFET 并没有完全导通, 即对 3V 的栅源极电压, 虽然允



许 10A 的通流，但功耗较大，例如，当  $V_{GS}=3V$ ,  $I_D=13A$  时， $V_{DS}$  为 1V，则 MOSFET 功耗达到 13W。因此在设计中，应尽量提供能使 MOSFET 完全导通的栅源极间电压  $V_{GS}$ 。仍以 IRF6727MPbF 为例，4.5V 以上的栅源极间电压才能使其完全导通，完全导通后，可获得较小的  $V_{DS}$ ，以利于减小功耗。例如，当  $V_{GS}=4.5V$ ,  $I_D=15A$  时， $V_{DS}$  为 0.1V，则 MOSFET 功耗仅为 1.5W。根据图 4.17 的转移特性曲线还可知道，MOSFET 的阈值电压  $V_{GS(th)}$  具有负的温度系数，结温每升高 25℃， $V_{GS(th)}$  下降约 5%<sup>[55]</sup>。

(4) 额定导通电流  $I_D$ —MOSFET 应用的考虑因素之三。MOSFET 的导通电阻  $R_{DS(ON)}$  与额定导通电流  $I_D$  成反比，因此在 MOSFET 选型时，除保证电源电路最大工作电流小于额定导通电流外，选择额定导通电流大一些的 MOSFET 器件，还有利于降低功耗。

(5) 响应速度—MOSFET 应用的考虑因素之四。MOSFET 属于单极型器件，能在极短的时间内被关断。但其导通过程则涉及多子的移动，因此 MOSFET 的导通速度与输入电容密切相关。

为导通 MOSFET，首先需对其栅极电容充电，仅当电平超过阈值参数  $V_{GS(th)}$  后，MOSFET 才能开始导通。因此栅极电容的容值，是决定 MOSFET 导通速度的关键因素。

栅极电容是 MOSFET 器件本身寄生的电容，如图 4.18 所示，包括  $C_{iss}$  和  $C_{rss}$ ，分别为栅源极之间的寄生电容和栅漏极之间的寄生电容，相应的，MOSFET 导通时，栅极电流  $I_g$  包括流经  $C_{iss}$  和  $C_{rss}$  的电流  $I_{iss}$ 、 $I_{rss}$ 。<sup>[55]</sup>

### 【案例 4-6】 计算栅极电流

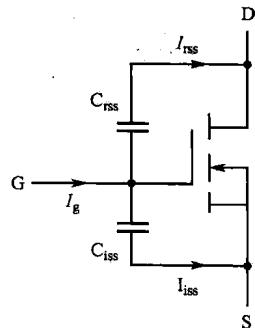


图 4.18 MOSFET 极间电容

某 DC/DC 电源电路输入 15V，输出 3.3V，MOSFET 采用 IRF 公司的 IRF6727MPbF，其  $C_{iss}$ 、 $C_{rss}$  参数可从器件资料中获得，分别为 6190pF、610pF。该 MOSFET 完全导通时栅源极间电压为 4.5V，加上输出电压 3.3V，则要求栅极电压达到 7.8V 以上，本设计中，设置栅极电压为 10V，且要求其在 100ns 内爬升到该电平，则  $I_{iss}$  计算公式为：

$$I_{iss} = C_{iss} \times dV/dt = 6190 \text{ pF} \times 10 \text{ V}/100 \text{ ns} = 619 \text{ mA} \quad (4.13)$$

栅极电压达到 10V，MOSFET 完全导通后，漏源极间电压由 15V 下降到接近 0V 的导通电压，则在电容  $C_{rss}$  两端，靠近漏极处的电压下降了 15V，而靠近栅极处的电压上升了 10V，因此电压变化量达到 25V (15V+10V)<sup>[55]</sup>， $I_{rss}$  计算公式如下：

$$I_{rss} = C_{rss} \times dV/dt = 610 \text{ pF} \times 25 \text{ V}/100 \text{ ns} = 152.5 \text{ mA} \quad (4.14)$$

因此，栅极电流  $I_g$  计算公式如下：

$$I_g = I_{iss} + I_{rss} = 772 \text{ mA} \quad (4.15)$$

总输入电容  $C_{in}$  计算公式为：<sup>[55]</sup>

$$C_{in} = C_{iss} + 25/10 \times C_{rss} = 6190 \text{ pF} + 2.5 \times 610 \text{ pF} = 7715 \text{ pF} \quad (4.16)$$

根据以上计算结果，在 MOSFET 导通的过程中，尽管栅极电流超过了 700mA，但持续时间只有 100ns，远小于开关周期，因此这一部分的功耗仍不足以构成任何问题<sup>[55]</sup>。

### 【拓展】

本案例介绍了如何计算 MOSFET 的栅极输入电容  $C_{in}$ ，而 MOSFET 的响应速度反比于  $C_{in}$  与栅极串联电阻的乘积，为提高响应速度，可选择  $C_{in}$  小的 MOSFET，也可减小栅极串



联电阻的阻值。

在计算栅极电流的过程中，需注意不能直接把  $C_{iss}$  作为栅极电容。本案例中，栅极电容  $C_{in}$  的容值与  $C_{iss}$  的容值差别不大，原因在于本案例中选用的 MOSFET 的  $C_{rss}$  参数仅为  $C_{iss}$  参数的十分之一，若选择 IRF 公司的 IRF7313，其  $C_{iss}=650\text{pF}$ ， $C_{rss}=130\text{pF}$ ，则  $C_{in}=975\text{pF}$ ，与  $C_{iss}$  有较大的差异。

在对 MOSFET 的选型中， $C_{iss}$  和  $C_{rss}$  参数往往不能直接反映栅极电容  $C_{in}$  的容值，此时可利用元件资料上提供的另一个参数—— $Q_g$ （栅极电荷）， $Q_g$  与  $C_{in}$  存在以下关系：

$$Q_g = C_{in} \times V_{GS} \quad (4.17)$$

因此在  $V_{GS}$  一定的条件下， $Q_g$  与  $C_{in}$  成正比，为减小栅极驱动电流，应选择  $Q_g$  参数小的 MOSFET。

另外，在多个 MOSFET 并联时还需注意，并联虽有利于 MOSFET 上功耗的降低，但同时也会增大 MOSFET 的等效寄生电容，从而导致响应速度的降低。

#### (6) MOSFET 栅极充电波形——MOSFET 应用的考虑因素之五。

如图 4.19 所示，MOSFET 栅极充电波形是理解 MOSFET 导通过程的重要工具。

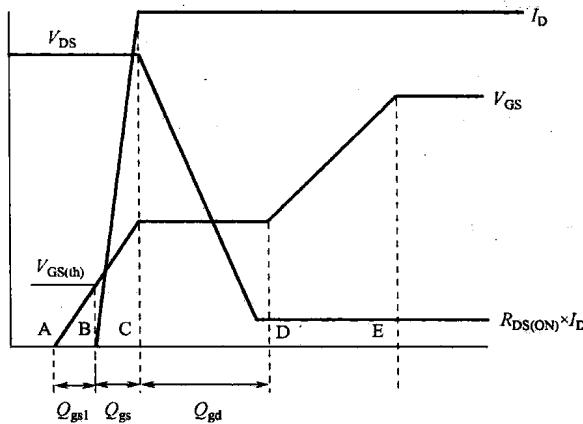


图 4.19 MOSFET 栅极充电波形<sup>[45]</sup>

**A-B 阶段**，栅极驱动电路为  $C_{iss}$  充电，直到栅极电平达到阈值  $V_{GS(th)}$ ，在这个过程中，漏极电流  $I_D$  保持为零，在 B 时刻，栅极电荷值为  $Q_{gs1}$ 。

**B-C 阶段**，栅极驱动电路继续为  $C_{iss}$  充电，栅极电平继续增大，由于 B 时刻 MOSFET 已开始导通， $I_D$  不断增大，但在这个过程中，漏源间电压  $V_{DS}$  仍保持不变，在 C 时刻， $C_{iss}$  充电完成，栅源极间电荷达到元件资料上指定的电荷值  $Q_{gs}$ ，同时， $I_D$  达到最大值。

**C-D 阶段**，漏极电流  $I_D$  和栅极电平  $V_{GS}$  保持不变，而漏源间电压  $V_{DS}$  开始减小，栅极驱动电路开始为  $C_{rss}$  充电，在 D 时刻， $V_{DS}$  下降到最低电压  $R_{DS(ON)} \times I_D$ ， $C_{rss}$  充电完成，栅漏极间电荷达到元件资料上指定的电荷值  $Q_{gd}$ 。

**D-E 阶段**， $I_D$  和  $V_{DS}$  不再发生变化，而栅极电平  $V_{GS}$  继续增大，直到达到栅极驱动电路的电平值。

**(7) MOSFET 的并联使用。**在前面的介绍中已提到，与三极管相比，MOSFET 更适于并联应用，但在具体应用中，需注意以下两点：

**要点一**，MOSFET 引脚的走线对称。



**要点二**，在 PCB 上，对并联的 MOSFET 器件，尽量使用同一个散热片。

这两个措施的目的，是进一步保证并联 MOSFET 器件之间的电流、散热均衡。

(8) MOSFET 的寄生二极管。MOSFET 内部寄生有二极管，该寄生二极管的通流能力并不弱，以 IRF7313 为例，寄生二极管的连续通流能力达到 2.5A，峰值通流能力达到 30A。但在实际应用中需注意，该寄生二极管并不能保证稳定工作，因此如有反向电流的要求，不建议借用该寄生二极管，而应在外部再并联一个反向的快恢复二极管。

(9) MOSFET 的降额使用。设计中应仔细计算和测试，确保满足 MOSFET 元件资料上提供的极限参数：最大漏源电压  $V_{DS}$ 、最大栅源电压  $V_{GS}$ 、连续导通电流  $I_D$  以及峰值导通电流  $I_{DM}$ 、最大功耗  $P_D$ 。

#### 理解要点：

- ① 在 DC/DC 电源电路中，一般选用增强型 MOSFET 作为开关管。
- ② 功率 MOSFET 的功耗主要消耗在漏源极之间的导通电阻  $R_{DS(ON)}$  上，该参数具有正温度系数。
- ③ 栅源极间阈值电压  $V_{GS(th)}$  仅能使 MOSFET 开始导通，在 DC/DC 电源电路中，应使 MOSFET 工作在完全导通的状态，此时所需的栅极驱动能力与 MOSFET 的栅极输入电容  $C_{in}$ 、栅极电荷  $Q_g$  有关。
- ④ MOSFET 应降额使用。

## 5. DC/DC 电源电路的设计要点

### 1) 同步整流技术

由于二极管导通时至少存在 0.3V 的压降，因此续流二极管 D 所消耗的功率构成了 DC/DC 电源电路的主要功耗，严重地限制了电源效率的提高。

DC/DC 电源的同步整流技术是指，以导通电阻  $R_{DS(ON)}$  极小的功率 MOSFET 取代传统 DC/DC 电源电路中的续流二极管。如图 4.20 所示，以 Q2 取代 D 后，普通的 BUCK 电路转换为同步整流 BUCK 电路。由于 MOSFET 属压控器件，其导通时的伏安特性曲线接近线性，这使得其栅极电压的波形与输出电压的波形能保持一定的同步关系，因此这种整流技术称为同步整流技术。

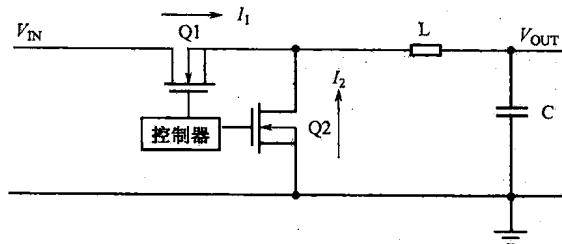


图 4.20 同步整流 BUCK 电路

图 4.20 中，Q1 称为开关管，Q2 称为同步整流管。在电路设计中，可将 Q1 和 Q2 选择为同一型号的 MOSFET，且开关频率相同，但二者的功耗并不完全相同。

开关管的功耗包括导通损耗和栅极驱动损耗：

**导通损耗**来自于 MOSFET 的导通电阻  $R_{DS(ON)}$ ，选择导通电阻小的 MOSFET 有利于降低导通损耗。



**栅极驱动损耗**来自于 MOSFET 导通的过程中，栅极电流对栅极电容充电造成的损耗，选择  $Q_g$  参数小的，或完全导通时所需要的  $V_{GS}$  电压小的 MOSFET 有利于降低栅极驱动损耗。

同步整流管的功耗一般只需考虑导通损耗。在前文对 MOSFET 的介绍中提到，栅极驱动电流的计算在很大程度上取决于栅极电压，由于同步整流管的栅极电压远小于开关管，因此其栅极驱动损耗可忽略。

在 MOSFET 选型中，从功耗的角度考虑，应选择  $R_{DS(ON)}$  和  $Q_g$  参数小的器件，在厂家的 MOSFET 选型表中，经常将这两个参数的乘积作为选型的关键依据。

在应用中还需特别注意，同步整流电路工作时，Q1 和 Q2 不能被同时导通，为保证这一点，DC/DC 电源芯片在对这两个 MOSFET 的通断控制中，在它们的导通时段之间留有一段空当（即 Q1 和 Q2 同时处于关断状态）。同时为保证 DC/DC 电源对负载的连续供电，空当时间段内仍应提供电流  $I_2$  的通路，虽然 MOSFET 内部寄生有体内二极管，如图 4.21 所示，可在空挡时间段内提供该电流通路，但该体内二极管对电流的响应速度很慢，不利于输出电源纹波的抑制，为此，在一些有高精度要求的 DC/DC 电源电路设计中，往往在 Q2 处并联一个有快速响应能力的肖特基二极管。

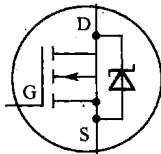


图 4.21 MOSFET  
(寄生有体内二极管)

以一个例子来分析同步整流 BUCK 电路相对传统 BUCK 电路在效率上的优势。假设输入电源电压为 10V，输出电源电压为 1V，则占空比参数  $\delta=0.1$ 。参见图 4.14，对传统的 BUCK 电路而言，假定续流二极管 D 正向压降为 0.4V，且在 90% 的时间里，电流将从续流二极管 D 流过，电感 L 两端电压为 1.6V，其中 1.2V 提供给负载，效率仅为 75%。参见图 4.20，对同步整流 BUCK 电路而言，假定完全导通时，Q2 的压降为 0.1V，且在 90% 的时间里，电流将流经 Q2，电感 L 两端电压为 1.3V，其中 1.2V 提供给负载，效率可达 92%。

在前文提到，为提高 DC/DC 电源电路的效率，希望 MOSFET 的  $R_{DS(ON)}$  和  $Q_g$  参数越小越好，但一般而言，对同一个器件， $R_{DS(ON)}$  和  $Q_g$  参数往往相背离，MOSFET 尺寸越大， $R_{DS(ON)}$  越小， $Q_g$  越大，反之，MOSFET 尺寸越小，则  $R_{DS(ON)}$  越大， $Q_g$  越小。因此，建议将 Q1 和 Q2 选择为不同型号的 MOSFET，以获得最佳的效率。由于开关管的功耗涉及导通损耗和栅极驱动损耗，而同步整流管的功耗仅需考虑导通损耗，因此开关管的选型应重点关注  $Q_g$  小的型号，而同步整流管的选型应重点关注  $R_{DS(ON)}$  小的型号。

以某 DC/DC 电源电路为例，为获得较高的效率，Q1 和 Q2 的选型及参数如下。

Q1：型号为 SI4874，参数  $R_{DS(ON)} = 0.007\Omega$ ,  $Q_g = 25nC$ ;

Q2：型号为 SI4336，参数  $R_{DS(ON)} = 0.0035\Omega$ ,  $Q_g = 50nC$ 。

### 【案例 4.7】 MOSFET 同时导通导致 MOSFET 损坏

某单板在长期运行中发现某些批次会发生故障，故障单板上 3.3V 转 1.8V 的 DC/DC 电源电路 MOSFET 损坏。

#### 【讨论】

在设计中，根据 DC/DC 电源芯片的要求，Q1、Q2 选用不同型号的 MOSFET。如图 4.22 所示，测量故障批次单板上 Q1、Q2 栅极波形，得到如图 4.23 所示的栅极波形图，



发现 Q2 棚极的波形过缓，存在两管同时导通的时间段。当两 MOSFET 同时导通时，在输入端 3.3V 和 GND 之间出现一条低阻抗通路，导致 MOSFET 过流损坏。

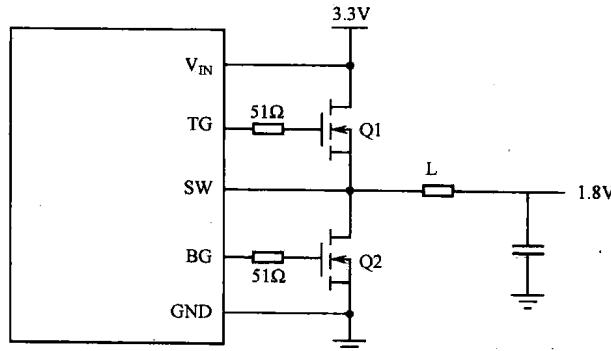


图 4.22 故障单板电源电路图

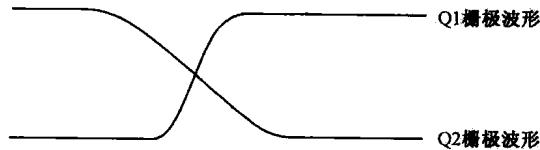


图 4.23 故障单板上 MOSFET 棚极波形

图 4.22 中，在 MOSFET 的栅极串有  $51\Omega$  电阻，Q2 棚极波形过缓应是与此有关，将 Q2 栅极的串联电阻改为  $22\Omega$  后，问题得到基本解决，棚极波形如图 4.24 所示。

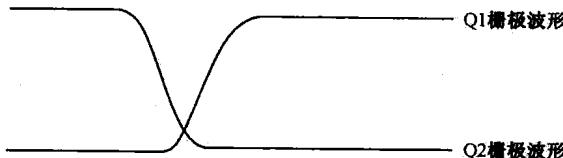


图 4.24 更改串阻后 MOSFET 棚极波形

该设计属于第二版，在第一版设计中，两 MOSFET 的栅极分别通过 PCB 走线与电源芯片的 TG、BG 引脚直接相连，测试棚极波形发现振荡较大，导致输出电源 1.8V 上出现较大的纹波，经调试，在栅极上串联  $51\Omega$  电阻后，得到正常的输出电源 1.8V。

检查所有的故障单板，发现 Q2 属于同一个批次，且该批次不同于正常单板上的 Q2，与 MOSFET 厂家确认，该批次 MOSFET 的等效栅极电容参数略大于其他批次，导致波形过缓，而以前批次的 MOSFET 在工作时，栅极波形虽然同样较缓，但 Q2 与 Q1 同时导通的时间很短，没有出现 MOSFET 损坏的现象，以至于这种潜在的缺陷没有在测试中被发现。

与 DC/DC 电源芯片厂家确认，一般而言，不建议在 MOSFET 的栅极串联电阻，即第一版的电路图在原理上是正确的，出现振荡的原因不在于串阻，而在于电源芯片的 TG、BG 引脚到 MOSFET 栅极的 PCB 走线太长。因此在设计中，应注意缩短这部分走线的长度，从而有效地确保 MOSFET 栅极信号的质量。

### 【拓展】

对同步整流 DC/DC 电源电路，上下两 MOSFET 管的驱动波形是很容易出问题的环



节，因此电源测试时不能忽略对该波形的测量。

根据前文对 MOSFET 的介绍可知，栅极驱动波形与 MOSFET 的输入电容密切相关，某些型号的 MOSFET，在不同批次之间， $C_{iss}$  和  $C_{rss}$  参数的器件差异性很大，这将造成在不同批次的单板之间，出现栅极驱动波形差别较大的情况。因此，在 MOSFET 批次更换，或厂家替换时，需特别注意对 MOSFET 波形的测量。

对于 MOSFET 波形的振荡，一方面与栅极信号走线长度有关，另一方面还需注意是否产生了谐振。受限于制造工艺，MOSFET 内部寄生有电阻、电容、电感等，同时结合 PCB 走线的电感，在 MOSFET 工作时，这些参数可能构成某频率的振荡，当振荡频率与开关频率接近时，将产生谐振，表现为输出电源波形上出现较大的振荡。对此，可通过两个措施予以解决：

**措施一**，通过在栅极串联电阻，降低振荡电路的  $Q$  值（品质因数）。

**措施二**，可通过更改开关频率予以解决。

## 2) 电感值与开关频率对 DC/DC 电源的影响

与 LDO 不同，DC/DC 电源电路设计中，整个电路的尺寸相对较大，以 Linear 公司 LTC3704 推荐电路的布局为例，如图 4.25 所示在整个电路中，核心器件 DC/DC 电源芯片 LTC3704 仅占极小的面积，大量的 PCB 面积被电感（L1、L2）、电容（ $C_{IN}$ 、 $C_{OUT}$  等）、MOSFET（M1）、稳压二极管（D1）等被动元器件占据。

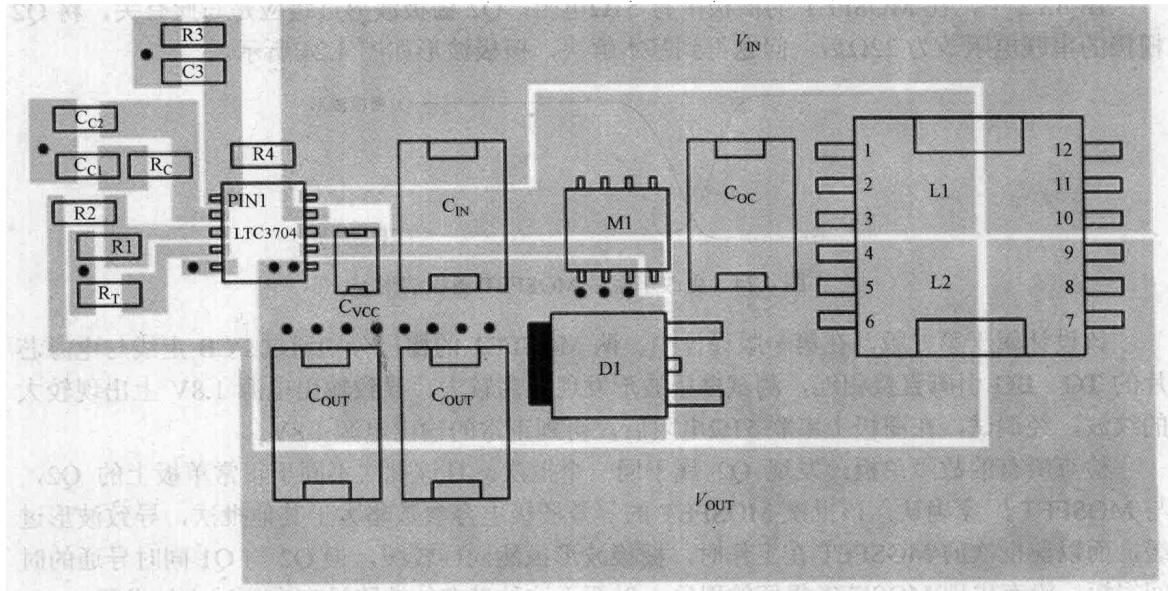


图 4.25 LTC3704 推荐 PCB 布局<sup>[46]</sup>

因此，被动元器件（如电容、电感、MOSFET 等）尺寸的减小对 DC/DC 电源电路有重要的意义，而电感的选型和开关频率的选择，与被动元器件的尺寸密切相关。

电感 L 取值越大则滤波效果越好，对纹波的衰减作用越强，但缺点是占用 PCB 面积较大，同时不能灵敏地实现输出电源电压的反馈，动态效果差。

开关频率是 DC/DC 电源芯片的一项关键参数。开关频率越高，则电感 L 和电容 C 的值可以越小，有利于电路尺寸的减小，电路成本的降低，但由于每开关一次，在 MOSFET 上



都会产生一次栅极驱动损耗，因此开关频率越高，电源电路的功率损耗也越大，同时开关频率的升高，也不利于EMI（电磁干扰）的抑制。常用的DC/DC电源芯片的开关频率一般可调，如Linear公司的DC/DC电源芯片LTC3704，开关频率可在50kHz~1MHz的范围内调节，设计时需综合考虑电路尺寸、功耗、EMI等几方面因素，选择适合的开关频率。

### 3) 功耗

在大功率DC/DC电源电路设计中，需注意功耗对设计的影响，以下用案例说明。

## 【案例4-8】 -48V缓启电路中MOSFET烧坏

某设计中，单板输入端的-48V缓启电路中MOSFET经常被烧坏。

### 【讨论】

该单板-48V输入电流为16A，测试单板工作时峰值电流为22A，且单板处于峰值电流的时间极短。设计选用的MOSFET最大漏极电流 $I_D$ 为40A，从通流能力看，MOSFET选型正确。

在单板工作时，测量MOSFET壳温，达到98℃。查阅MOSFET器件资料，其 $R_{DS(ON)}$ 在常温下的最大值为0.028Ω，根据器件资料上的 $R_{DS(ON)}-T_J$ 曲线可知，结温达到120℃时， $R_{DS(ON)}$ 为常温下的1.6倍，则MOSFET上功耗计算如下：

$$I^2 \times R_{DS(ON)} \times 1.6 = 16^2 \times 0.028 \times 1.6 = 11.5W \quad (4.18)$$

计算出的功耗已远远超过MOSFET器件资料提供的最大功耗参数 $P_D$ 。正是此原因造成MOSFET无法正常工作。

将MOSFET更换为另一款通流能力类似，但 $R_{DS(ON)}$ 参数仅为0.004Ω， $P_D$ 参数为1.9W的MOSFET，问题得到解决。

### 【拓展】

MOSFET损坏的原因包括过热、过流、过大的上电浪涌电流、潮湿等。

针对大电流应用的DC/DC电源电路，在从功耗角度对MOSFET的选型中，需注意综合考查以下一些参数，缺一不可，分别是：最大漏极电流 $I_D$ 、导通电阻 $R_{DS(ON)}$ 、最大允许结温 $T_J$ 以及结点到器件外壳的热阻参数 $R_{th}(JC)$ 、 $R_{DS(ON)}-T_J$ 曲线，以及高结温条件下的 $R_{DS(ON)}$ 值、最大允许功耗 $P_D$ 。

### 4) 纹波和噪声

在高速电路设计中，高端芯片往往对电源的纹波和噪声都有要求，一般要求将纹波限制在电源电压的1%之内，而噪声应限制在电源电压的3%~5%之内。对DC/DC电源而言，虽然相比LDO有更高的效率，但其工作依赖于不断开关的MOSFET，导致纹波和噪声都相对较大。因此，对纹波和噪声的抑制，始终是DC/DC电源电路设计的难题。

首先介绍纹波和噪声的基本概念。

纹波和噪声都是电源的波动，如图4.26所示。

**纹波：**纹波指电源波动中的低频成分，一般处于5MHz之内的频段，产生自MOSFET的开关动作。

**噪声：**噪声指电源波动中的高频成分，一般高于5MHz，成分较为复杂，包含



MOSFET 的开关噪声、随机白噪声、以及周围信号的干扰等。

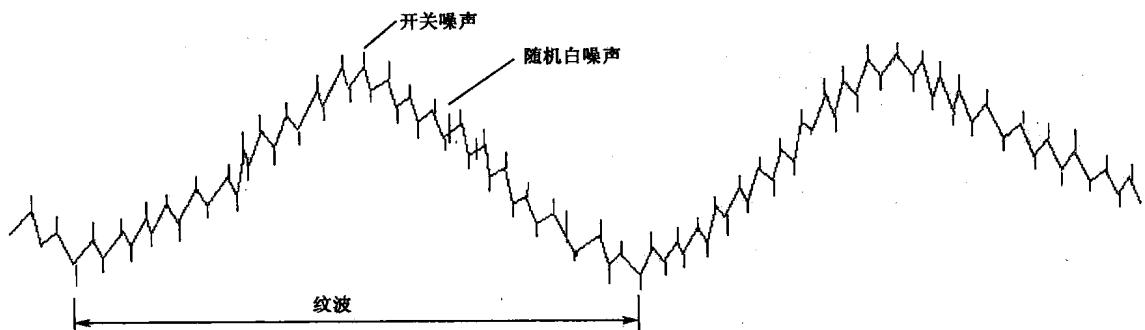


图 4.26 纹波和噪声

使用示波器对纹波的测量方法：限制示波器带宽为 20MHz，将时基设定为每格  $1\ \mu s$ ，修改垂直偏置以将电压波形显示在示波器屏幕的中央，波形的显示采用余辉模式，触发方式设置为边沿触发。

使用示波器对噪声的测量方法：不限制示波器带宽（默认为全带宽），其他方面与纹波测量方法相同。

以下将简要介绍纹波和噪声的抑制方法。

常用的抑制纹波、噪声的方法有两种：吸收式滤波器和反射式滤波器。

**吸收式滤波器**，由磁珠与电容的组合电路构成，其原理可参考第 2 章内容。

**反射式滤波器**，由  $\pi$ 、T 或 L 型 LC 滤波电路构成。其原理是使电源电路形成阻抗失配，使直流的电源信号无衰减地通过，而频率较高的纹波、噪声等干扰被反射回源端。因此对反射式滤波器，应根据源端和负载端的阻抗，选择适合的滤波电路。

针对纹波和噪声，电感 L 体现为高阻抗，而电容 C 体现为低阻抗，根据源端阻抗和负载端阻抗的不同，有以下四种反射式滤波电路可供选择，如图 4.27 所示。

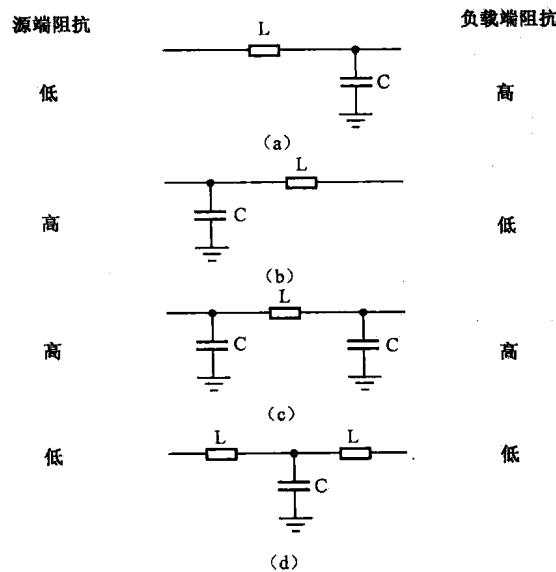


图 4.27 利用阻抗失配原理的反射式滤波器



DC/DC 电源电路中常用的是图 4.27 中的 (a) 和 (c) 所示的滤波电路。LC 电路的滤波原理是反射，干扰仍存在于电路中，因此设计者需注意避免这些干扰对其他电路产生的影响，可采取以下两种措施。

**措施一**，增加滤波电容。如图 4.28 所示为输入 3.3V、输出 1.8V 的 DC/DC 电源电路示意图，为减小输入端电源的干扰对电源电路的影响，需在电源输入端（A 处）放置输入滤波电路，其效果是将 3.3V 上的干扰反射回 3.3V 平面，为避免这部分干扰对其他 3.3V 器件的影响，建议在 B 处放置若干滤波电容。

**措施二**，将磁珠串联在 LC 滤波电路上，利用磁珠吸收电源干扰。如图 4.29 所示，将磁珠 E79 串联在 LC 滤波电路中，既有效地发挥了 LC 滤波电路对干扰的反射作用，又充分地利用了磁珠对纹波和噪声等干扰的吸收功能。

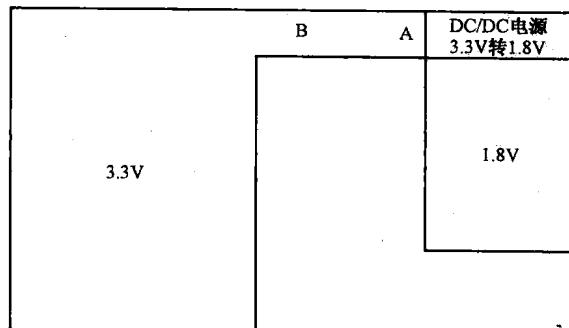


图 4.28 增加电容以避免电源电路干扰对其他电路的影响

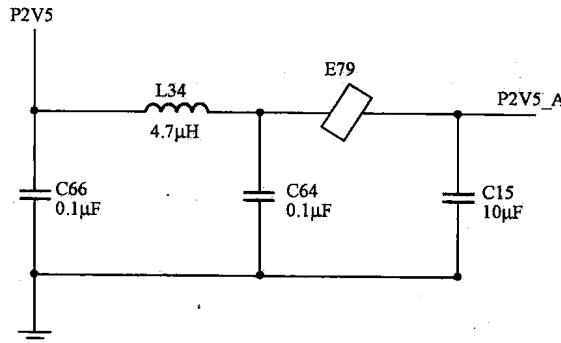


图 4.29 串磁珠以避免电源电路干扰对其他电路的影响

### 5) 上电时需注意的要点

电路设计中，高速芯片往往需要多种工作电源，同时，芯片对这些电源的上电顺序也提出了相应的要求。假如设计中没有满足这些上电顺序的要求，可能导致总线冲突、器件闩锁等故障。

除上电顺序外，某些芯片还对工作电源之间的上电延时有一定的要求。例如，某芯片的工作电源有 2.5V、1.8V、1.2V 三种，出于保护的目的，芯片内部各电源之间通过反偏二极管相连，如图 4.30 所示。

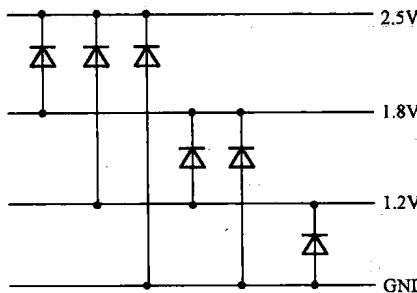


图 4.30 芯片内部各工作电源通过反偏二极管相连

该芯片的上电顺序要求如下： $GND \rightarrow 1.2V \rightarrow 1.8V \rightarrow 2.5V$ ，在满足该要求的条件下，芯片仍可能产生故障。例如，设计中满足  $1.2V$  先于  $1.8V$  上电，则  $1.2V$  上电后，将通过二极管灌入  $1.8V$  平面，如  $1.8V$  延迟  $1.2V$  很长时间后才开始上电，则芯片内部  $1.8V$  和  $1.2V$  平面之间将长时间地存在大电流，可能造成对芯片的损伤。

此外，电源上电的速度对芯片也有很大的影响。上电速度过快，基于公式  $I=C \times dV/dt$  可知，将产生很大的上电电流，芯片受到大电流冲击易损坏；而上电速度过慢，由案例 4-7 可知，两个 MOSFET 同时打开的可能性增大，同样会产生较大的上电电流，使器件损坏，因此电源设计中不能忽略对上电速度的控制。

总之，在电源上电过程中，需注意以下要点：上电顺序、上电延时、上电速度。

首先讨论对上电顺序和上电延时的控制。市场上有许多电源监控芯片可完成该类功能，如 ADI 公司的 ADM1066，能同时完成对 10 路电源的电压监测和上电控制，监控精度可达 1%。

### 【案例 4.9】 基于 ADM1066 对多路电源实现监控

如图 4.31 所示，使用 ADM1066 对 5 路电源实现监控（注：ADM1066 能实现 10 路监控，作为示意，此处只列举了 5 路）。以  $2.5V$  和  $1.8V$  为例，假定芯片要求， $1.8V$  上电完成  $10ms$  后， $2.5V$  开始上电，ADM1066 的输入监测引脚  $VX2$  与  $1.8V$  相连，输出控制引脚  $PDO3$  与  $2.5V$  电源芯片的使能引脚  $EN$  相连，则  $VX2$  检测到  $1.8V$  达到阈值（可在片内通过编程设定）后，计时  $10ms$ ，然后驱动  $PDO3$  引脚为有效电平，控制  $2.5V$  电源的输出。

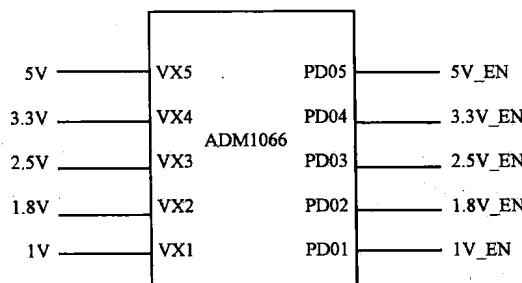


图 4.31 电源监控示意图

接着讨论对电源上电速度的控制。常用的上电速度控制方法有两种：

**方法一，缓启动电路。**

**方法二，利用电源芯片的上电速度控制引脚。**



### 【案例 4-10】 基于 LTC1422 实现上电速度的控制

LTC1422 是 Linear 公司开发的缓启动芯片，基于 LTC1422 设计的上电缓启电路示意图如图 4.32 所示。

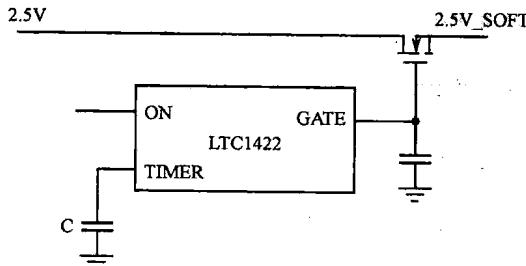


图 4.32 基于 LTC1422 的上电缓启电路示意图

LTC1422 的功能很多，与缓启相关的引脚有以下三个：

- (1) ON 引脚，当 ON 变为高电平 (1.3V 以上) 后，LTC1422 芯片内部计时器开始工作。
- (2) TIMER 引脚，通过 TIMER 引脚上并联的电容 C，可以控制从 ON 变为高电平到 GATE 输出有效的栅极驱动信号之间的延时。在芯片内部，TIMER 引脚由  $2\mu\text{A}$  电流源供电，阈值电平为  $1.232\text{V}$ ，根据公式  $I=C \times dV/dt$  可知，延时量  $t=1.232\text{V} \times C_{\text{TIMER}}/2\mu\text{A}$ ，TIMER 引脚并联的电容越大，延时也越大。
- (3) GATE 引脚，输出栅极驱动信号。其输出电流为  $10\mu\text{A}$ ，因此通过调整 GATE 引脚并联的电容，可以调整栅极驱动信号的边沿速率，驱动信号边沿速率越低，电源上电速度也越慢。

综上所述，利用 TIMER 引脚并联的电容，可以实现上电的延时，而利用 GATE 引脚并联的电容，则可以实现对上电速度的控制。

#### 【拓展】

在缓启动电路的应用中，为避免缓启电源在上电过程中产生的振荡，建议增大缓启动电路输出端的电容容值。

### 【案例 4-11】 基于电源芯片实现上电速度的控制

以 TI 公司的 TPS54310 为例。TPS54310 是 MOSFET 内置的，支持  $3\text{A}$  输出的 DC/DC 电源芯片。本案例重点讨论该芯片的缓启动/使能引脚 SS/ENA。

对于 TPS54310 而言，仅当 SS/ENA 引脚上的电平超过  $1.2\text{V}$  后，电源芯片才开始工作，在芯片内部，有一个  $5\mu\text{A}$  的电流源，通过外部电路，对 SS/ENA 引脚充电，因此利用 SS/ENA 引脚上并联的电容 C，可调整电源芯片的上电延时和速度。

定义上电延时为从 TPS54310 开始工作（器件的主电源  $V_{cc}$  上电完成）到开始输出的延时，该延时  $t_d$  的计算公式为：

$$t_d = C \times 1.2\text{V}/5\mu\text{A} \quad (4.19)$$

当 SS/ENA 引脚电平达到  $1.2\text{V}$  后，电源芯片启动输出， $5\mu\text{A}$  电流源继续对电容 C 充电，在这个过程中，输出电源电压缓慢上升，直到充电完成，SS/ENA 引脚电平达到  $1.9\text{V}$ ，输出电源电压才完全建立，因此，通过调节电容 C 的容值，同样可以配置输出电源的上电



速度，从输出电源开始启动到完全建立的延时  $t_{ss}$  的计算公式为：

$$t_{ss} = C \times (1.9 - 1.2) V / 5 \mu A \quad (4.20)$$

以 SS/ENA 引脚上并联电容 C 的容值为  $1 \mu F$  为例，可以计算出  $t_d = 24ms$ ,  $t_{ss} = 14ms$ 。

以上讨论了如何利用监控芯片或电源芯片自身的功能来实现对上电过程的控制，在电路设计中，有时还可以利用非常简单的 RC 电路实现延时的功能。

### 【案例 4-12】 基于 RC 阻容电路实现延时功能

某设计要求对单板上的 3.3V 提供监测，且要求在 3.3V 上电完成 100ms 后，输出有效的 3.3V\_MON 信号。

前面案例中提到的电源监控芯片可轻松地实现此功能，但缺点是需外加芯片，成本较高。此处建议采用简单的 RC 电路实现该功能，电路图如图 4.33 所示。

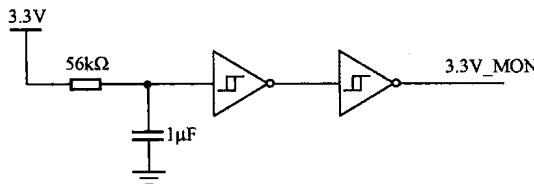


图 4.33 RC 延时电路

电路中使用  $56k\Omega$  电阻和  $1\mu F$  电容构成的 RC 延时电路，延时时间  $t_d$  的计算公式为：

$$t_d = 2.2 \times R \times C = 2.2 \times 56k\Omega \times 1\mu F = 123ms \quad (4.21)$$

带有施密特触发器功能的非门有两个作用：其一是波形整形，其二是加强驱动。

### 【拓展】

在 RC 延时电路的应用中需注意，当设计要求的延迟时间较长时，应考虑为电容 C 提供快速泄放通道，以本设计为例，可在  $1\mu F$  电容的接地端与 3.3V 之间并联肖特基二极管，二极管的正极与电容接地端相接。

以下继续讨论几个与电源上电相关的案例。

### 【案例 4-13】 上电电流过大引起电感啸叫

某业务板的设计采用分布式电源架构，经背板引入由电源板输出的 24V，在业务板上，利用隔离式 DC/DC 电源模块将 24V 转为中间电源 12V，再利用非隔离 DC/DC 电源模块，由中间电源 12V 转出本板所需的各路电源。测试时发现在隔离电源模块的输出端发生啸叫，12V 电源输出电压仅 7.5V。

### 【讨论】

上电时，利用电流探头测量隔离式电源模块输入端 24V 的电流波形，峰值电流达到 10A，而根据器件资料，该电源模块能支持的最大输出电流仅 3.5A，向厂家咨询后，确认啸叫出现在电源模块内部输出端的电感上，该电感的参数是电感值  $10\mu H$ ，额定电流 3A。

由以上信息可基本确认，问题发生时，电感饱和，产生啸叫，并导致输出电压达不到设定值。

进一步与电源厂家确认，得知该电源模块并不包含上电缓启功能，而上电冲击电流过



大，很可能造成电感的饱和。在调试中，将输出端的电容减小，发现尽管输出端的纹波和噪声相对较大，但电感不再啸叫，且输出端电压达到 12V。

改版设计中，在 24V 输入端增加上电缓启动电路，有效地解决了问题。

### 【拓展】

本案例最终采取的办法是在输入端增加缓启动电路，以便减弱上电冲击电流。而在调试中，尝试着将输出端滤波电容的容值减小，也能实现减弱上电冲击电流的作用，假定输出纹波和噪声符合要求，是否可以采用减小输出端电容的方法？

本设计采用的是电源模块，相对 DC/DC 电源电路，由于电源模块已将控制电路、MOSFET、电感等器件包含在内，应用较为简便。

针对电源模块的应用，需注意以下要点：

(1) 输出电容的容量。在电源模块的资料上，提供了外部容性负载参数 (External Load Capacitance) 的最小值和最大值，例如，某电源模块要求外部容性负载的最小值为 1500  $\mu\text{F}$ ，最大值为 5000  $\mu\text{F}$ 。该参数包括以下几项容值：一，电路板上，在电源模块输出端增加的电容容量；二，单板上耗用该电源的芯片的容性。

容性负载有最小值的要求，原因是，为保证输出电源的纹波和噪声满足要求，需在输出端增加一定的电容；容性负载有最大值的要求，原因是，若容性负载过大，可能造成上电时过大的冲击电流。

由于芯片的容性很难估计，因此在设计中，建议输出端引脚增加的电容容量接近该参数的最小值。

(2) 散热。在单板上，与其他器件相比，电源模块的个头相对较高，且对于分布式电源架构，输入端的隔离式电源模块一般布放于 PCB 的边角，由于电源模块是单板上重要的热源，在散热设计中需得到重点关注。一方面，电源模块的高度可能挡住风道，影响其他器件的散热；另一方面，顺着风道，电源模块的热量将流向下方风向的其他器件，可能反而增加其他器件的热量。

(3) 正负逻辑。目前常用的电源模块都有开关引脚，该引脚用于开启或关断电源模块。同一型号的电源模块有正、负逻辑之分，正逻辑是指高电平开启电源模块，而负逻辑是指低电平开启电源模块。设计时，需根据所选电源模块的逻辑状态，提供对应的控制电路。

(4) 尺寸。在电源模块的应用中，模块的尺寸是重要的参数。电源模块的尺寸以“砖”为单位，常见的尺寸有 1/2 砖、1/4 砖、1/8 砖、1/16 砖。需注意的是，1/4 砖电源模块的尺寸并非是 1/2 砖的一半，例如，1/2 砖的尺寸是 2.3 英寸  $\times$  2.4 英寸，1/4 砖的尺寸是 1.45 英寸  $\times$  2.3 英寸，1/8 砖的尺寸是 0.9 英寸  $\times$  2.3 英寸，1/16 砖的尺寸是 0.9 英寸  $\times$  1.3 英寸。因此，在 PCB 布局时，并不能认为两个 1/4 砖的模块紧邻地布放，占用面积就等同于一个 1/2 砖的电源模块，对于其他规格的模块，道理相同。

### 【案例 4.14】 输入电源上电过缓造成输出电源上电波形不单调

某设计中，选用 TI 公司的 TPS54310，输入端由 5V 供电，输出电源 3.3V，测试发现该电源电路 3.3V 输出的上电波形有一个毛刺，如图 4.34 所示。

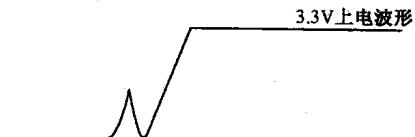


图 4.34 故障单板的 3.3V 上电波形



## 【讨论】

TPS54310 正常工作时，要求输入电源电压处于 3~6V 之间。上电时测量输入电压的波形，由于波形较缓，需要较长时间才能达到电源芯片正常工作的最低电压 3V，在输入电压达到 3V 之前，电源芯片无法正常工作，从而无法实现对输出的控制，但在这段时间内，芯片内的某些电路已开始启动，造成输出端有电压产生。当输入电压达到 3V 后，电源芯片开始正常工作，完全对输出端进行控制，使原先已爬升到一定电平的输出端电源电压产生跌落，然后再在电源芯片的控制下完成上电过程。

输入端上电过缓是这个问题的罪魁祸首，在达到电源芯片正常工作所需的电压之前，电源芯片处于不稳定状态，在设计上需缩短这种不稳定状态的时间。

类似的案例还出现在许多 DC/DC 电源电路上，因此，设计者不仅应对输出电源电压的上电过程进行控制，还需确保输入电源电压的上电过程，既不过快，也不过慢。

## 6. DC/DC 电源电路设计示例

### 1) 设计概述

本小节以 Linear 公司 LTC3704 为例，讨论 DC/DC 电源电路的设计。

LTC3704 是一款支持正向电源电压转换为负向电源电压的 DC/DC 电源芯片，其支持的输入端电源电压范围是 2.5~36V，输出端电源电压可调。

设计要求利用 LTC3704 实现 3.3V→-1.5V 的转换，最大输出电流 1A。

### 2) LTC3704 引脚介绍

VIN：电源输入引脚。

INTVCC：芯片内部 LDO 的输出，该输出为芯片的控制部件和 GATE 引脚供电，由于芯片内部没有为该引脚集成滤波电容，在外部电路上，应就近布放滤波电容。

ITH：芯片内部比较放大器的补偿引脚，用于调整比较门限值。

NFB：反馈输入引脚。

RUN：电源启动引脚，该引脚电平达到 1.248V 后，电源芯片开始启动。

FREQ：开关频率设置引脚。

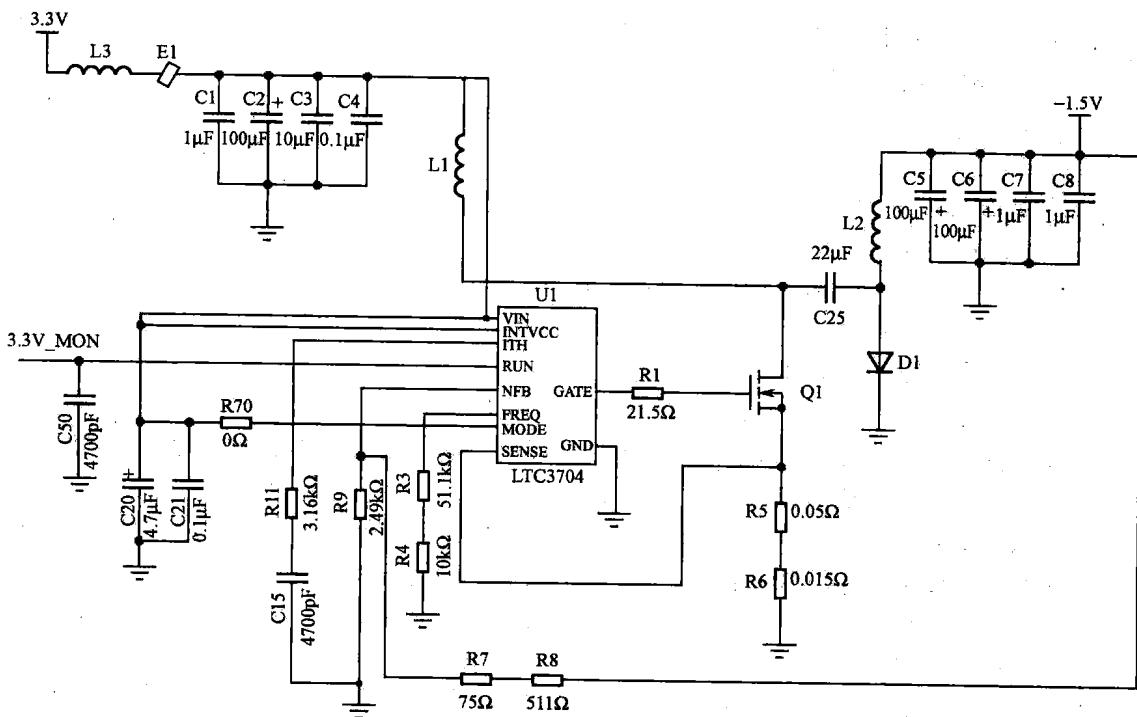
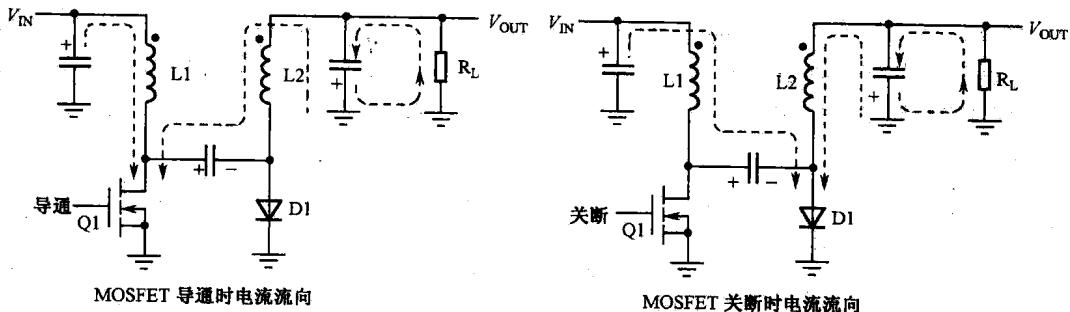
MODE：设置电源芯片的工作模式，该引脚接地时，芯片工作于突发模式，该引脚接 INTVCC 时，芯片工作于连续模式。

SENSE：电流感应引脚。

GATE：栅极驱动输出引脚。

### 3) 电路原理介绍

本设计中，如图 4.35 所示，由 DC/DC 电源电路实现正电源到负电源的转换，分析方法和 BUCK、BOOST 电路类似，通过 LTC3704 控制开关管 Q1 的通断，以形成输出电压。由图 4.36 可知，电源电路工作时，电感 L1 和 L2 上始终有电流流过，MOSFET 导通时，L1 与 L2 电流会合后流经 Q1，MOSFET 关断时，L1 和 L2 电流会合后流经二极管 D1。

图 4.35 基于 LTC3704 的电源电路原理图<sup>[46]</sup>图 4.36 LTC3704 电源电路电流流向<sup>[46]</sup>

电源输入端由 3.3V 供电，输入端的滤波电路由电感（L3）、磁珠（E1）与电容构成，其作用是滤除 3.3V 电源平面上的纹波和噪声，以免对电源电路构成干扰。四个滤波电容中，C4 应最靠近  $V_{IN}$  引脚，其次是 C3 和 C2，C1 应布放在最外边，其作用是滤除由 LTC3704 产生的对 3.3V 电源平面的干扰。当原理图设计和 PCB 设计由不同工程师负责时，在原理图上，建议按照 PCB 布局的顺序绘制对应电路，如本设计中，C1~C4 与 LTC3704 的靠近程度越来越近，则原理图上，C4 应最靠近 LTC3704，而 C1 距离 LTC3704 最远，不建议按照电容容值大小的顺序绘制原理图。对电感和磁珠的选型，需根据 3.3V 电源平面的情况而定，电路设计完成后，可根据测试情况予以调整。

#### 4) 元器件的选型

(1) 输出电压的设置。NFB 引脚用于对输出电压的设置。输出端的分压反馈经 NFB 引脚输入到电源芯片内部，经反向后接到比较器的一端，比较器的另一端接参考电平 1.23V，当



分压反馈的绝对值低于 1.23V 时，电源芯片调整 MOSFET 的占空比，增大输出电压，反之同理，从而使输出电压达到设定值。

基于以上原理，在设计中，应通过分压电阻设置 NFB 引脚的电平为 -1.23V，这可通过 R7、R8、R9 予以实现。

### (2) MOSFET 占空比的计算。

本设计输入电源  $V_{IN}=3.3V$ ，输出电源  $V_{OUT}=-1.5V$ ，占空比  $\delta$  计算如下：

$$\delta = V_{OUT}/(V_{OUT}-V_{IN}) = -1.5V/(-1.5V-3.3V) = 0.32 \quad (4.22)$$

在这一步，还需要验证  $\delta$  是否超过了电源芯片所允许的最大占空比，LTC3704 最大占空比为 0.92，由于  $0.32 < 0.92$ ，本设计符合该项要求。

(3) 选择电源芯片的工作模式。MODE 引脚用于设置芯片的工作模式。LTC3704 支持突发模式和连续模式。突发模式适于负载较轻の場合，而连续模式适于重负载場合，本设计选择连续模式，因此需将 MODE 引脚与 INTVCC 相连。

(4) 工作频率  $f$  的确定。通过 FREQ 引脚与 GND 之间连接电阻的阻值，可对电源芯片的开关频率进行配置。LTC3704 支持 50kHz~1MHz 之间的开关频率，在前文已讨论过如何选择开关频率，本设计中，选择 380kHz 的开关频率，即  $f=380\text{kHz}$ ，根据器件资料，取电阻阻值为  $61\text{k}\Omega$ 。由于  $61\text{k}\Omega$  不是标准的电阻阻值，可由  $10\text{k}\Omega$  和  $51.1\text{k}\Omega$  串联组成。

(5) 电感的选型。基于 LTC3704 的电源电路涉及两个电感，即 L1 和 L2，其中，L1 承载输入电流，而 L2 承载输出电流，在 DC/DC 电源电路中，流过电感的电流是波动的，首先需确定设计所允许的波动范围。

电流波动与电感有关，电感值越大，则电流波动越小。电流波动过小，不利于电流检测环路的建立；电感值越小，则电流波动越大，而电流波动过大，则电路不适合工作于连续模式，LTC3704 器件资料建议，电流波动范围为平均电流的 20%~40%，本设计取电流波动值  $\lambda=40\%$ 。

在确定了电流波动值  $\lambda$  后，可计算流过 L1 和 L2 的峰值电流。由于设计要求输出平均电流  $I_{OUT(AV)}$  为 1A，由占空比  $\delta$  可计算输入平均电流  $I_{IN(AV)}$  如下：

$$I_{IN(AV)} = I_{OUT(AV)} \times [\delta / (1-\delta)] = 1A \times (0.32 / 0.68) = 0.47A \quad (4.23)$$

则流经 L1 和 L2 的峰值电流分别为：

$$I_{L1(Peak)} = (1+\lambda/2) \times I_{IN(AV)}^{[46]} = 1.2 \times 0.47A = 0.56A \quad (4.24)$$

$$I_{L2(Peak)} = (1+\lambda/2) \times I_{OUT(AV)}^{[46]} = 1.2 \times 1A = 1.2A \quad (4.25)$$

在前文已提到，L1 和 L2 电流方向相同，则汇流后的总峰值电流为：

$$\begin{aligned} I_{TOT(Peak)} &= I_{L1(Peak)} + I_{L2(Peak)} \\ &= (1+\lambda/2) \times I_{OUT(AV)} \times [1/(1-\delta)] = 1.76A \end{aligned} \quad (4.26)$$

为减少单板元器件的种类，可将 L1 和 L2 选择为相同型号的电感，由于  $V=L \times dI/dt$ ，则有：

$$L_{L1}=L_{L2}=V \times dt/dI = V_{IN} \times (\delta/f)/\Delta I_{TOT} \quad (4.27)$$

$$\Delta I_{TOT} = \lambda \times I_{OUT(AV)} \times [1/(1-\delta)] = 0.4 \times 1A \times (1/0.68) = 0.59A \quad (4.28)$$

$$L_{L1}=L_{L2}=3.3V \times (0.32/380\text{kHz})/0.59A=4.7\mu\text{H} \quad (4.29)$$

电感的额定电流应大于  $I_{L1(Peak)}$  和  $I_{L2(Peak)}$  二者中较大的一个，即 1.2A。

通过以上计算，电感的感值为  $4.7\mu\text{H}$ ，要求额定电流大于 1.2A，可选择 TDK 公司的 SLF7032T-4R7M1R7-2，其电感值为  $4.7\mu\text{H}$ ，额定电流 1.7A。



(6) 确定电流感应电阻的阻值。LTC3704 支持两种电流感应方法，原理都是利用电阻将流过 MOSFET 的电流转变为电压，并与内部的参考电平比较。方法一是利用 Q1 的导通电阻  $R_{DS(ON)}$ ，此时，LTC3704 的 SENSE 引脚应与 Q1 的漏极相连，在 Q1 的栅极和 GND 之间无需添加电阻；方法二是利用 Q1 的栅极和 GND 之间的电阻，本设计采用方法二。

MOSFET 导通时，流过 Q1 的峰值电流为  $I_{TOT(Peak)}$ ，而 LTC3704 器件资料要求 SENSE 引脚对地电平最大值为 0.15V，则电流感应电阻计算公式为：

$$R_{SENSE} < V_{SENSE(MAX)} / I_{TOT(Peak)}^{[46]} = 0.15V / 1.76A = 85m\Omega \quad (4.30)$$

本设计中，取 R5 取  $0.05\Omega$ ，R6 取  $0.015\Omega$ ，构成  $65m\Omega$  的  $R_{SENSE}$ ，满足要求。

(7) INTVCC 引脚的处理。LTC3704 内部有一个输出 5.2V 的 LDO，该电源将为芯片内部控制逻辑和 GATE 引脚供电。在本设计中，输入电源电压低于 5.2V，因此用不到该内部 LDO，通过将 INTVCC 引脚连接到 VIN 引脚，可将其关闭，内部控制逻辑和 GATE 引脚转由输入电源  $V_{IN}$  供电。

(8) MOSFET 选型。当 INTVCC 与 VIN 引脚相连后，由输入电源 3.3V 驱动 GATE 引脚，即 MOSFET 栅极驱动电平不能超过 3.3V。本设计中，MOSFET 源极与 GND 之间的电阻阻值极小，可近似地认为 MOSFET 源极电平为零，即 MOSFET 栅源极间电压近似地等于 MOSFET 栅极电平，因此，在 MOSFET 选型中，要求 MOSFET 完全导通所需的栅源极间电压不能超过 3.3V，MOSFET 的栅源极间电压可从器件资料上直接得到，选择 FAIRCHILD 公司的 SI4884，当漏极电流小于 1A 时，该 MOSFET 完全导通所需栅源极间电压小于 3V，且该 MOSFET 具有较小的  $Q_g$  和  $R_{DS(ON)}$  值。

(9) 二极管 D1 的选型。当 MOSFET 关断时，L1 和 L2 的电流汇合后将通过 D1 形成回路，因此 D1 的选型与 Q1 同样重要。

为提高电源效率，要求 D1 的正向导通压降和反向泄漏参数都较小。

在本设计中，D1 所需承受的最大导通电流为  $I_{TOT(Peak)}$ ；

最大反向电压为  $V_{IN(AV)} - V_{OUT(AV)} = 4.8V$ 。选择 GENERAL SEMICONDUCTOR 公司的 SS32，其支持的最大导通电流为 3A，最大反向电压为 20V，满足设计的要求。

二极管选型完成后，还需从功耗的角度加以验证。SS32 的正向导通电压为 0.5V，则功耗可由式 4.31 计算：

$$P_D = I_{OUT(AV)} \times V_F = 1A \times 0.5V = 0.5W \quad (4.31)$$

当环境温度为 55°C，可计算出二极管 D1 的结温为：

$$T_J = T_A + P_D \times R_{th}(JA) = 55^\circ C + 0.5W \times 55^\circ C/W = 82.5^\circ C \quad (4.32)$$

式中， $R_{th}(JA)$  参数可由 SS32 器件资料获得，计算结果  $T_J$  小于 SS32 所能承受的最高结温，因此选型满足要求。

(10) ON 引脚的处理。在本设计中，并没有提到 -1.5V 与其他电源的上电顺序关系，可由输入电源 3.3V 的监测信号 3.3V\_MON 直接驱动 ON 引脚。

(11) 耦合电容 C25 的选择。C25 在电路中的作用是直流耦合，实现输入和输出的桥接。

该电容两端应能承受的电压值为  $V_{IN} - V_{OUT} = 4.8V$ ，流经电容的均方根电流可由式 (4.33) 计算：

$$I_{COUPLE(RMS)} = [I_{IN(AV)} \times I_{OUT(AV)}]^{0.5} = 0.68A \quad (4.33)^{[46]}$$

选择 muRata 公司的 GRM32ER61C226KE20，容值  $22\mu F$ ，额定电压为 16V，且具有较



小的 ESR 和较好的通流能力。

(12) 输出电容的选择。输出电容的容值与输出电源的纹波密切相关。

由于输出电源的电流与流经 L2 的电流相等, 且 MOSFET 导通和关断时输出电源的纹波电流相等, 则根据  $V=L \times dI/dt$ , 在 MOSFET 关断时, L2 上的纹波电流可由式 (4.34) 计算:

$$\Delta I_{L2} = dI = V/L \times dt = V_{OUT}/L2 \times [(1-\delta)/f] \quad (4.34) [46]$$

将各参数代入式 (4.34),  $\Delta I_{L2}=0.38A$ 。

为计算输出电源的纹波电压, 需获得输出端的等效电阻。输出端等效电阻由两个部分构成, 其一是输出电容的 ESR, 其二是负载电路的等效电阻  $R_{LOAD}$ 。

由 ESR 产生的纹波电压  $\Delta V_{OUT1}$  计算公式为:

$$\Delta V_{OUT1} = ESR \times \Delta I_{L2} \quad (4.35)$$

由  $R_{LOAD}$  产生的纹波电压  $\Delta V_{OUT2}$  计算公式为:

$$\Delta V_{OUT2} = (1/C) \times \int I_{L2} dt = \Delta I_{L2} \times [1/(8 \times f \times C)] \quad (4.36) [46]$$

因此, 总的输出纹波电压为:

$$\Delta V_{OUT} = \Delta V_{OUT1} + \Delta V_{OUT2} = \Delta I_{L2} \times [ESR + 1/(8 \times f \times C)] \quad (4.37)$$

由式 (4.37) 可知, 输出电容的 ESR 越小, 开关频率、输出电容容值越大, 则输出纹波电压越小, 由式 (4.34) 可知, 电感越大, 纹波电流越小, 同样也能减小输出纹波。

在本设计中, 输出电容选用两颗 AVX 公司的钽电容 TPSE107K016R0100 (C5 和 C6), 其容值为  $100\mu F$ , 精度为 10%, 额定电压为 16V, ESR 为  $100m\Omega$ 。对本设计中的输出电容, 需特别注意的一点是电容的极性, 由于输出电源电压为负,  $V_{OUT}$  应与电容的负极相接, 若极性接反, 钽电容很可能被烧坏。

选型完成后, 计算输出纹波电压为:

$$\begin{aligned} \Delta V_{OUT} &= \Delta I_{L2} \times [ESR + 1/(8 \times f \times C)] \\ &= 0.38A \times [50m\Omega + 1/(8 \times 380kHz \times 200\mu F)] \\ &= 19mV + 0.6mV \\ &= 19.6mV \end{aligned} \quad (4.38)$$

由以上计算过程可知, 由于  $\Delta V_{OUT2}$  极小, 输出纹波电压主要取决于输出电容的 ESR, 且一旦输出电容容值达到一定量值后, 再增加输出电容, 对纹波的抑制效果不大。

### 总结:

通过以上步骤可以看出, DC/DC 电源电路的设计并不简单, 几乎每个元器件的选型都需要经过仔细推敲, 电源芯片资料上往往提供有参考电路, 但其仅起到参考作用, 在具体电源电路设计时, 需要根据输入电压、输出电压、输出电流、输出纹波和噪声的要求、环境温度、占用 PCB 面积、EMC 要求以及成本等进行选型和设计。

### 5) PCB 设计注意事项

在 DC/DC 电源电路的 PCB 设计中, 需注意以下几点:

**要点一, 关键电流通路。**

本设计的关键电流通路有两条, 如图 4.37 所示。

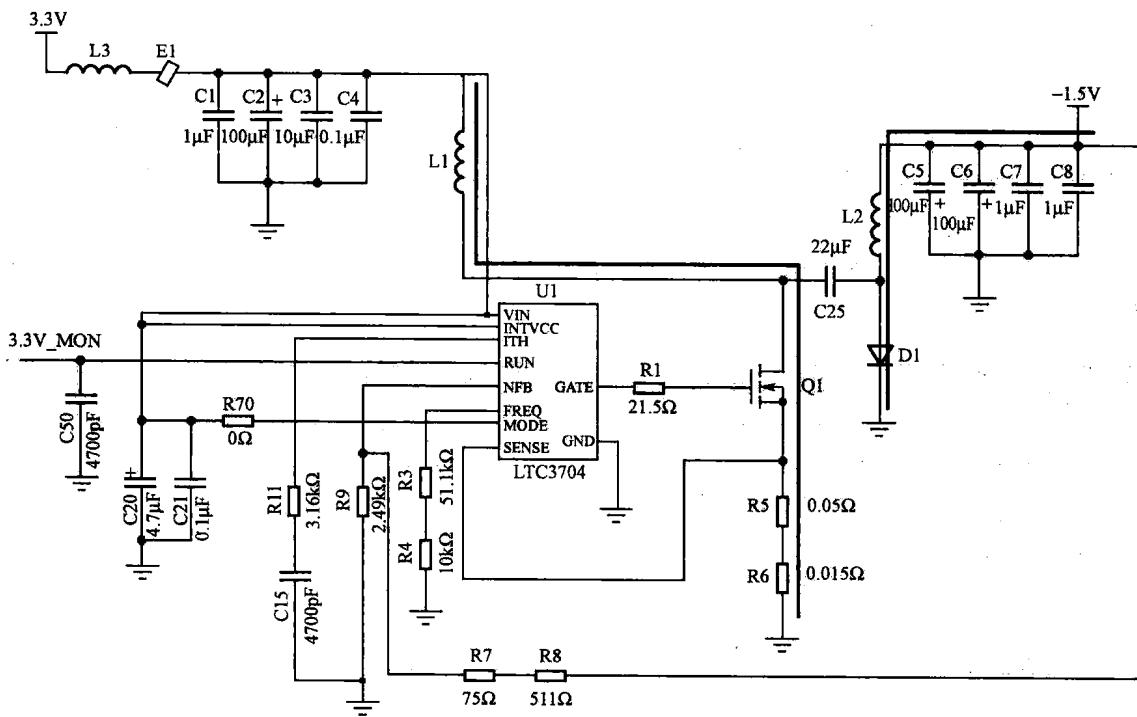


图 4.37 LTC3704 关键电流通路

在 PCB 布线阶段，对这两条关键电流通路需铺电源平面，并尽量远离对干扰敏感的走线。常见的错误发生在 R5 和 R6，某些设计者认为 R5 和 R6 仅是作为电流感应，用普通信号线连接即可，而事实上，R5 和 R6 同时还作为 MOSFET 导通时电流回流路径的一部分，因此必须包括在关键电流路径之内。另一个常见的错误是没有充分考虑 R5 和 R6 的通流能力，R5、R6 将承载较大电流，选型时除考虑阻值外，还需考虑其额定功耗。

另外，对 L1 和 L2 的布局，无需特意将这两个电感布放得很近。

### 要点二，SENSE 路径。

本设计中，LTC3704 的 SENSE 引脚与 MOSFET 的源极相连，PCB 设计时，设计者在为关键电流通路铺平面时，往往不加思考地将 SENSE 路径包括在该平面之内，这是错误的设计方法。SENSE 路径的作用是为 LTC3704 提供电流感应，该路径要求低噪声，而关键电流通路承载着大电流，且电流将随着 MOSFET 的通断而不断波动，是高噪声路径，因此，推荐用普通信号线将 LTC3704 的 SENSE 引脚与 MOSFET 的栅极相连，且该路径应远离干扰源。

### 要点三，栅极驱动路径。

栅极驱动路径指 LTC3704 的 GATE 引脚到 MOSFET 的栅极之间的路径，应尽量缩短该路径的长度，加粗走线，且远离干扰源。

### 要点四，INTVCC 引脚的滤波。

C20 和 C21 应紧密地靠近 INTVCC 引脚，特别是 C20。这两个电容将为快速波动的 GATE 引脚提供电流回路，对电路的正常工作极其重要。这里再次强调原理图工程师与 PCB 工程师协同工作的重要性，根据本设计中原理图的画法，PCB 工程师可能会误以为 C20 和



C21 是为 R70 滤波的电容，而没有就近 INTVCC 引脚放置。

### 6) 测试注意事项

测试时，除了测量输出电源的纹波、噪声外，还需测量 MOSFET 的栅极波形，栅极波形爬升沿太缓或过冲过大都属于异常波形，应通过调整 R1 的阻值或缩短栅极驱动路径予以解决。

同时，在测试中，建议在满负荷条件下测量 Q1 和 D1 的壳温，确保器件的结温符合要求。

#### 理解要点：

- ① 同步整流技术有利于提高电源电路的效率，应用同步整流技术时，需注意避免出现开关管和同步整流管同时导通的现象。
- ② 开关管的功耗包括导通损耗和栅极驱动损耗，同步整流管的功耗一般只考虑导通损耗。开关管的选型应重点关注  $Q_g$  小的型号，而同步整流管的选型应重点关注  $R_{DS(on)}$  小的型号。
- ③ 确定开关频率和电感的感值时，需在成本、占用 PCB 面积、功耗、EMI 等方面综合考虑。
- ④ 注意纹波和噪声的区别及各自的测试方法。
- ⑤ 在电源上电过程中，需注意的要点有：上电顺序、上电延时、上电速度。
- ⑥ 在电源模块的应用中，需注意的要点有：输出电容、散热、正负逻辑、尺寸的选择。

### 4.3.3 电源管理

高速电路设计中，电源种类、电源芯片数目越来越多，电源电压越来越低、电流越来越高，芯片对电源的要求越来越严格，上电顺序的监控越来越复杂，使用传统的手段已不能有效地对全板电源实现监控，如何有效地实现电源管理，是电源电路设计的一项新课题。

Artesyn 公司联合多家电源厂商，开发出一种电源管理总线，即 PMBus，通过 PMBus 总线，可实现软件对单板上各路电源的监控。该总线已形成规范，仅需要两根信号线（时钟和数据信号线）即可将单板上各个支持 PMBus 标准的电源互连，数据传输方式与 I<sup>2</sup>C 总线（将在第 7 章介绍）相同，其基本架构如图 4.38 所示。

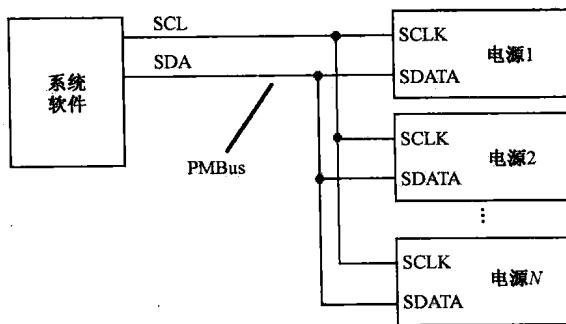


图 4.38 PMBus 架构

### 4.3.4 保险管的选型及应用

在电源电路的设计中，常用保险管（Fuse）实现过流保护。

保险管属于电源保护器件，正常工作时，其在电源电路中只是起到连接作用，基于其



自身极小的电阻，将部分电能转换为热能以实现对电流的监测，只要通过保险管的电流小于额定值，则转换后的热能可以通过辐射或传导的方式散发出去，而当电流超过保险管的额定值后，热能无法全部得到散发，剩余的热能将积累于保险管上，累积一定时间后，保险管被熔断。

在设计中，应重点关注保险管的以下几个参数。

### 1. 额定电流

额定电流 (Rated Current) 是保险管正常工作所能承受的最大电流。在选型时，保险管的额定电流既不能选得过大，也不能过小。保险管的额定电流太大，将无法起到电源保护的作用；额定电流太小，将影响电路的正常工作。在环境温度为 25℃ 时，推荐对保险管的额定电流降额到 75% 使用，在设计中，首先要计算电路满负荷运行时的最大电流  $I_{max}$ ，然后根据降额值，选择保险管的额定电流为  $I_{max}/75\%$ 。需注意，保险管器件资料上提供的额定电流值是基于环境温度为室温 (25℃) 的条件获得的，随着环境温度的升高，额定电流将减小，因此需相应地增大额定电流的降额量，该降额量应根据保险管器件资料上提供的额定电流—环境温度曲线图而定，以某保险管为例，环境温度 25℃ 时，额定电流等于器件资料的定义值，而在环境温度达到 65℃ 时，额定电流仅为器件资料定义值的 80%，若该保险管工作的环境温度为 65℃，则保险管的额定电流应降额到 60% 使用。

### 2. 额定电压

保险管的额定电压是指保险管熔断瞬间所能承受的最大电压，一般要求额定电压不小于电源电压即可，根据 IEC 标准，无需降额，而根据 UL 标准，需降额到 80% 使用。出于成本的考虑，无需对额定电压过度降额。

### 3. 直流电阻

根据保险管器件资料上提供的直流电阻参数  $R$ ，可计算出保险管功耗  $P=I_{max}^2 \times R$ ，如果功耗过大，在设计中需考虑散热问题。

### 4. 压降

保险管器件资料上提供了额定电流条件下的压降值  $\Delta V$ ，若芯片要求电源电压为  $V$ ，则保险管的输入端电压应达到  $V+\Delta V$ 。

### 5. 热能值 $I^2t$

对于保险管而言， $I^2t$  参数的重要性等同于额定电流参数。该参数定义了保险管熔断所需要的热能。

在选型中， $I^2t$  参数的作用有以下几项：

**作用一**，判断电源运行中某些正常的电流脉冲是否可能熔断保险管。

**作用二**，判断电源波动时，非正常电流脉冲是否足以熔断保险管。

根据  $I^2t$  参数的大小，保险管分为快熔断和慢熔断两种。工作电流超过保险管额定电流时快熔断保险管能在几十毫秒之内迅速熔断，一般应用于正常工作时电流较恒定，且对电流脉冲非常敏感的场合，而慢熔断保险管则需等待数秒才能熔断，一般应用于正常工作时经常



出现较大电流脉冲的场合（如感性、容性较大的电源电路）。为提高保险管寿命，建议保险管的  $I^2t$  参数应达到电源正常工作中所可能遇到的最大电流脉冲  $I^2t$  值的 3~5 倍。

需要特别注意的是，在热插拔单板的设计中，若缓启电路后接有大容量电容，则缓启电路前的保险管的  $I^2t$  参数需得到更加充分的降额。

### 【案例 4.15】 热插拔单板的保险管选型

某单板要求支持热插拔，该单板输入电源为 -48V，正常工作时最大电流为 7A，热插拔时，用电流探头可测得一个持续 100μs 的 30A 电流脉冲。

#### 【讨论】

该单板 -48V 电源的保险管选型如下：

**融化热能值  $I^2t$  参数：**热插拔时电流脉冲的  $I^2t$  值为  $0.09\text{A}^2\text{s}$ ，因此推荐保险管的  $I^2t$  参数值至少为  $0.45\text{ A}^2\text{s}$ 。

**额定电流：**该单板正常工作时最大电流为 7A，且最高环境温度可达 65°C，因此对额定电流需降额到 75%，对环境温度需降额到 80%，推荐保险管额定电流最小值为 11.7A。

**额定电压：**该路电源的电压为 -48V，而该产品需通过 UL 认证，因此降额到 80%，推荐保险管额定电压最小值为 60V。

由此可知，应选择  $I^2t$  参数为  $0.45\text{A}^2\text{s}$  以上、额定电流为 11.7A 以上、额定电压在 60V 以上的保险管。

#### 理解要点：

在保险管的选型和应用中，需注意的要点有：额定电流、额定电压、直流电阻、压降、融化热能值  $I^2t$ 。

# 第5章 高速电路中的时序设计

## 5.1 时序设计概述

在高速电路设计中，由于趋肤效应、临近干扰、电流高速变化等因素，设计者不能单纯地从数字电路的角度来审查自己的产品，而要把信号看做不稳定的模拟信号。采用频谱分析仪对高速信号进行分析，可以发现，信号的高端频谱主要来自于信号的变化沿而不是信号的周期频率。例如，一个 1MHz 的信号，虽然时钟周期为  $1\mu s$ ，但如果其变化沿时间为纳秒级，则在频谱仪上可以观察到数百兆赫兹的谱线。因此，高速电路设计者应更加关注的是信号的边沿，因为信号边沿往往也就是信号频谱最高，最容易受到干扰的地方。

在高速电路中，数据的采样基于某特定时钟，即数据信号及其对应的时钟信号应保持某种同步关系，这样的设计称为同步设计。在同步设计中，由于数据的读取都是基于时钟，根据以上分析，为了得到稳定的数据，时钟的采样点应远离数据的变化沿。

图 5.1 所示是利用时钟 CLK 上升沿采样数据 DATA 的示意图。DATA 发生变化后，需要等待至少  $T_{SU}$  时间（建立时间）才能被采样，而采样之后，至少在  $T_H$  时间（保持时间）内，DATA 不能发生变化。可以看出，器件的建立时间和保持时间的要求，正是为了保证时钟的采样点远离数据的变化沿。如果这些要求在接收端得不到满足，则接收端采样到的 DATA 信号的状态将得不到保证。

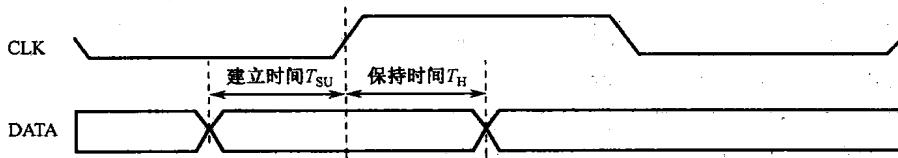


图 5.1 同步设计信号采样示意图

因此，时序设计的目标就是实现对接收端输入数据的可靠采样。

## 5.2 时序参数介绍

为了进行时序分析，需要从器件资料中获取以下关键参数。

- $F$ : 时钟频率。该参数取决于器件工作速率的要求。
- $T_{cycle}$ : 时钟周期，等于时钟频率  $F$  的倒数， $T_{cycle} = 1/F$ 。
- $T_{CO}$ : 输出数据相对时钟的延时。该参数可从发送端器件的资料中获得。前文提到，接收端的输入数据需要利用时钟进行采样，而发送端的输出数据，同样也要



参考时钟。受器件制造工艺的限制，在发出时钟后，数据出现在器件引脚上需要一定的延时，这段延时就称为  $T_{CO}$ ，该参数取决于器件的制造工艺。 $T_{CO}$  参数的定义如图 5.2 所示。

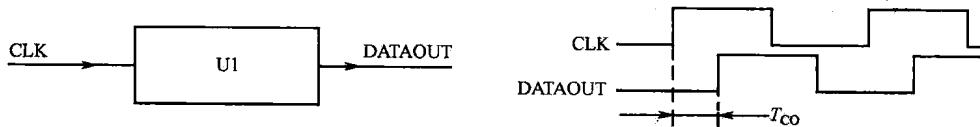


图 5.2  $T_{CO}$  参数定义

- $T_{SU}(\text{min})$ : 接收端对输入信号建立时间的要求。该参数可从接收端器件的资料中获得。
- $T_H(\text{min})$ : 接收端对输入信号保持时间的要求。该参数可从接收端器件的资料中获得。

除以上五个参数外，时序设计中，还涉及以下的中间数据。

- $L$ : 信号走线长度。
- $T_{\text{flight}}$ : 信号在 PCB 上的传输延时。单位长度的走线，在 PCB 上的传输延时取决于该走线位于内层还是外层，外层走线（表层和底层）的单位延时较小，约为 140ps/in（皮秒每英寸），内层走线（中间层）的单位延时较大，约为 180ps/in。根据信号走线长度  $L$  以及单位延时，可计算出  $T_{\text{flight}}$ 。
- $T_{SU}(\text{margin})$ : 输入信号建立时间裕量，该参数与输入信号建立时间  $T_{SU}$  及最小建立时间要求  $T_{SU}(\text{min})$  之间的关系为， $T_{SU}(\text{margin}) = T_{SU} - T_{SU}(\text{min})$ ，为实现接收端对输入信号的可靠采样，要求  $T_{SU}(\text{margin}) > 0$ 。
- $T_H(\text{margin})$ : 输入信号保持时间裕量，该参数与输入信号保持时间  $T_H$  及最小保持时间要求  $T_H(\text{min})$  之间的关系为， $T_H(\text{margin}) = T_H - T_H(\text{min})$ ，为实现接收端对输入信号的可靠采样，要求  $T_H(\text{margin}) > 0$ 。

以上参数均是时序设计的关键参数，对于普通的时序分析已经足够。但是对于一些特殊的应用，例如，DDR SDRAM，其采用双边沿数据采样，因此采样频率比单边沿采样高一倍，需注意的是，此时的采样周期不能简单地采用时钟周期的一半，即  $T_{\text{cycle}} / 2$  来计算，而是要从器件资料中提取时钟占空比参数（Duty Cycle）。占空比指信号处于高电平和低电平的时间的比值。例如，如图 5.3 所示，器件资料上定义某信号的占空比为 45/55，频率为 100MHz，则在一个周期中，该信号处于高电平和低电平的时间分别为 4.5ns 和 5.5ns，采样周期应取这两个时间的最小值，即  $T_{\text{cycle}} \times 0.45 = 4.5\text{ns}$ 。

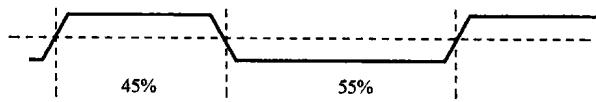


图 5.3 45/55 占空比的信号

在 5.1 节提到，时序设计的目标就是实现对接收端输入数据的可靠采样。而可靠采样就是要满足以下两个不等式：



$$T_{SU}(\text{margin}) > 0 \quad (5.1)$$

$$T_H(\text{margin}) > 0 \quad (5.2)$$

本章的后续内容将围绕如何满足以上两个不等式而展开。

#### 理解要点：

时序分析的关键参数有  $F$ 、 $T_{\text{cycle}}$ 、 $T_{CO}$ 、 $T_{SU}(\text{min})$ 、 $T_H(\text{min})$ 。前两个参数的取值依赖于设计的要求，后三个参数可从器件资料上获得，与具体设计无关。

## 5.3 源同步系统时序设计

### 5.3.1 源同步系统时序设计原理

#### 1. 源同步系统时序设计分析

源同步指数据和时钟由同一个器件驱动发出的情况，如图 5.4 所示为常见的源同步系统拓扑结构。

该同步系统的特点是，时钟和数据均由发送端器件发出，在接收端，利用接收到的时钟信号 CLK 采样输入数据信号 DATA。以下将按步骤分析如何满足该同步系统的时序要求。

#### 1) 发送端的时序

在发送端，DATA 基于 CLK 的上升沿发出（对于双边沿采样的情况，则是基于 CLK 的上升沿和下降沿），DATA 的边沿相对 CLK 上升沿的延时为  $T_{CO}$ 。因此在发送端器件的引脚上，可测得 CLK 和 DATA 的时序图如图 5.5 所示。

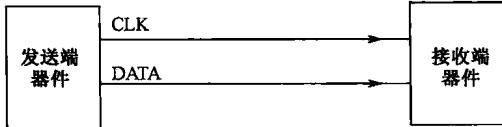


图 5.4 源同步系统拓扑图

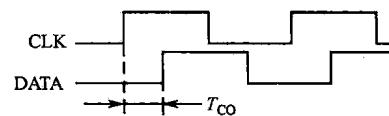


图 5.5 发送端时序图

器件资料往往同时提供  $T_{CO}$  参数的最小值  $T_{CO}(\text{min})$  和最大值  $T_{CO}(\text{max})$ ，后面会提到，在建立时间和保持时间的计算中，分别需要用到这两个参数。

#### 2) 传输路径上的延时

在从发送端到接收端传输路径的走线上，需要经历传输延时，CLK 和 DATA 各自对应的传输延时为  $T_{\text{flight-clk}}$  和  $T_{\text{flight-data}}$ 。

#### 3) 接收端的时序分析

5.2 节已经讨论过，在接收端，输入信号的建立时间和保持时间需得到满足。

假定在发送端的某个时刻，数据线上发出的信号是 DATA1，驱动该数据输出的时钟沿为 CLK1，由于  $T_{CO}$  延时的存在，若 CLK 和 DATA 信号的走线等长，即  $T_{\text{flight-clk}}=T_{\text{flight-data}}$ ，



则在接收端, CLK1 并不能作为 DATA1 的采样参考沿。为了实现接收端时钟对数据的可靠采样, 应调整 CLK 和 DATA 的走线长度, 有两种方法可供利用: 其一是使  $T_{\text{flight-data}} > T_{\text{flight-clk}}$ , 即 DATA 信号相对 CLK 信号延时, 对 DATA1 而言, 在接收端, 其采样参考沿为 CLK2 (CLK2 比 CLK1 延迟一个周期); 其二是使  $T_{\text{flight-data}} < T_{\text{flight-clk}}$ , 即 CLK 信号相对 DATA 信号进行延时, 对 DATA1 而言, 在接收端, 其采样参考沿仍然为 CLK1。如图 5.6 所示为第一种方法的图示。

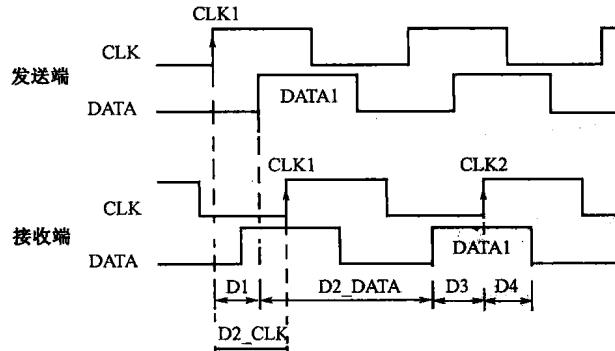


图 5.6 源同步系统发送端与接收端 CLK-DATA 时序关系

时序参数 D1、D2\_DATA、D2\_CLK、D3、D4 的含义如下。

D1:  $T_{\text{CO}}$ , 发送端器件输出数据相对时钟的延时。

D2\_DATA: DATA 信号的走线延时。

D2\_CLK: CLK 信号的走线延时。

D3:  $T_{\text{SU}}$ , 在接收端, DATA 信号的建立时间。

D4:  $T_{\text{H}}$ , 在接收端, DATA 信号的保持时间。

由于 DATA 信号的走线长度大于 CLK 信号, 即  $T_{\text{flight-data}} > T_{\text{flight-clk}}$ , 则有:

$$\text{D2\_DATA} - \text{D2\_CLK} = T_{\text{flight-data}} - T_{\text{flight-clk}}$$

由图 5.6 可得

$$\text{D1} + \text{D2\_DATA} + \text{D3} - \text{D2\_CLK} = T_{\text{cycle}} \quad (5.3)$$

式 (5.3) 是源同步系统时序计算的基础公式。

## 2. 抖动和串扰对时序分析的影响

时序计算中还需考虑时钟抖动和数据间串扰对时序分析的影响。

### 1) 时钟抖动对时序分析的影响

第 6 章将对抖动进行详细的介绍, 在本小节, 只需要先对时钟抖动做一个初步的了解即可。抖动指信号的各个有效边沿相对于其理想位置的偏离。时钟抖动对时序计算的影响如图 5.7 所示。

图 5.7 中, 由于时钟抖动 C\_JIT 的存在, 数据信号 DATA 的建立时间  $T_{\text{SU}}$  和保持时间  $T_{\text{H}}$  都受到了影响, 因此, C\_JIT 参数应从时序裕量中减去。



## 2) 数据串扰对时序分析的影响

串扰将在第8章介绍，串扰是指走线相邻的数据信号之间的相互干扰。串扰可能导致数据信号的边沿发生抖动，从而对时序造成影响。

图5.8中，由于数据串扰的存在，数据信号的有效边沿相对其理想边沿发生的偏移由D\_CTLK定义，该参数将影响数据信号DATA的有效建立时间T<sub>SU</sub>和有效保持时间T<sub>H</sub>，因此，D\_CTLK参数也应从时序裕量中减去。

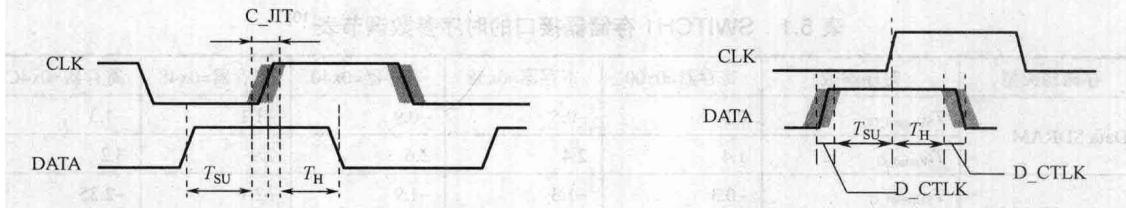


图 5.7 时钟抖动对时序计算的影响

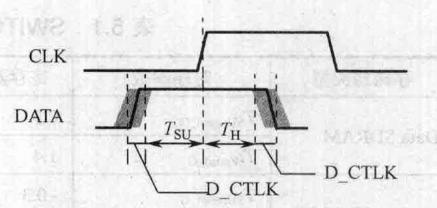


图 5.8 数据串扰对时序计算的影响

综合上述，结合式(5.3)，可以得出以下两式：

$$T_{CO(max)} + (T_{flight-data} - T_{flight-clk}) + T_{SU(min)} + T_{SU(margin)} + C_{JIT} + D_{CTLK} = T_{cycle} \quad (5.4)$$

$$T_{CO(min)} + (T_{flight-data} - T_{flight-clk}) - C_{JIT} - D_{CTLK} = T_{H(min)} + T_{H(margin)} \quad (5.5)$$

为满足式(5.1)和式(5.2)，则有：

$$T_{CO(max)} + (T_{flight-data} - T_{flight-clk})_{max} + T_{SU(min)} + C_{JIT} + D_{CTLK} < T_{cycle} \quad (5.6)$$

$$T_{CO(min)} + (T_{flight-data} - T_{flight-clk})_{min} - C_{JIT} - D_{CTLK} > T_{H(min)} \quad (5.7)$$

式(5.6)和式(5.7)即为源同步系统时序计算的公式。

## 5.3.2 源同步系统时序设计范例一

### 1. 时序参数

本小节以某款以太网交换芯片SWITCH1为例，介绍其SDRAM接口的时序分析方法。

SWITCH1是一款八口的百兆以太网交换芯片，支持各端口之间数据包的线速（无阻塞）交换。SWITCH1需外接两种存储器：控制存储器（Control SDRAM）和数据存储器（Data SDRAM），分别为控制流和数据流提供缓存，这两种外部缓存都采用SDRAM作为存储器<sup>[9]</sup>。

本设计的存储接口框图如图5.9所示。

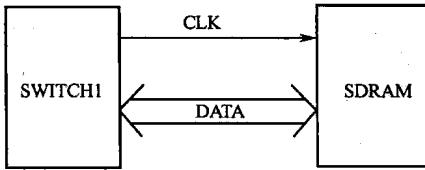


图 5.9 SWITCH1 存储接口框图

第7章将对SDRAM进行详细的介绍，由于本小节只涉及时序的计算，因此不对SDRAM的应用做过多的讨论。

SWITCH1的存储器接口支持多种速率，为获得最高的交换性能，本设计中，将接口速率设置为最高的167MHz，即有：



$$F = 167\text{MHz}$$

$$T_{\text{cycle}} = 6\text{ns}$$

SWITCH1 的  $T_{\text{CO}}$  参数值为：

$$T_{\text{CO}(\max)_G} = 4\text{ns}, \quad T_{\text{CO}(\min)_G} = 1\text{ns}$$

同时 SWITCH1 存储器接口对建立时间、保持时间的要求，可通过内部寄存器进行调节，如表 5.1 所示为参数调节表，表中，各时序参数的单位是 ns（纳秒）。

表 5.1 SWITCH1 存储器接口的时序参数调节表<sup>[10]</sup>

存储器类型	时序参数	寄存器=0x00	寄存器=0x58	寄存器=0x40	寄存器=0x48	寄存器=0x4C
Data SDRAM	$T_{\text{SU}(\min)_G}$	0.5	-0.5	-0.9	-1.1	-1.3
	$T_{\text{H}(\min)_G}$	1.4	2.4	2.6	2.9	3.2
Control SDRAM	$T_{\text{SU}(\min)_G}$	-0.3	-1.3	-1.9	-2.1	-2.35
	$T_{\text{H}(\min)_G}$	2.4	2.6	3.4	3.6	3.9

在本设计中，存储器选择为 Micron 公司的某 SDRAM，其时序参数如下：

$$T_{\text{CO}(\max)_S} = 5.5\text{ns} \quad T_{\text{CO}(\min)_S} = 2\text{ns}$$

$$T_{\text{SU}(\min)_S} = 1.5\text{ns}$$

$$T_{\text{H}(\min)_S} = 1\text{ns}$$

为便于区分，SWITCH1 侧的时序参数以\_G 为后缀，SDRAM 侧的时序参数以\_S 为后缀。

## 2. 时序计算

简化起见，在下面的计算中暂不考虑 C\_JIT 和 D\_CTLK 两参数对时序裕量的影响。

由于存储接口的数据总线为双向，根据式（5.6）和式（5.7），整理时序计算公式如下：

在 SWITCH1 发往 SDRAM 的数据流方向上，SDRAM 作为接收端：

$$T_{\text{CO}(\max)_G} + (T_{\text{flight-data}} - T_{\text{flight-clk}}) + T_{\text{SU}(\min)_S} < T_{\text{cycle}} \quad (5.8)$$

$$T_{\text{CO}(\min)_G} + (T_{\text{flight-data}} - T_{\text{flight-clk}}) > T_{\text{H}(\min)_S} \quad (5.9)$$

在 SDRAM 发往 SWITCH1 的数据流方向上，SWITCH1 作为接收端。与前一方向的数据流不同的是，在 SDRAM 一侧，需等待 SWITCH1 发送来的时钟信号 CLK 到达，并满足 SDRAM 的  $T_{\text{CO}}$  参数后，数据信号 DATA 才能发出，因此计算公式如下：

$$T_{\text{CO}(\max)_S} + (T_{\text{flight-data}} + T_{\text{flight-clk}}) + T_{\text{SU}(\min)_G} < T_{\text{cycle}} \quad (5.10)$$

$$T_{\text{CO}(\min)_S} + (T_{\text{flight-data}} + T_{\text{flight-clk}}) > T_{\text{H}(\min)_G} \quad (5.11)$$

本例中，时序计算的目的有二，其一是对 DATA 和 CLK 信号走线长度的关系做出定义；其二是确定最佳的寄存器参数值。

根据式（5.8）～式（5.11），分别对不同寄存器参数值条件下的 DATA 和 CLK 走线长度进行计算。

### 1) DATA SDRAM 的时序计算

(1) 寄存器=0x00，各时序参数值如下：

$$T_{\text{CO}(\max)_G} = 4\text{ns}, \quad T_{\text{CO}(\min)_G} = 1\text{ns},$$

$$T_{\text{SU}(\min)_G} = 0.5\text{ns}, \quad T_{\text{H}(\min)_G} = 1.4\text{ns},$$

$$T_{\text{CO}(\max)_S} = 5.5\text{ns}, \quad T_{\text{CO}(\min)_S} = 2\text{ns},$$



$$T_{SU(\min)_S} = 1.5\text{ns}, \quad T_{H(\min)_S} = 1\text{ns}$$

代入式(5.8)~式(5.11), 有:

$$4 + (T_{flight-data} - T_{flight-clk}) + 1.5 < 6 \quad (5.12)$$

$$1 + (T_{flight-data} - T_{flight-clk}) > 1 \quad (5.13)$$

$$5.5 + (T_{flight-data} + T_{flight-clk}) + 0.5 < 6 \quad (5.14)$$

$$2 + (T_{flight-data} + T_{flight-clk}) > 1.4 \quad (5.15)$$

计算结果如下:

$$0 < T_{flight-data} - T_{flight-clk} < 0.5$$

$$-0.6 < T_{flight-data} + T_{flight-clk} < 0$$

要求数据与时钟的走线延时之和小于0, 显然是不现实的, 因此本设计中, 不能将寄存器设置为0x00。

(2) 寄存器=0x58, 各时序参数值如下:

$$T_{CO(max)_G} = 4\text{ns}, \quad T_{CO(min)_G} = 1\text{ns},$$

$$T_{SU(\min)_G} = -0.5\text{ns}, \quad T_{H(\min)_G} = 2.4\text{ns},$$

$$T_{CO(max)_S} = 5.5\text{ns}, \quad T_{CO(min)_S} = 2\text{ns},$$

$$T_{SU(\min)_S} = 1.5\text{ns}, \quad T_{H(\min)_S} = 1\text{ns}$$

代入式(5.8)~(5.11), 有:

$$4 + (T_{flight-data} - T_{flight-clk}) + 1.5 < 6 \quad (5.16)$$

$$1 + (T_{flight-data} - T_{flight-clk}) > 1 \quad (5.17)$$

$$5.5 + (T_{flight-data} + T_{flight-clk}) + (-0.5) < 6 \quad (5.18)$$

$$2 + (T_{flight-data} + T_{flight-clk}) > 2.4 \quad (5.19)$$

计算结果如下:

$$0 < T_{flight-data} - T_{flight-clk} < 0.5$$

$$0.4 < T_{flight-data} + T_{flight-clk} < 1$$

该结果符合要求, 因此0x58是可选的寄存器参数值。

(3) 寄存器=0x40, 依据同样的方法, 可得到计算结果如下:

$$0 < T_{flight-data} - T_{flight-clk} < 0.5$$

$$0.6 < T_{flight-data} + T_{flight-clk} < 1.4$$

该结果符合要求, 因此0x40同样是可选的寄存器参数值。

(4) 寄存器=0x48, 计算结果如下:

$$0 < T_{flight-data} - T_{flight-clk} < 0.5$$

$$0.9 < T_{flight-data} + T_{flight-clk} < 1.6$$

该结果符合要求, 因此0x48也是可选的寄存器参数值。

(5) 寄存器=0x4C, 依据同样的方法, 可得到计算结果如下:

$$0 < T_{flight-data} - T_{flight-clk} < 0.5$$

$$1.2 < T_{flight-data} + T_{flight-clk} < 1.8$$

该结果符合要求, 因此0x4C也是可选的寄存器参数值。

(6) 结论。对于DATA SDRAM, 0x58、0x40、0x48、0x4C都是可选的寄存器参数值, 但在本设计中, SWITCH1与SDRAM相距较近, 走线长度没有必要很长(在第8章将提到, 走线长度太长, 可能引发信号质量等问题), 因此0x58是最优的寄存器参数值, 此



时, CLK 和 DATA 信号走线延时的关系为:

$$0 < T_{\text{flight-data}} - T_{\text{flight-clk}} < 0.5$$

$$0.4 < T_{\text{flight-data}} + T_{\text{flight-clk}} < 1$$

## 2) CONTROL SDRAM 的时序计算

对 CONTROL SDRAM 接口的时序计算, 方法与 DATA SDRAM 相同, 此处不再赘述, 有兴趣的读者可自行计算并验证, 0x00 是最佳的寄存器参数值, 此时, CLK 和 DATA 信号走线延时的关系为:

$$0 < T_{\text{flight-data}} - T_{\text{flight-clk}} < 0.5$$

$$0.4 < T_{\text{flight-data}} + T_{\text{flight-clk}} < 0.8$$

理解要点:

源同步系统时序计算的公式为:

$$T_{CO(\max)} + (T_{\text{flight-data}} - T_{\text{flight-clk}})_{\max} + T_{SU(\min)} + C_{\text{JIT}} + D_{\text{CTLK}} < T_{\text{cycle}}$$

$$T_{CO(\min)} + (T_{\text{flight-data}} - T_{\text{flight-clk}})_{\min} - C_{\text{JIT}} - D_{\text{CTLK}} > T_{H(\min)}$$

### 5.3.3 源同步系统时序设计范例二

#### 1. 时间窗在时序计算中的应用

在开始范例的讨论之前, 先介绍一种在源同步系统中, 相对式 (5.6)、式 (5.7), 更为常用的时序计算方法, 即时间窗法。

由于源同步系统的时钟 CLK 和数据 DATA 都源自同一发送端器件, 因此, 可以简单地利用时间窗平移, 获得最佳的时序裕量。

如图 5.10 (a) 所示发送端的时序关系,  $T_{SU}$ 、 $T_H$  分别为在发送端测得的数据 DATA 相对时钟 CLK 的建立时间和保持时间, 图 5.10 (b) 表示接收端的时序关系,  $R_{SU}$ 、 $R_H$  分别为在接收端测得的数据 DATA 相对时钟 CLK 的建立时间和保持时间。需要说明的是,  $R_{SU}$ 、 $R_H$  就是前面提到的  $T_{SU}$ 、 $T_H$  参数, 而  $T_{SU}$  和  $T_H$  本身与时序要求无关, 但这两个参数对时间窗的运用有重要的意义。

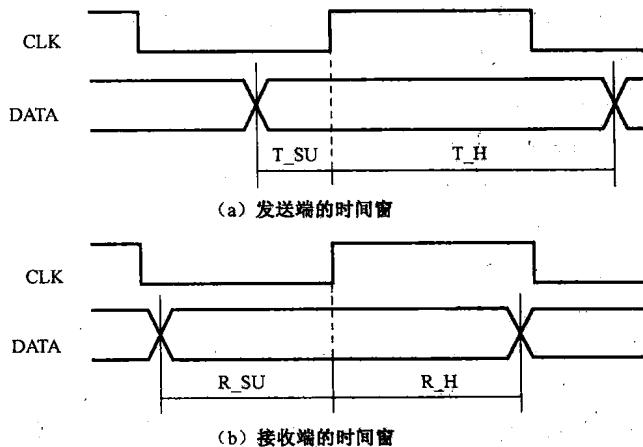


图 5.10 源同步系统中的时间窗应用



时间窗的应用有两个步骤：

第一步，衡量发送端的时钟窗口是否大于接收端时钟窗口。当且仅当式(5.20)成立时，接收端的时序要求才能得到满足：

$$T_{SU} + T_H \geq R_{SU} + R_H \quad (5.20)$$

若式(5.20)不满足，则无论采用什么方法，接收端的时序要求也不可能得到满足。

第二步，估算 CLK 和 DATA 信号的走线延时。当以下两式中的一式成立时，只有对 CLK 或 DATA 信号进行延时后，才能满足接收端建立时间和保持时间参数的要求：

$$T_{SU} < T_{SU(\min)} \quad (5.21)$$

$$T_H < T_{H(\min)} \quad (5.22)$$

在这一步，以上两式不可能同时成立，否则，第一步就不可能通过。

若以上两式都不成立，表示 CLK 和 DATA 信号走线等长，即可直接满足接收端的时序要求。

## 2. 时序计算

本例以 Freescale 公司的 MPC8548 与某 PHY 芯片之间的 GMII 接口（千兆速率媒质无关接口）为例，探讨基于时间窗的时序设计。

首先讨论数据流从 CPU 发送到 PHY 的这个方向。

CPU 一端的时序参数如下<sup>[12]</sup>：

$T_{GTXHDV(\min)} = 2.5\text{ns}$ ，该参数是指 CPU 输出端的数据建立时间。

$T_{GTXHDX(\min)} = 0.5\text{ns}$ ，该参数是指 CPU 输出端的数据保持时间。

PHY 一端的时序参数如下：

$T_{SU(\min)} = 1.2\text{ns}$

$T_{H(\min)} = 1.2\text{ns}$

发送端和接收端时间窗如图 5.11 所示。

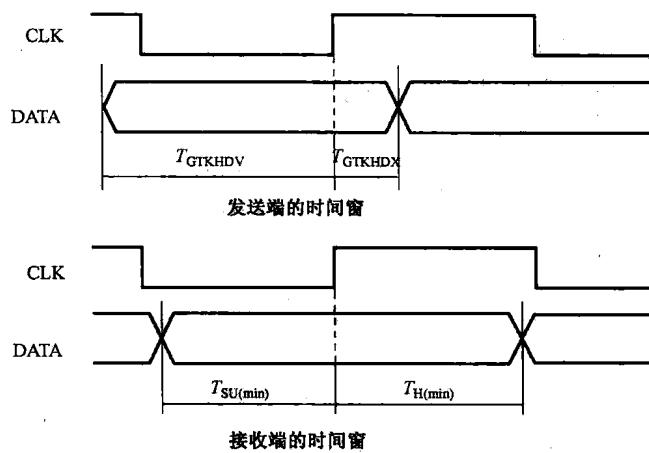


图 5.11 基于时间窗的时序设计范例

第一步，衡量发送端的时钟窗是否能覆盖接收端时钟窗。

由于  $T_{GTXHDV(\min)} + T_{GTXHDX(\min)} > T_{SU(\min)} + T_{H(\min)}$ ，该条件满足。

第二步，估算 CLK 和 DATA 信号的走线延时。



由于  $T_{\text{GTHDX(min)}} < T_{\text{H(min)}}$ , 因此需对信号线进行延时才能满足接收端的时序要求。计算可得, 通过使数据 DATA 相对时钟 CLK 延时 0.7ns, 能实现接收端的时序要求。此时, 在接收端, 数据 DATA 的建立时间裕量  $T_{\text{SU(margin)}}=0.6\text{ns}$ , 保持时间裕量  $T_{\text{H(margin)}}=0\text{ns}$ 。

接下来对本例做进一步的拓展。

在第一步中, 已经验证了发送端时间窗大于接收端时间窗, 事实上, 这两个时间窗的差正是该系统总的时间裕量, 即, 该系统的建立时间裕量和保持时间裕量的总和  $T_{\text{total(margin)}}$  为:

$$T_{\text{total(margin)}} = T_{\text{GTHDV(min)}} + T_{\text{GTHDX(min)}} - T_{\text{SU(min)}} - T_{\text{H(min)}} \quad (5.23)$$

由于接收端总的时间裕量一定,  $T_{\text{SU(margin)}}$  越大, 则  $T_{\text{H(margin)}}$  越小, 反之亦然。

**最优的时序设计是建立时间裕量和保持时间裕量相等的设计。**因此当式 (5.24) 成立时, 时序设计达到最优:

$$T_{\text{SU(margin)}} = T_{\text{H(margin)}} = 0.5 \times T_{\text{total(margin)}} \quad (5.24)$$

显然, 在前面的计算结果中,  $T_{\text{SU(margin)}}$  占据了  $T_{\text{total(margin)}}$  的全部, 而  $T_{\text{H(margin)}}$  为 0, 这样的时序设计不是最优的。将该结果做进一步的优化, 使数据 DATA 相对时钟 CLK 延时 1ns, 此时, 在接收端,  $T_{\text{SU(margin)}} = T_{\text{H(margin)}} = 0.3\text{ns}$ 。

相比式 (5.6)、式 (5.7), 时间窗的计算方法具有简单直观的特点。但应用时间窗方法的前提是, 发送端器件的资料上提供有类似  $T_{\text{SU}}$  和  $T_{\text{H}}$  这样的参数, 许多器件的发送端接口只提供  $T_{\text{CO}}$  参数, 在这种情况下, 仍需基于式 (5.6)、式 (5.7) 来进行时序计算。

#### 理解要点:

时间窗是源同步系统时序计算的快捷方法。

## 5.4 共同时钟系统时序设计

共同时钟指接收端和发送端的时钟由同一个时钟源产生, 且到达接收端和发送端的延时相同的情况, 共同时钟系统框图如图 5.12 所示。

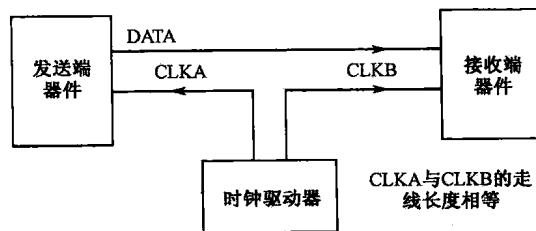


图 5.12 共同时钟系统框图

图 5.12 中, CLKA 和 CLKB 由同一个时钟驱动器输出, 在时钟驱动器的输出端, 两时钟信号的频率和相位相同, 分别发往发送端器件和接收端器件, 二者的走线延迟相等, 能同时到达发送端与接收端器件。

共同时钟系统的特点是, 收、发两端的时钟来自同一个时钟驱动源, 由于这两个时钟的走线长度相等, 在收、发器件的时钟输入端, 时钟信号的相位完全同步。



共同时钟系统的时序图如图 5.13 所示。

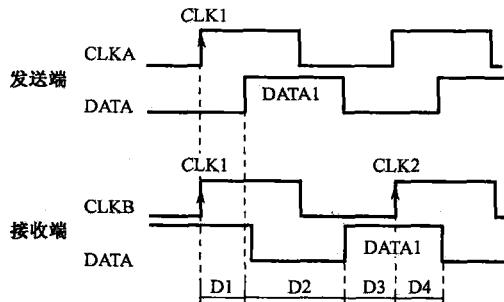


图 5.13 共同时钟系统发送端与接收端 CLK-DATA 时序关系

与源同步系统的区别在于，在某一特定时刻，共同时钟系统发送端和接收端的时钟沿是对齐的，时序计算中无需考虑 CLK 信号的走线延时，即，式（5.6）和式（5.7）中， $T_{\text{flight-clk}}$  参数值为 0。图 5.13 中各参数的定义如下：

D1:  $T_{\text{CO}}$ , 发送端器件输出数据相对时钟的延时。

D2: DATA 信号的走线延时。

D3:  $T_{\text{SU}}$ , 在接收端, DATA 信号的建立时间。

D4:  $T_{\text{H}}$ , 在接收端, DATA 信号的保持时间。

可以认为共同时钟系统是源同步系统在  $T_{\text{flight-clk}}=0$  条件下的特例，因此，共同时钟系统的时序计算公式为：

$$T_{\text{CO}(\max)} + (T_{\text{flight-data}})_{\max} + T_{\text{SU}(\min)} + C_{\text{JIT}} + D_{\text{CTLK}} < T_{\text{cycle}} \quad (5.25)$$

$$T_{\text{CO}(\min)} + (T_{\text{flight-data}})_{\min} - C_{\text{JIT}} - D_{\text{CTLK}} > T_{\text{H}(\min)} \quad (5.26)$$

#### 理解要点：

共同时钟系统时序计算的公式为：

$$T_{\text{CO}(\max)} + (T_{\text{flight-data}})_{\max} + T_{\text{SU}(\min)} + C_{\text{JIT}} + D_{\text{CTLK}} < T_{\text{cycle}}$$

$$T_{\text{CO}(\min)} + (T_{\text{flight-data}})_{\min} - C_{\text{JIT}} - D_{\text{CTLK}} > T_{\text{H}(\min)}$$



## 5.5 源同步系统与共同时钟系统的比较

高速电路设计所涉及的时序系统，大多数可归为源同步系统或共同时钟系统。

**源同步系统**和**共同时钟系统**在时序设计上最大的区别在于对系统最高运行时钟频率的限制。

二者的建立时间计算公式分别为：

**源同步系统：**

$$T_{\text{CO}(\max)} + (T_{\text{flight-data}} - T_{\text{flight-clk}})_{\max} + T_{\text{SU}(\min)} + C_{\text{JIT}} + D_{\text{CTLK}} < T_{\text{cycle}} \quad (5.27)$$

**共同时钟系统：**

$$T_{\text{CO}(\max)} + (T_{\text{flight-data}})_{\max} + T_{\text{SU}(\min)} + C_{\text{JIT}} + D_{\text{CTLK}} < T_{\text{cycle}} \quad (5.28)$$

时钟频率  $F$  为时钟周期  $T_{\text{cycle}}$  的倒数，因此系统运行最高时钟频率  $F_{\max}$  为式 (5.27) 和



式(5.28)左边各参数和的倒数。

对共同时钟系统而言,左边各参数均为正数(也有少数器件的 $T_{CO(max)}$ 参数为负数),因此其最高时钟频率 $F_{max}$ 存在上限值,而系统性能在很大程度上取决于时钟频率,为提高系统性能,只能减小器件的 $T_{CO(max)}$ 、 $T_{SU(min)}$ 参数,缩短信号走线长度,提高设计的信号完整性,而这些措施都将增加系统的成本。

相比共同时钟系统,源同步系统计算公式的左边增加了时钟走线延时的负值,即,只要时钟走线延时足够大,在理论上,系统的最高运行时钟频率可达到无穷大。时钟窗的时序计算方法同样能证实这一点,即,只要发送端时钟窗大于接收端时钟窗,通过调整CLK或DATA的走线延时,系统的时序必然能得到满足。因此,基于源同步的系统设计,系统的性能更容易得到提高,高速电路设计中的许多高速总线,如SPI4.2、DDR SDRAM的数据接口等,采用的时序系统都是源同步。

理解要点:

共同时钟系统与源同步系统的主要区别在于其对系统运行最高时钟频率的限制。为提高系统的运行速率,建议采用源同步的时钟拓扑结构。

# 第6章 高速电路中的复位、时钟设计

## 6.1 复位电路设计

复位电路对确保高速电路的可靠运行起着重要的作用。数字电路只有“0”和“1”两个状态，在电路刚上电或电路工作不稳定时，数字电路的输出状态是不确定的，这时需要给电路一个激励，使电路进入一个预先设定好的已知状态。因此，复位电路的作用就是监控电路，并在需要的时候发出这样的激励。

### 6.1.1 与复位电路相关的经典案例

#### 【案例 6.1】 主控板无法通过 PCI-X 总线查询到接口板

某产品主控板和接口板之间通过跨越背板的 PCI-X 总线相连，CPU、存储器、PCI-X 桥片等位于主控板上，接口板上采用某 PHY 芯片，实现 PCI-X 总线到千兆以太网口的转换。上电后，主控板的底层驱动程序通过 PCI-X 总线查找接口板，并完成对接口板上 PHY 的配置。调试中发现，在复位后，主控板无法通过 PCI-X 总线找到接口板。

#### 【讨论】

该产品简略框图如图 6.1 所示。

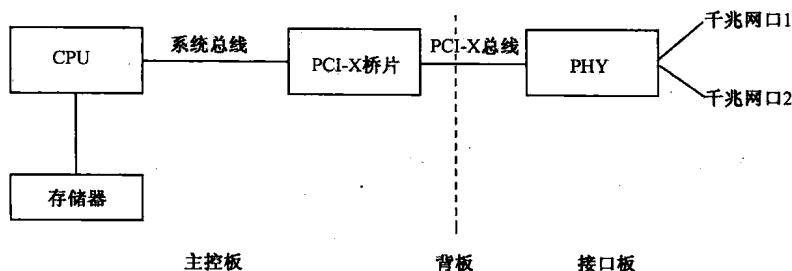


图 6.1 PCI-X 总线互连主控板和接口板

PCI 是通信产品上常用的通信总线，PCI-X 是 PCI 的更新版本，协议与 PCI 基本相同，但能支持 64 位宽度的数据传输。

复位后，主控板 CPU 作为 PCI-X 总线的主设备，在初始化的过程中，扫描 PCI-X 总线上的各个从设备，根据各个 PCI-X 从设备上配置空间的内容，判断需要为该设备预留多少存储空间，以及分配存储空间的基地址。在接口板上，PCI-X 从设备就是 PHY 芯片，主控板没有找到接口板的原因，一定是主控板在初始化过程中对 PHY 的 PCI-X 配置空间访问失败。

对类似这样的初始化出错问题，首先要对复位电路进行检查。接口板上复位电路的设



计如图 6.2 所示。

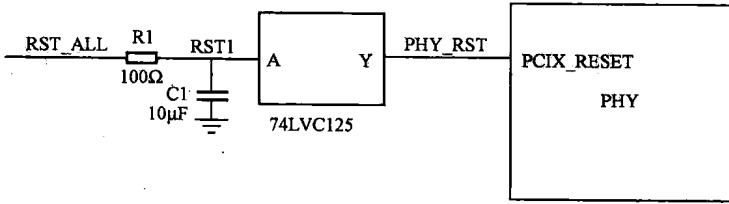


图 6.2 接口板复位电路

RST\_ALL 是来自主控板的复位信号，考虑到该复位信号在背板上走线较长，容易受到干扰，设计者对 RST\_ALL 信号进行了滤波处理 ( $R_1=100\Omega$ ,  $C_1=10\mu F$ )，同时为了提高驱动能力，使用了 74LVC125 作为驱动器。

PCI-X 从设备可选择工作于 64 位或 32 位模式，模式选择是通过在复位信号的上升沿采样 PCI-X 主设备 (CPU) 送来的 REQ64#信号的状态来完成的，例如，REQ64#为低电平，则 PCI-X

从设备工作于 64 位模式，否则工作于 32 位模式。

测量 PHY 芯片的 PHY\_RST 信号和 REQ64#信号，时序如图 6.3 所示。

图 6.3 PHY\_RST 与 REQ64#信号时序图

在 PHY\_RST 信号上升沿采样到的 REQ64#信号为高电平，因此 PHY 工作于 32 位模式。但软件工程师确认，主控板 CPU 发出的 PCI-X 总线操作确实是 64 位模式，CPU 和 PHY 工作模式的不同，必然导致 PCI-X 总线访问出错。

REQ64#和 PHY\_RST 都是由主控板发出的信号，在主控板上测量 RST\_ALL 和 REQ64#的时序，可知 RST\_ALL 的上升沿采样到的 REQ64#信号为低电平，那么是什么原因导致在 PHY 一侧时序发生变化呢？

仔细研究接口板复位电路，发现滤波电路和驱动电路都可能导致 RST\_ALL 信号发生延时，而 REQ64#信号是由 CPU 直接送给 PHY 芯片的，不存在这样的延时。测量 RST1 信号波形，上升沿很缓慢，而 74LVC125 的输入高电平门限是 2V，因此 RST1 缓慢爬升的信号将导致 74LVC125 的输出发生延时。74LVC125 虽然也有传输延时，但这个延时仅为几纳秒，可以忽略。

RST1 边沿存在的问题是由 R1 和 C1 组成的滤波电路造成的。该滤波电路产生的 RC 时延为  $2.2 \times R_1 \times C_1 = 2.2\text{ms}$ 。从物料清单中将 C1 删掉，时序恢复正常，主控板 CPU 可以正确配置接口板，测量 RST\_ALL 信号的纹波和噪声，均能满足要求，由此证明 C1 的删除是可行的。

### 【拓展】

在应用中，许多芯片的初始状态，都需要利用复位信号上升沿采样到的信号状态来确定。例如，Freescale 公司的 MPC860，就需要在其硬件复位信号 HRESET#的上升沿采样数据总线，根据数据总线的状态确定 CPU 的工作状态；同样是 Freescale 公司的 MPC8280 CPU，在上电复位信号 PORESET#无效后的 1024 个时钟周期之内，对 MODCK[3:1]和 MODCKH 引脚采样，根据采样值来确定 CPU 的工作频率。类似的例子还有很多，因此，在设计中，设计



者不仅要设计好复位信号的组合逻辑电路，还应仔细研究复位信号的时序逻辑。

本案例的特殊性在于，PHY 芯片资料中并没有提到复位信号和 REQ64#信号的时序关系，这种时序关系是在 PCI-X 规范中定义的。在设计中，设计者往往把关注点放在芯片资料所提到的要求上，而忽略了对总线规范的研究。目前的高速电路设计中，标准接口如 PCI-E、GMII、Infiniband、RapidIO 等已被广泛地用做芯片总线接口，由于这些标准总线都有专门的文档定义，芯片资料往往不再做出详细介绍，此时，设计者应仔细研读总线规范文档以获得该总线的详细信息，但也不能忽略芯片资料对该总线的要求。在一些特殊的场合，芯片资料可能会对总线接口提出不同于总线规范定义的要求，此时，应以芯片资料为准。

## 6.1.2 复位设计介绍及其应用要点

在复位电路设计中，常见的问题可分为以下几类：未提供复位信号、复位时序不正确、复位信号驱动能力不足。以下就各类常见问题分别予以说明。

### 1. 未提供复位信号

电路中某些功能模块的复位不是由系统的总复位提供的。在这种情况下，需要在系统总复位完成后，使能特定的复位信号，以实现模块的复位。

#### 【案例 6.2】 存储模块读取的错误

某单板选用 PowerPC 电路模块作为 CPU 子系统。在系统复位完成后，通过软件测试 CPU 外部所挂的 DDR2 SDRAM DIMM 条，发现无法完成读写操作。

#### 【讨论】

该 PowerPC CPU 具有 DDR2 SDRAM 接口，可以直接和 DDR2 SDRAM DIMM 条相连（DIMM 条将在第 7 章介绍）。软件程序中测试存储器的代码已经过大量设计的验证，被证明是可通用的。

分析子系统原理图，发现 DDR2 SDRAM DIMM 条的复位信号与 CPU 的 GPIO29 相连，而代码中并不包括对 GPIO29 的配置。

对于随机存储器件，如 SRAM、SDRAM、DDR SDRAM、DDR2 SDRAM 而言，其应用都是先写入再读出，因此没有必要实现复位，所以这些器件也都没有提供复位引脚，而对应的软件代码也不对它们进行复位。但是 DIMM 条则不同，以 8 位条（指 DIMM 条上每片存储器的数据总线是 8 位）为例，一个 DIMM 条上至少有 9 片存储器芯片，以支持 64 位数据位和 8 位校验位，多的有 18 片存储器芯片，以支持两个片选信号，每个片选负责 64 位数据位和 8 位校验位的选择。由于每片存储器芯片都需要一个 CLK 信号，而 CPU 只能提供一个 CLK 时钟源，显然 CPU 的这个 CLK 时钟源无法直接驱动 DIMM 条上的 9 个或 18 个 CLK 接收端，因此在 DIMM 条上，有一个带锁相环的时钟驱动器（锁相环将在 6.2 节介绍），以实现将 CPU 提供的这一个时钟源，驱动为 9 个 CLK 信号，分别提供给各个存储器芯片。该时钟驱动器有一个 OE（输出使能，高电平有效）信号，该信号由 DIMM 条的复位信号驱动，仅当复位信号变为高电平后，驱动器才能输出 CLK 信号给存储器芯片。

本设计中，软件代码并没有对 GPIO29 进行配置，此时 GPIO29 输出为高阻，而在电路上，该信号有一个  $1k\Omega$  的下拉电阻，将 DIMM 条的复位信号设置为低电平，导致 DIMM 条



上的时钟驱动器始终无法输出 CLK 信号给存储器芯片，自然，CPU 也无法完成对 DIMM 条的读写。

将 GPIO29 的配置功能加入软件代码后，CPU 可正常读写存储器。

### 【拓展】

类似的案例还有很多，在电路设计中，一般由系统复位负责完成 CPU 及许多其他器件的复位，但对某些器件而言，还需通过 CPU 等控制器，根据单板工作的需要，单独地实现复位。例如，某些产品由一块主控板和多块业务板构成，要求业务板支持热插拔。在主控板正常的工作中，带电插入业务板，这个事件将由一个中断信号通知主控板，主控板查询到业务板的插入后，需要发出一个复位信号单独地对该业务板进行复位，由于不能影响主控板和其他业务板的工作，这个复位信号显然不能采用系统复位，而应由主控板上 CPU 等控制器件的 GPIO 驱动输出。因此，在设计中，除了关注系统复位外，还应结合各个功能模块的需求，提供专用的复位信号。

## 2. 复位时序不正确

关于复位时序不正确而造成的系统故障，可参见案例 6-1。

在两个方面可能产生复位时序的问题：一是驱动方，二是接收方。

(1) 驱动方的问题：复位电路没有在正确的时间输出正确的波形。这往往涉及可编程逻辑的设计，早在概要设计阶段就应该建立逻辑设计的雏形，在详细设计阶段需仔细考虑。这方面问题的种类很多，例如，在设计中，当有许多器件的复位信号由 FPGA 提供时，需考虑在 FPGA 逻辑加载的过程中，这些器件的复位该如何处理；又如，总线两端的器件，它们的复位是否需要同时进行等。在设计早期，一旦器件选型完成后，就应该制定单板的总体复位框图，并对框图进行仔细审核。

(2) 接收方的问题：复位信号到达接收端有没有出现波形失真。主要衡量的是发送方波形和接收方波形的差别，由于波形的差别可能导致复位时序出错。这一点往往容易被忽略，这样的问题一旦出现，在调试中的定位比较困难。对这种接收方的问题，需要注意两个环节：一是在传输路径上有没有经过驱动或转换器件，由这些器件带来的延迟是多少；二是传输路径上的容性是否太大以至于改变了信号边沿的斜率。

## 3. 复位信号驱动能力不足

复位信号在 PCB 上走线过长，或接收端容性过大，这些因素都可能导致复位信号驱动能力不足，表现为信号边沿过缓，不能满足某些芯片对复位信号边沿速率的要求。

### 6.1.3 专用复位芯片的使用

看门狗芯片是常见的专用复位芯片。以工作于 5V 环境下（供电电源  $V_{CC}$  为 5V）的 ADM706 为例，介绍看门狗芯片的使用及其注意事项。

ADM706 支持多种功能：电源监控、上电复位、手工复位、看门狗复位等。框图如图 6.4 所示。

ADM706 能通过三个输出引脚产生复位信号：RESET#，PFO#，WDO#。

RESET#：复位输出引脚。当以下两个条件之一得到满足时，该引脚输出一个 160~280ms



宽度的低脉冲。条件一是  $V_{CC}$  低于 4.65V；条件二是输入信号 MR# 上出现了低于 0.8V 的、持续时间至少达到 150ns 的低脉冲。

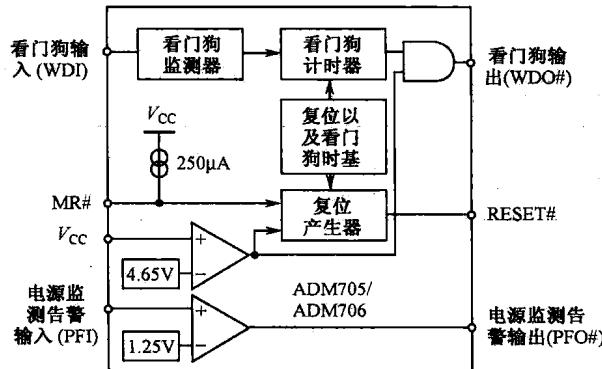


图 6.4 ADM706 框图<sup>[24]</sup>

**PFO#：**电源监测输出引脚。当输入引脚 PFI 出现低于 1.25V 的电平时，PFO#输出低电平。

**WDO#：**看门狗输出引脚。在 1.6s 内，若输入 WDI 信号上未出现变化沿，则 WDO#引脚输出低电平，直到 WDI 引脚上检测到有效的变化沿才恢复为高电平。 $V_{CC}$  低于 4.65V 时，WDO#也将输出低电平。

ADM706 通过三个输入引脚实现对电路的监控：MR#，PFI，WDI。

**MR#：**手工复位输入引脚。当该引脚检测到低于 0.8V 的电平时，触发 RESET#输出低电平。有两点需要注意：第一，低于 0.8V 的电平需持续至少 150ns，否则无法触发 RESET#信号；第二，该引脚内部有电流源，因此当不使用手工复位功能时，该引脚应处理为浮空。

**PFI：**电源监测输入引脚。除对  $V_{CC}$  的监测外，ADM706 还可以通过 PFI 引脚对另一种电源进行监测。不使用此功能时，PFI 应接  $V_{CC}$  或 GND。

**WDI：**看门狗输入引脚。当不使用看门狗功能时，WDI 应浮空。

虽然专用复位芯片功能比较简单，但在实际应用中，却是很容易出现问题的环节。专用复位芯片种类很多，不同种类的芯片有不同的技术参数，以下仅就 ADM706 为例，讨论在专用复位芯片的应用中需注意的要点。这些要点同样适用于其他类型的专用复位芯片。

(1) 复位信号的脉宽。ADM706 的 RESET#脉宽典型值是 200ms，最小值仅 160ms。例如，被复位芯片对复位信号脉宽的要求大于 160ms，则不能选择 ADM706 提供复位信号。不同厂家不同型号的专用复位芯片，复位信号脉宽往往各不相同，因此在选型中，需仔细对比该参数。

(2) 复位信号的电平选择。ADM706 的复位信号 RESET#为低电平有效，而 ADM708 则能同时提供低电平有效的输出信号 RESET#和高电平有效的输出信号 RESET。有些器件要求高电平有效的复位信号，此时选用 ADM708 就更为方便，因此，选型时应关注被复位器件对复位信号电平的要求。

(3) 各输入引脚的配置。当对应功能禁用时，MR#、PFI、WDI 的处理方式并不相同。MR#和 WDI 应浮空，PFI 应接  $V_{CC}$ 或 GND。若采用了错误的处理方式，可能导致复位芯片的不稳定。



(4) 看门狗输入信号 WDI 和看门狗输出信号 WDO#的应用。单板调试中所遇到的复位模块的问题，很多都产生自看门狗信号处理方式的不正确。如图 6.5 所示为 ADM706 芯片看门狗信号时序图。

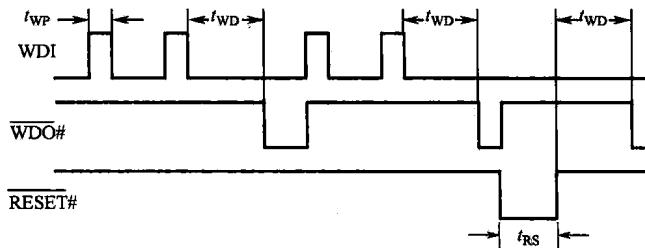


图 6.5 ADM706 芯片看门狗信号时序图<sup>[24]</sup>

$t_{WP}$  表示 WDI 信号的脉宽。

$t_{WD}$  表示看门狗溢出周期。看门狗芯片内包含一个计数器，该计数器的值从零开始，计数到溢出所需要的时间就称为溢出周期。如果在溢出周期之内没有发生喂狗事件（WDI 引脚上电平的变化），则看门狗输出信号 WDO# 被使能，每发生一次喂狗事件，计数器将复位为零值。

$t_{RS}$  表示复位信号的脉宽。

如图，若连续的  $t_{WD}$  时间段内没有出现过喂狗事件，则 WDO# 信号有效，输出低电平，直到下一次喂狗事件发生才重新恢复为高电平。当 RESET# 信号有效，输出低电平时，WDO# 信号无效，输出高电平，且在 RESET# 信号有效的时间段  $t_{RS}$  内，看门狗内部计数器保持为零值，直到 RESET# 信号恢复为无效状态，才重新开始计数。

在看门狗的应用中，常见以下问题：

**问题一：** 喂狗信号脉宽不够。ADM706 要求  $t_{WP}$  大于 50ns。在某些设计中，利用 FPGA 等可编程逻辑器件的引脚输出周期性的喂狗信号，则该喂狗信号的频率应低于 10MHz。

**问题二：** 程序设计中，长时间不喂狗。ADM706 要求  $t_{WD}$  的典型值为 1.6s，而最小值为 1s。在喂狗代码的设计中，应确保在程序正常运行的情况下，至少 1s 能喂狗（改变 WDI 信号的状态）一次。这就要求喂狗代码应在程序的主干部分实现，尽量避免在中断处理等支路程序中喂狗。

**问题三：** 以 WDO# 作为复位信号，导致复位信号脉宽不能满足器件的要求。在看门狗信号时序图中， $t_{WD}$  时间段内没有出现喂狗事件，WDO# 信号有效，输出低电平，在 WDO# 信号有效后，若仅过了很短的时间（如 10 μs），喂狗事件发生，则 WDO# 信号将立刻恢复为无效的高电平，在这种情况下，WDO# 的有效脉宽仅为 10 μs，无法满足大多数器件的要求。应用中，一般将 WDO# 信号连接到 MR# 输入引脚，即用看门狗溢出事件触发手工复位事件，在 MR# 检测到有效的低电平后，进而触发 RESET# 信号有效，而 RESET# 有效脉宽较长，能满足大多数器件对复位脉宽的要求。

**问题四：** 上电启动过程中，长期不喂狗导致反复复位。例如，选用 ADM706 为某 CPU 提供上电复位及看门狗监控功能，由 CPU 的某个 GPIO 引脚为 ADM706 提供喂狗信号。上电复位完成后，CPU 从 BOOTFLASH（存储引导代码的器件）引导启动程序，一般而言，这个过程较长，大于  $t_{WD}$ ，使得 CPU 无法及时喂狗，ADM706 不断重复地发出复位信号，可能导致 CPU 的引导过程无法顺利完成。在这种情况下，必须考虑到程序正常运行之前的喂狗问



题，例如，可以采用可编程逻辑器件协助 CPU 完成启动过程的喂狗工作，CPU 正常工作之前，由可编程逻辑器件负责喂狗工作，在 CPU 启动完成后，再把喂狗工作转交给 CPU。

**问题五：**喂狗信号受干扰，以致看门狗监控功能失效。某语音处理板在 CPU 程序跑飞后（程序运行出错），看门狗芯片无法正常地发出复位信号，测量喂狗信号的信号质量，发现信号质量很差，每隔几毫秒就会出现一个很大的波动，最终问题定位为，在 PCB 上，该喂狗信号的走线与放大器处理后的语音信号走线相距很近，使喂狗信号很容易受到语音信号的干扰，这些干扰可能表现为有效的喂狗信号，导致看门狗的监控功能失效。因此在设计时需注意，将看门狗信号线尽量地远离干扰源。

**问题六：**同一系列不同型号的专用复位芯片之间存在的细微差别。同一系列的芯片，往往存在多个型号，在应用中，需仔细比较这些型号的技术指标，结合需求进行选型。例如，ADM706 系列的器件，有 ADM706R、ADM706S、ADM706T 等多个型号，它们的  $V_{CC}$  监控阈值是不一样的，分别为 2.63V、2.93V、3.08V，所以设计时应结合  $V_{CC}$  的监控要求进行选型。

理解要点：

- ① 复位电路常见的问题有：未提供复位信号、复位时序不正确、复位信号驱动能力不足等。
- ② 在专用看门狗芯片的应用中，需考虑复位脉宽、复位电平的选择等，不使用 WDO#直接作为复位信号。

## 6.2 时钟电路设计

时钟电路可被比喻为人体的心脏，是高速电路设计中至关重要的部分。随着系统设计复杂性和集成度大规模的提高，对时钟电路的要求也越来越高，从晶体到晶振，再到压控晶振，温度补偿型晶振等；从单端输出的 TTL 电平，到差分对的 LVPECL、LVDS 等电平，时钟电路的复杂度和重要性越来越高。本节将主要基于高速电路设计中常用的时钟器件进行讨论。

### 6.2.1 与时钟电路相关的经典案例

#### 【案例 6-3】 系统时钟偏快的问题

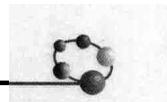
某通信产品运行时，用户界面显示的系统时间总是偏快。该产品基于 Intel X86 架构，系统上电后，与内部电池供电的 CMOS 模块校准时间，此后就基于南桥芯片 ICH3 的 14.318MHz 时钟电路进行计时。

#### 【讨论】

在系统上电之初，时间是准确的，只是在运行中显示的时间越来越快，因此问题的根源应该在 ICH3 的 14.318MHz 时钟电路。

ICH3 的 14.318MHz 时钟由 Cypress 公司的时钟驱动芯片 CY28405 提供，如图 6.6 所示为 CY28405 芯片的框图。

在设计中，以 14.318MHz 的晶体作为 CY28405 的时钟源，晶体的两个引脚与 CY28405



的 XIN、XOUT 引脚相接。CY28405 能输出多种频率的时钟，提供给单板上的各个芯片，如 CPU、北桥芯片、PCI 接口器件等，这些时钟均与南桥的 14.318MHz 同步，以实现全系统的同步。其中，CY28405 的 REF1 输出 14.318MHz 时钟给南桥 ICH3 芯片。

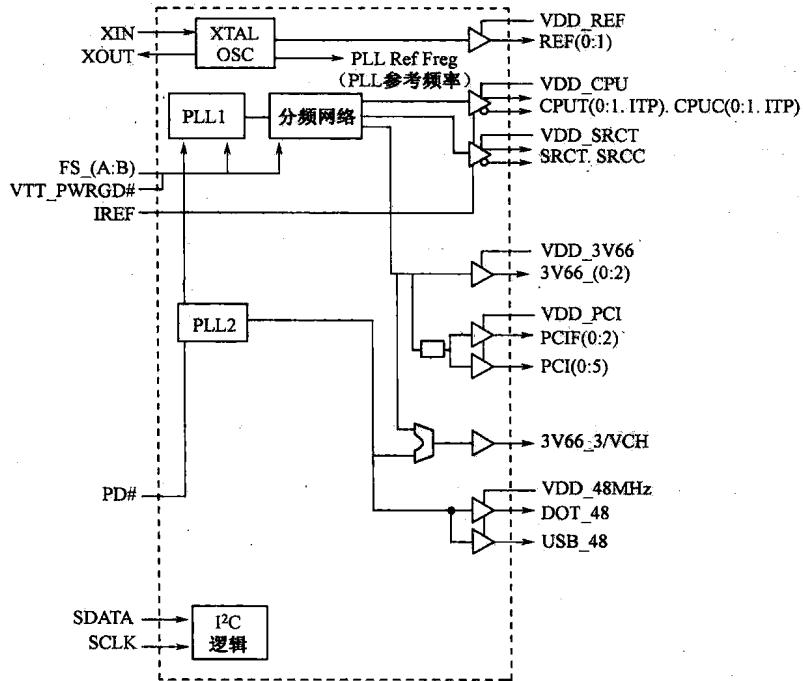


图 6.6 CY28405 芯片框图<sup>[8]</sup>

更换不同厂家的 14.318MHz 晶体，问题依旧。因此问题不是出在晶体，而是驱动器 CY28405。

查看芯片资料得知，CY28405 对外加晶体的容性负载有一定要求。

图 6.7 中，左边是设计者们非常熟悉的晶体工作电路图，右边是 CY28405 晶体负载等效电路图。从图 6.7 (b) 可知，晶体容性负载除了包括外部的 Trim 电容外，还包括引线电容以及引脚电容。

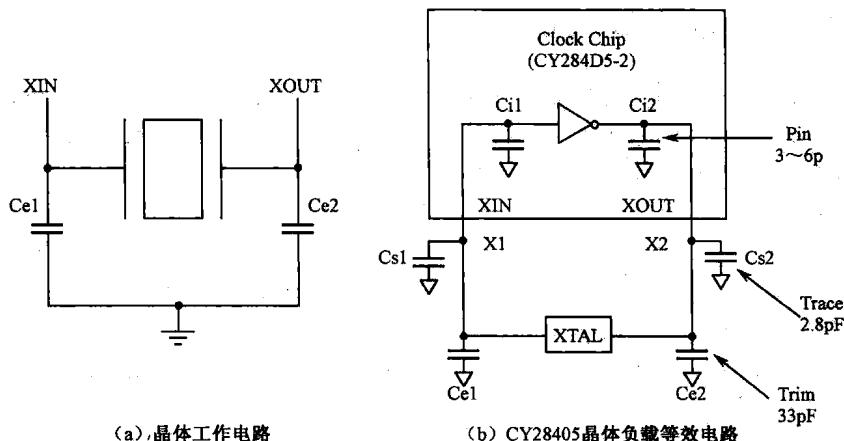


图 6.7 晶体工作电路与 CY28405 晶体负载等效电路<sup>[8]</sup>



晶体容性负载的计算公式为：

$$C_L = 1/[1/(C_{e1}+C_{s1}+C_{i1}) + 1/(C_{e2}+C_{s2}+C_{i2})] \quad (6.1) [8]$$

假设晶体两端引线和引脚电容完全相等，即  $C_{s1}=C_{s2}=C_s$ ,  $C_{i1}=C_{i2}=C_i$ ，且外部 Trim 电容也相等，即  $C_{e1}=C_{e2}=C_e$ ，则可求出：

$$C_e = 2 \times C_L - (C_s + C_i) \quad (6.2)$$

其中，

$C_L$ ——晶体容性负载，这是晶体稳定工作的基本要求，根据晶体器件资料，该晶体要求  $C_L=20\text{pF}$ ；

$C_e$ ——外部（Trim）电容；

$C_s$ ——引线（Trace）电容，根据 CY28405 芯片资料，取  $2.8\text{pF}$ ；

$C_i$ ——引脚电容，根据 CY28405 芯片资料，在  $3\sim6\text{pF}$  区间，此处取  $6\text{pF}$ 。

可以求出，为了满足晶体容性负载  $C_L=20\text{pF}$  的要求，外加的 Trim 电容的要求为： $C_{e1}=C_{e2}=C_e=2 \times 20\text{pF} - (2.8\text{pF} + 6\text{pF}) = 31.2\text{pF}$ 。

而本设计中，两个外部的 Trim 电容均为  $10\text{pF}$ ，在这种情况下，晶体容性负载  $C_L=9.4\text{pF}$ ，小于  $20\text{pF}$  容性负载的要求，即容性负载偏小。当晶体的容性负载偏小时，其振荡频率将会略高于标称值，因此出现了系统时钟偏快的现象。

将晶体的两个外部 Trim 电容  $C_{e1}$  和  $C_{e2}$  更改为  $33\text{pF}$  后，晶体的振荡频率更接近于标称频率，系统时钟不再偏快。

### 【案例 6·4】PHY 寄存器无法读取的问题

某单板调试时，软件工程师发现了无法从 CPU 读取 PHY 芯片的寄存器。

CPU 通过管理接口（由 MDC、MDIO 引脚构成）与 PHY 相连。在 PCB 设计中，由于布局的限制，CPU 与 PHY 芯片之间相距较远，在管理接口的时钟信号 MDC 上，采用了零延迟时钟驱动器 CY2305，如图 6.8 所示。

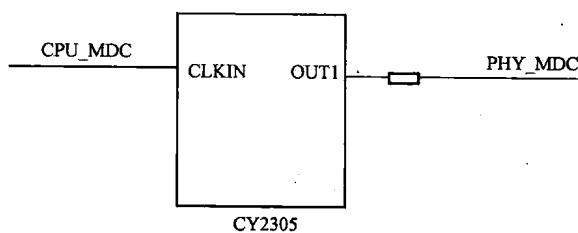


图 6.8 MDC 信号驱动电路

### 【讨论】

CPU 发出读取指令时，在 CPU 一侧测量管理接口的信号完整性，符合要求。在 PHY 一侧测量管理接口信号，PHY\_MDC 信号严重失真。

核对 CY2305 芯片资料，该芯片的工作频率是  $10\sim133\text{MHz}$ ，而 MDC 信号频率仅  $1\text{MHz}$ ，处于 CY2305 的工作频率之外，因而出现了失真的现象。

### 【拓展】

选择时钟驱动器时，设计者往往较为关注驱动器最高支持的信号频率，而忽视了驱动



器最低支持的信号频率。实际工作中，类似的案例还有很多。例如，某些存储器本身没有 JTAG 接口（JTAG 接口将在第 8 章介绍），需要利用具有 JTAG 接口的存储器控制器（如 CPU）发出读写命令以验证存储器接口焊接的可靠性，这种验证是通过边界扫描程序模拟存储器访问时序，对存储器读写来实现的，因此前提是存储控制器与存储器之间的接口在边界扫描的状态下能工作，若这些接口的时钟信号经过了类似 CY2305 这样的时钟驱动器件，将可能造成无法通过边界扫描来实现对存储接口的访问。

### 【案例 6-5】 高温流量测试丢包问题

对某以太网设备进行长时间的温度循环测试，利用 SmartBits（SmartBits 设备，是由 Spirent 公司开发的，用于以太网数据流量测试的设备。）对设备连续地、全速率地发送以太网数据包，测试人员发现一个奇怪的现象，设备在白天的测试中，均无丢包现象，夜间设备继续运行，但是第二天一早就会发现已发生丢包。

#### 【讨论】

该设备的用户接口是百兆以太网接口，利用 5 类非屏蔽双绞线与 SmartBits 连接，由于端口数目较多，线缆布线较杂，存在线缆被实验室管理员挪动的可能，在挪动过程中，可能导致丢数据包。经与管理员确认，这种可能被排除。

温度循环测试是指，通过对温箱温度曲线的控制，以实现调整产品工作所处环境温度的目的。在这个测试中，温度曲线如图 6.9 所示。

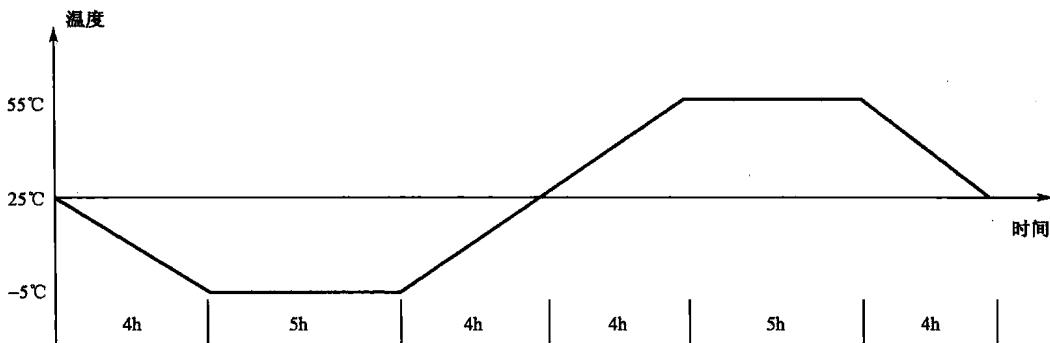


图 6.9 高低温循环测试温度曲线

循环测试一个周期共 26h (h: 小时)，分为六个阶段。第一阶段是用 4h 均匀地从 25°C 降温到-5°C，第二阶段是在-5°C 保持 5h，第三阶段用 4h 均匀地从-5°C 升温到 25°C，第四阶段用 4h 均匀地从 25°C 升温到 55°C，第五阶段是在 55°C 保持 5h，第六阶段是用 4h 从 55°C 降温到 25°C。在这个过程中，产品不间断地全速运行。

测试人员每天清早 9 点钟开始一个周期的测试，到下午 6 点下班前检查丢包情况，没有发现丢包，第二天清早 9 点检查，发现已经出现丢包现象。

头天清早 9 点到下午 6 点，循环测试正好完成了头两个阶段，从夜间到第二天早上 9 点，完成第三、四、五阶段以及第六阶段的一半，即丢包现象总是发生在后四个阶段。而后四个阶段有两个特点：一是升温，二是高温。

在高温 55°C 下，测量单板上与 PHY 相关的信号完整性和时序，没有发现问题。



利用 SmartBits 对以太网产品进行流量测试，有两个原因可能丢数据包：一个是产品本身存在缺陷；另一个是 SmartBits 的晶振快于以太网产品上 PHY 使用的晶振。

在高温下进行大量测试后，可基本排除产品缺陷造成丢数据包的可能性。

以下主要讨论晶振快慢对数据传输的影响。

SmartBits 是用于以太网性能测试的设备，在本案例中，其作用是以线速的速度产生以太网数据包，并发送给以太网交换机，以太网交换机收到数据包后，在内部转发，最终又将所有数据包发回 SmartBits。SmartBits 通过检测发出的数据包数目和接收的数据包数目是否相等，来判断是否发生了丢包。

如图 6.10 所示，假设 SmartBits 上的 IC1 是负责收发数据包的芯片，数据包到达以太网设备，完成业务后，通过芯片 PHY1 发送回 SmartBits。在这个过程中，SmartBits 上的 IC1 是基于晶振 OSC1 收发数据包，而以太网设备的 PHY1 是基于晶振 OSC2 收发数据包，由于双方采用的不是同一颗晶振，在频率上必然有一定的差别。假设 OSC1 和 OSC2 都是 25MHz（误差±50ppm）的晶振（ppm 指百万分之一，此处，50ppm 的误差即为 50Hz），虽然标称频率和精度完全一样，但实际振荡频率并不完全一样。利用频率计测量，在室温下，OSC1 的频率是 25.000050MHz，即 25MHz（误差+2ppm）；OSC2 的频率是 25.000100MHz，即 25MHz（误差+4ppm）。OSC2 略微快于 OSC1，即以太网设备上 PHY1 的工作速率高于 SmartBits 上 IC1 的工作速率，因此在常温下，以太网设备有能力将 SmartBits 发送来的数据包接收下来，并全部发回。

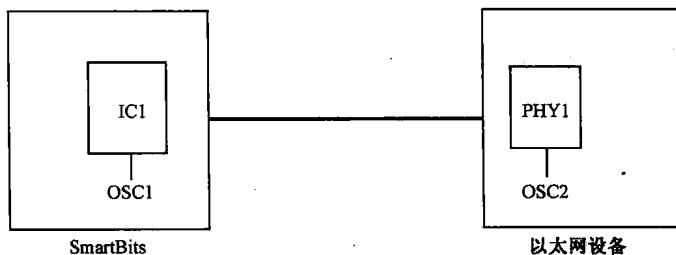


图 6.10 SmartBits 与以太网设备连接<sup>[49]</sup>

白天的测试从不丢包，分析温度循环曲线图可知，白天的测试包括常温和低温两种情况，在测试中，只有以太网设备被放置在温箱中，而 SmartBits 一直工作在室温环境，在低温-5℃下测量 OSC2 的频率为 25.000300MHz，即 25MHz（误差+12ppm），高于 OSC1 室温下的频率 25MHz（误差+2ppm），因此，在低温下，以太网设备同样有能力将 SmartBits 发送来的数据全部发回。

丢包现象都是发生在夜间，夜间的测试包括低温、常温、高温三个阶段，通过前面的测试已经证实，低温和常温条件下，OSC2 的频率都快于 OSC1，因此主要考虑高温的情况。在 55℃，测量 OSC2 的频率为 24.999825MHz，即 25MHz（误差-7ppm），慢于 OSC1，在这种情况下，以太网设备没有足够的能力将 SmartBits 发送来的数据包全部发回，即对于以太网设备而言，接收到的数据包始终多于能发送出去的数据包，必然造成丢包。

根据以上分析得到结论，夜间丢包的原因是高温下 OSC2 的速率慢于 OSC1。为了检验这个结论，设计者将 SmartBits 发包速率从全速的 100% 调整为 97%，进行多个温度循环测试，没有发现丢包。由此证明丢包原因确系高温下 OSC2 速度较慢。



仔细查阅以太网设备上使用的晶振 OSC2 的器件资料，发现晶振的输出频率随着环境温度的变化，也会有略微的变化，如图 6.11 所示。

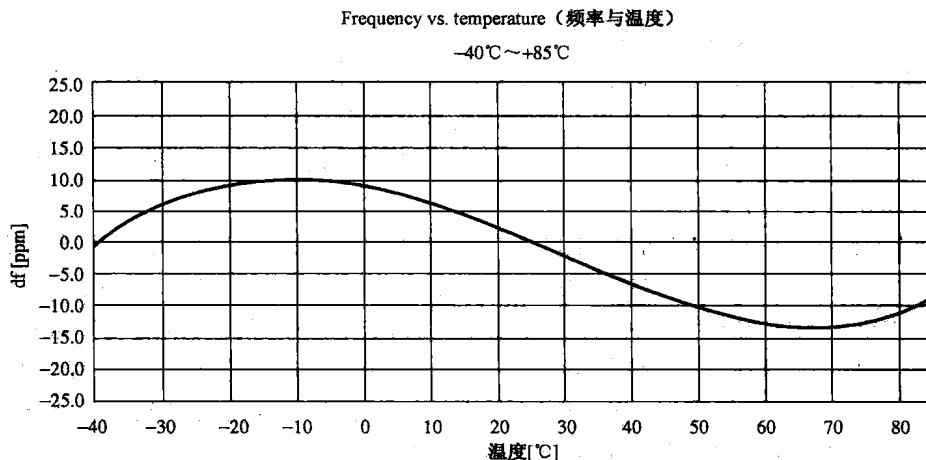


图 6.11 晶振频率—温度变化曲线

以 25℃时晶振的频率为基准，随着温度的降低，输出频率将先提高，再降低；随着温度的升高，输出频率将先降低，再升高。本例中，55℃时的晶振输出频率相对常温最多可能降低 12ppm。

## 6.2.2 晶体、晶振介绍及其应用要点

### 1. 晶体

高速电路设计中常用的晶体是石英晶体。石英是一种天然的压电材料，具有极其稳定的振荡能力。石英晶体是将一整块石英上按照一定的切割方式形成石英晶片，再在石英晶片表面上涂银，并安装上金属板构成的。根据切割方式的不同，晶体能以不同的频率起振（这个频率称为晶体的固有频率）。除了频率外，晶体的很多特性，如温度稳定性、老化稳定性、等效电路参数、容性负载要求等，都与切割方式紧密相关。

石英晶体之所以能起振，完全依赖于其自身特有的压电效应。如图 6.12 所示，压电效应的原理是：在晶体的两极间加电场，能使晶体发生机械变形；在晶体的两极间施以机械应

力，能在两极间产生电场。方向交替变化的电场，能产生交变的机械应力，而交变的机械应力反过来又产生了交变的电场。当外加电场的交变频率与晶体的固有频率相等时，构成谐振，使得机械振动的幅度急剧增大，并以晶体的固有频率保持持续稳定的振荡。

晶体等效电路中，如图 6.13 所示， $C_0$  为石英晶片与金属板之间的静态电容， $L$ 、 $C$  和  $R$  分别代表晶体的等效电

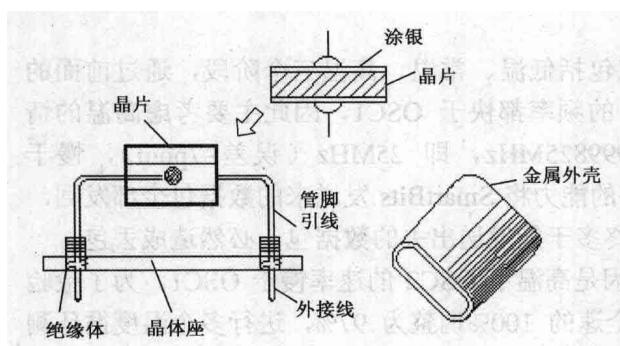


图 6.12 石英晶体



感、等效电容和等效电阻。对于石英晶体而言， $L$  分量远远大于  $C$  和  $R$  分量，根据公式  $Q = \sqrt{\frac{L}{CR^2}}$  可知，晶体的品质因数  $Q$  远远大于普通的 RC、LC 振荡电路。一般而言，RC 振荡电路的频率稳定度可以达到  $10^{-3}$ ，LC 振荡电路的频率稳定度能达到  $10^{-4}$ ，而晶体基于其极高的  $Q$  值，频率稳定度可以达到  $10^{-9}$  甚至更高，远优于 RC 和 LC 振荡电路。

在实际应用中，晶体的两个引脚与地之间需要各串联一个 Trim 电容  $C_e$ ，从 6.2.1 节的相关案例分析可以看出，这个电容对晶体谐振频率的稳定性有一定影响。

晶体选型时，需要从器件资料上得到以下关键参数：基准频率、频率精度、容性负载  $CL$ 、室温下的精度、老化度。下文将对这些参数进行详细的说明。

**基准频率：**这是晶体标称的振荡频率，前提要求是室温  $25^\circ\text{C}$ ，精度误差为 0ppm，电路设计完全满足容性负载的要求，即是一个理想的频率值。

**频率精度：**如  $\pm 50\text{ppm}$  ( $-20^\circ\text{C} \sim 70^\circ\text{C}$ )，表示在对应温度范围内，晶体最大频偏不会超过  $50\text{ppm}$ 。

**容性负载  $CL$ ：** $CL$  是晶体外接振荡电路上所有分布电容的总和。晶体的振荡电路表现为一个负电阻  $-R$  以及容性负载  $CL$  的串联，晶体及其振荡电路的等效电路如图 6.14 所示。

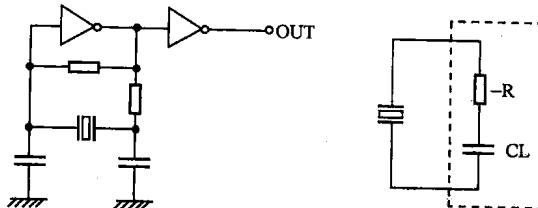


图 6.14 晶体及其振荡电路原理图与等效电路图

晶体、 $-R$ 、 $CL$  共同决定了晶体的振荡频率。为了维持振荡频率的稳定性， $CL$  不能太小，一般要求为几十  $\text{pF}$ 。

**室温下的精度：**如参数  $\pm 10\text{ppm} @ 25^\circ\text{C} \pm 3^\circ\text{C}$ ，表示在室温环境下晶体的最大频偏为百万分之十。

**老化度：**如参数  $\pm 1\text{ppm}/\text{年}$ ，表示每过一年，晶体频偏增加量不会超过  $1\text{ppm}$ 。

与频偏量有关的参数有频率精度、室温下的精度和老化度。在选型中，最重要的是频率精度，这个参数实际上包含了因切割方式、环境温度、工作电压、老化度等因素造成的频偏，决定了晶体的精度等级和工作温度范围，同时这个参数也决定了晶体的价格。例如，某系列晶体分为 A、B、C、D、E、F 六个等级，对应精度及工作温度范围分别是  $\pm 100\text{ppm}$  ( $-20^\circ\text{C} \sim 70^\circ\text{C}$ )、 $\pm 50\text{ppm}$  ( $-20^\circ\text{C} \sim 70^\circ\text{C}$ )、 $\pm 100\text{ppm}$  ( $-40^\circ\text{C} \sim 85^\circ\text{C}$ )、 $\pm 50\text{ppm}$  ( $-40^\circ\text{C} \sim 85^\circ\text{C}$ )、 $\pm 25\text{ppm}$  ( $-20^\circ\text{C} \sim 70^\circ\text{C}$ )、 $\pm 30\text{ppm}$  ( $-20^\circ\text{C} \sim 70^\circ\text{C}$ )。

在设计中，重要但比较容易被忽略的参数是容性负载  $CL$ ，6.2.1 节的案例已经对此做了详细说明。

对晶体的选型，还需要注意晶体的频偏—温度特性曲线图，如图 6.15 所示。

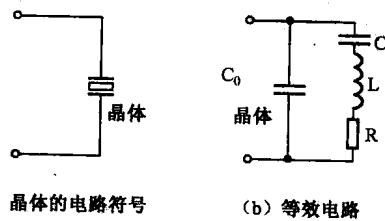


图 6.13 晶体电路符号和等效电路



从图 6.15 中可以发现，A 晶体的曲线在室温附近比较平坦，但是在高低温时坡度很大；B 晶体的曲线在室温附近坡度很大，但是在高低温时精度相对较好。在选型时，需要综合考虑精度与环境的要求。

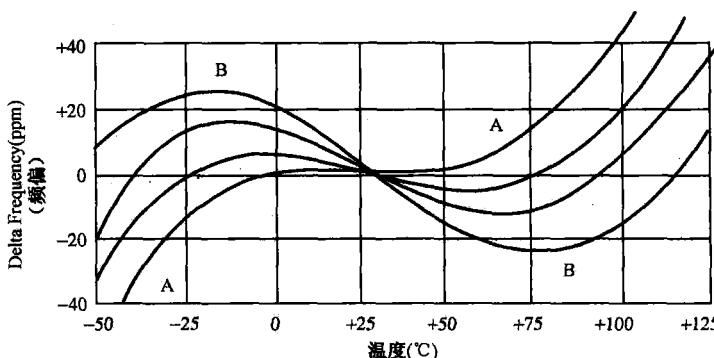


图 6.15 晶体的频偏—温度特性图

#### 理解要点：

- ① 晶体的特性主要取决于切割方式。
- ② 晶体的频率精度是决定晶体性能最重要的参数。晶体的频偏—温度曲线是选型时的重要的参考依据。

## 2. 晶振

### 1) 晶振简介

晶体（Crystal）和晶振（Oscillator）是两个不同的概念。

晶体必须借助外部的有源激励和振荡电路才能起振，振荡频率主要取决于晶体的切割方式，外部振荡电路也部分地影响着振荡频率的精度。振荡电路中包含两个 Trim 电容，由于电容的精度一般比较低，因此即便是完全相同的电路图，振荡频率的频偏也有可能存在一定的差别。

晶振将振荡电路和晶体集成在一个封装内，加电即可输出时钟信号，频率精度较高，价格也略高。

常用的晶振的技术指标如下。

**基准频率：**晶振在完全理想条件下的振荡频率。

**工作电压：**晶振的工作需要外界提供一定的电源电压，晶振输出的时钟信号上的噪声与电源噪声紧密相关，因此在晶振器件资料上，对电源的质量有一定的要求。

**输出电平：**晶振与晶体相比，很重要的一个区别就在于晶振提供的一站式服务，即只要上电，就直接输出时钟信号。根据第 3 章的知识，信号电平种类有许多种，时钟信号的电平也多种多样。在选型中，应根据所需时钟电平的种类，选择对应的晶振。例如，VECTRON 公司的晶振有不同型号以支持以下电平：TTL、CMOS、HCMOS、LVCMOS、LVPECL、LVDS 等。

**工作温度范围：**根据环境温度要求的不同，应选择对应的工作温度范围。例如，某款晶振有三种工作温度范围： $-20^{\circ}\text{C} \sim 70^{\circ}\text{C}$ ， $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ ， $-55^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 。



**频率精度：**对应不同的工作温度范围，可选择不同的频率精度。例如，某款晶振有三种频率精度以对应不同的工作温度范围： $\pm 15\text{ppm}$ @ $-20^\circ\text{C} \sim 70^\circ\text{C}$ ， $\pm 25\text{ppm}$ @ $-40^\circ\text{C} \sim 85^\circ\text{C}$ ， $\pm 40\text{ppm}$ @ $-55^\circ\text{C} \sim 105^\circ\text{C}$ 。以 $\pm 15\text{ppm}$ @ $-20^\circ\text{C} \sim 70^\circ\text{C}$ 为例，其含义是，在 $-20^\circ\text{C} \sim 70^\circ\text{C}$ 的温度范围内，该晶振输出频率相对基准频率的偏差不会超过 $15\text{ppm}$ ，即在该温度范围内，晶振频率变化的最大值为 $30\text{ppm}$ 。该参数是晶振最重要的参数，包含了由于温度变化、电源电压波动、负载变化等因素引起的频率偏差。

**老化度：**与晶体一样，晶振同样具有老化度指标。这个指标是指，在恒定的外界条件下测量晶振频率，频率精度与时间之间的关系。这种长期的频率漂移是由晶体元件以及振荡电路元件的缓慢老化而造成的，可用单位时间内最大频率变化表示。例如，某晶振的老化度指标是： $\pm 1\text{ppm}/\text{年}$ ， $\pm 5\text{ppm}/10\text{年}$ 。

**启动时间：**从上电到晶振输出频率的偏差达到规定的频率精度所需要的时间。这项参数很容易被理解，晶体从受到激励开始，需要一定的时间才能达到谐振。但是这项参数在设计中往往容易被忽略。此处举一个小案例。

### 【案例 6-6】 利用首个时钟沿启动组合逻辑导致 CPU 工作不稳定

单板上 CPLD 的工作时钟 CLK 由外部 $25\text{MHz}$ 晶振提供，晶振和 CPLD 都通过 $3.3\text{V}$ 电源供电。设计者希望在上电完成后，CPLD 立即开始一块组合逻辑的处理，该组合逻辑主要完成对 CPU 引脚的配置。因此设计中，以 CLK 的头一个上升沿为触发条件，启动组合逻辑的运行。调试中，发现 CPU 无法正常启动。

#### 【讨论】

该型号 CPU 的启动，要求上电后某些引脚立即被配置到相应的电平。一般而言，对于这种要求可以通过上下拉电阻实现。设计者为了调试的方便，没有使用上下拉电阻，而是通过 CPLD 来完成对这些引脚的配置。针对此问题，测量 CLK 信号，发现上电完成后，晶振不能立即输出符合电平和频率要求的时钟信号，而是需要一定时间，才能输出稳定的时钟信号。因此上电完成的头一个信号的上升沿往往是不稳定的。

改版设计时，通过上下拉电阻完成对 CPU 引脚的配置，CPU 启动正常。

#### 2) 晶振的分类

常用的晶振分为三类：标准封装晶体振荡器 SPXO、压控式晶体振荡器 VCXO、温度补偿式晶体振荡器 TCXO。

(1) 标准封装晶体振荡器 SPXO。SPXO 是最普通的一种晶振，其框图如图 6.16 所示，它无温度补偿功能，也无电压控制功能，其频率特性完全取决于晶体以及外部振荡电路，频率精度最高可以达到 $\pm 10\text{ppm}$ 。由于 SPXO 不包含任何频率补偿功能，因此是晶振中精度最差的一个种类。

##### ① 主要技术参数。

以 VECTRON 公司的 VCC1 系列晶振为例，分析 SPXO 器件的参数。该系列晶振主要的技术指标有以下几项，均可从器件资料中得到。

**基准频率：**从 $32\text{kHz}$ 开始，最高可达 $190\text{MHz}$ ，在这个区间中有多种频率可供选择。

**工作电压：**支持 $1.8\text{V}$ 、 $2.5\text{V}$ 、 $3.3\text{V}$ 、 $5.0\text{V}$ 。

**输出电平：**输出时钟信号电平为 CMOS。

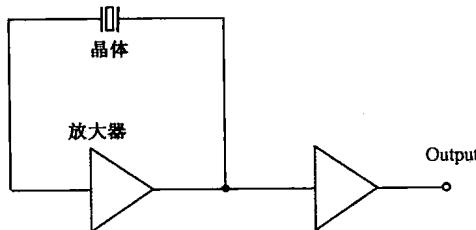


图 6.16 SPXO 框图

**工作温度范围：**可选择两种工作温度范围， $-10^{\circ}\text{C} \sim 70^{\circ}\text{C}$  和  $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。由于 SPXO 不具备温度补偿功能，因此在 PCB 布局时，SPXO 器件应远离发热源。

**频率精度：**有多种精度等级可供选择： $\pm 20\text{ppm}$ 、 $\pm 25\text{ppm}$ 、 $\pm 32\text{ppm}$ 、 $\pm 50\text{ppm}$ 、 $\pm 100\text{ppm}$ 。频率精度已完全包括了温度变化、电源电压波动、老化等因素引起的频率偏差。根据芯片对时钟精度的要求对晶振选型时，这是最重要的一项参数。

**老化度：**由于老化对晶振精度的影响已经包含在频率精度中，器件资料并没有单独列出老化度参数。

**启动时间：**最大值为 10ms。

**占空比：**45%~55%。在双边沿采样的时序计算中，应考虑占空比参数。在时序计算中，需要利用时钟周期来计算时序裕量，而在双边沿采样的设计中，计算时序裕量时，应采用位周期来取代时钟周期，在这种情况下，设计者往往直接采用时钟周期的一半作为位周期，这种方法是不严谨的，当占空比不等于 50% 时，位周期并不等于时钟周期的一半。例如，在占空比为 45%~55% 的情况下，位周期应取时钟周期的 45%。

**时钟抖动 (Jitter)：**VCC1 系列晶振资料上提供了两个抖动参数：一个是 RMS Jitter (12kHz~20MHz)，典型值为 0.5ps；另一个是 RMS Jitter (全频段)，典型值为 2.5ps。后续将有章节具体探讨时钟抖动的内容。

## ② SPXO 成本的决定因素。

基准频率，频率越高则成本越高。

频率精度，精度越高成本越高。

工作电压，当工作电压低于 2.5V 时，电压越低成本越高。

输出电平，输出电平应用的场合越少则成本越高，例如，LVPECL 输出电平的应用场合比 CMOS 少，所以成本相对也更高。

工作温度范围，范围越宽，成本越高。

(2) 压控式晶体振荡器 VCXO。VCXO 是通过外部施加控制电压使振荡频率可调的晶体振荡器，其框图如图 6.17 所示。VCXO 的特点是：输出频率可以通过输入电压控制，一般控制范围为  $\pm 50 \sim \pm 200\text{ppm}$ 。

在对晶体的介绍中提到，振荡频率与晶体外部容性负载  $CL$  密切相关。VCXO 的频率能被调整的原因，就在于通过改变外加调整电压的大小，能改变容性负载  $CL$  的值，

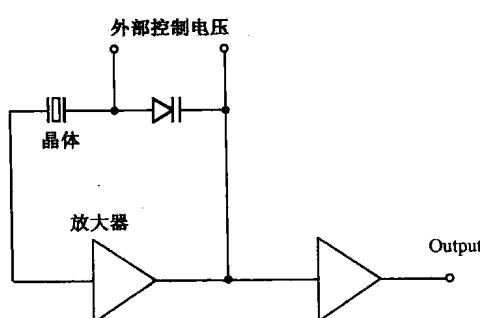


图 6.17 VCXO 框图



从而实现频率的调整。容性负载与调整电压之间的关系如图 6.18 所示。

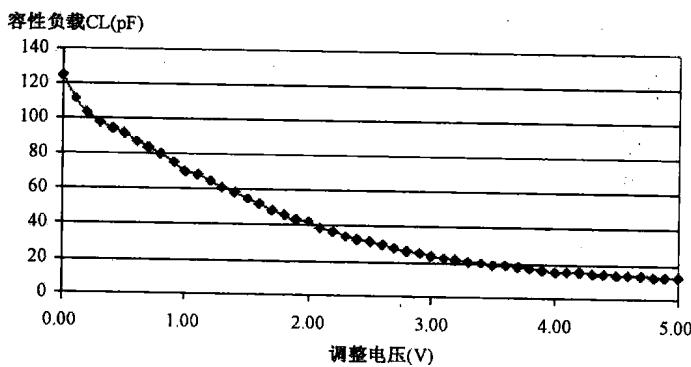


图 6.18 VCXO 容性负载与调整电压关系图

以 VECTRON 公司的 VX—700 系列晶振为例，分析 VCXO 器件的参数。该系列晶振主要的技术指标有以下几项，均可从器件资料中得到。

**基准频率：**从 77.76MHz 开始，最高可达 200MHz，在这个区间中有多种频率可供选择。

**输出电平：**输出时钟信号的电平为 LVPECL。

**工作温度范围：**可选择两种工作温度范围，0℃～70℃和−40℃～85℃。

**频率—温度稳定性：**±20ppm，表示在工作温度范围内，频率偏移的最大值。对 SPXO 和 TCXO 而言，此项参数对应的是频率精度，包含了环境温度变化、电源波动、负载变化、老化等引起的频偏，但是对 VCXO 而言，由于其振荡频率具有可调整的特点，不再使用频率精度这一概念，而是使用频率—温度稳定性参数以定义环境温度变化对频偏的影响，该参数不包含电源波动等因素对频率精度的影响。事实上，在 VCXO 选型时，更有意义的是后面将要介绍的绝对牵引范围参数。VCXO 不具备温度补偿功能，因此在 PCB 布局时，VCXO 器件应远离发热源。

**电源电压：**3.3V，这是 VCXO 的工作电压。

**控制电压：**调整范围为 0.3～3V，除了电源电压外，VCXO 还需要控制电压，以调节输出频率。一般定义中央电压为调整范围的中点，即 1.65V。当控制电压调整为中央电压时，VCXO 输出标称的基准频率。

**牵引范围 (Pull Range)：**从中央电压开始，将调整电压向最小值或最大值的方向调整时，输出频率的变化范围。图 6.19 是 VX—700 系列中基准频率为 128MHz 的 VCXO 的牵引范围—调整电压曲线图。由曲线图可知，该 VCXO 的牵引范围为−160～120ppm，中间电压 2V，电压调整量与频偏量并不是线性关系，当控制电压大于 1.7V 时，频偏增益基本稳定在 105ppm/V。

**绝对牵引范围 (Absolute Pull Range)：**这是 VCXO 器件最重要的一个参数。该参数是指，从牵引范围中减去由于温度变化 (0℃～70℃ 或 −40℃～85℃)、老化 (10 年)、电源电压变化 (10%) 和负载变化等因素造成的频率偏移范围后，得到的绝对牵引范围。即：

$$\text{绝对牵引范围} = \text{牵引范围} - (\text{由于温度变化、老化、电源波动、负载变化造成的偏移范围})$$

器件资料中定义，VX—700 的绝对牵引范围是 50ppm，由于频率—温度稳定性是 20ppm，10 年时间由于老化而引起的频率偏移为 5ppm，10% 的电源波动引起频率偏移为 5ppm，负载变化引起频率偏移为 4ppm，则 VX—700 所具有的牵引范围应达到 84ppm<sup>[18]</sup>。



设计者常常认为牵引范围 (Pull Range) 越大，代表该 VCXO 的频率牵引能力越好，这种观点并不正确，因为牵引范围实际上包括了温度变化、电源波动等因素带来的频率偏移。在根据芯片所要求的频率偏移最大量选型 VCXO 时，应参考绝对牵引范围，而不是牵引范围。

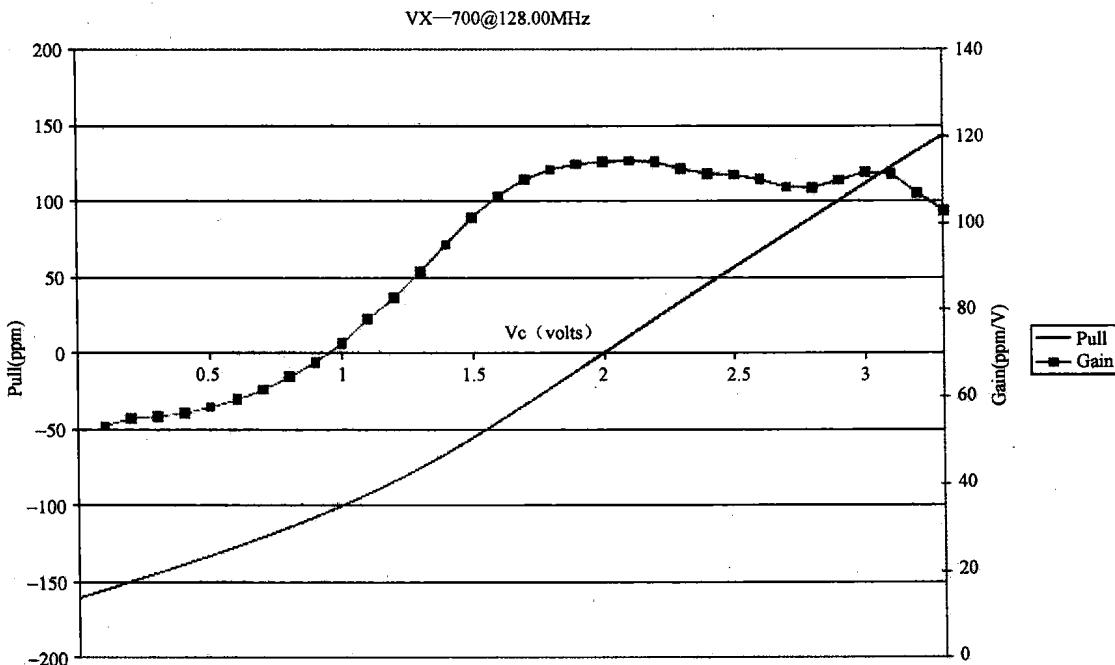


图 6.19 VX-700 牵引范围—调整电压曲线

**频偏敏感度：**在牵引范围—调整电压曲线图中，“Gain”曲线代表频偏敏感度。以 ppm/V 为单位。

**线性度：**指“Gain”曲线的线性程度。VX-700 的线性度最大值是 10%。为“Gain”曲线绘制一条拟合的直线，则“Gain”曲线相对该直线的最大偏离百分比被定义为线性度。该参数值越小越好。一般而言，VCXO 的牵引范围越宽，线性度越差。

**调制带宽：**VCXO 能支持的调整电压最大带宽。VX-700 的调制带宽为 20kHz。

**时钟抖动：**以 155.52MHz 基准频率的 VCXO 为例，器件资料中定义了四个抖动参数。一是 RMS Jitter (12kHz~20MHz)，典型值为 0.3ps；二是 RMS Jitter (50kHz~80MHz)，典型值为 0.5ps；三是 RMS Jitter (全带宽)，典型值为 3ps；四是 Jitter 峰-峰值，典型值为 20ps。

在成本方面，除考虑与 SPXO 相同的因素外，还需要考虑牵引范围。牵引范围越宽，成本越高。

VCXO 常用在锁相环 (PLL, Phase-Locked Loop) 电路中。

(3) 温度补偿式晶体振荡器 TCXO。TCXO 是利用附加的温度补偿电路以减小环境温度对振荡频率影响的一种晶体振荡器。其特点是：频率精度远远高于 SPXO 和 VCXO。

如图 6.20 所示是 TCXO 的框图。

TCXO 的工作原理是利用热敏电阻的温度敏感性，当温度变化时，热敏电阻的阻值和容性负载同时发生变化，而容性负载的变化会改变振荡频率，从而实现对振荡频率的修正。

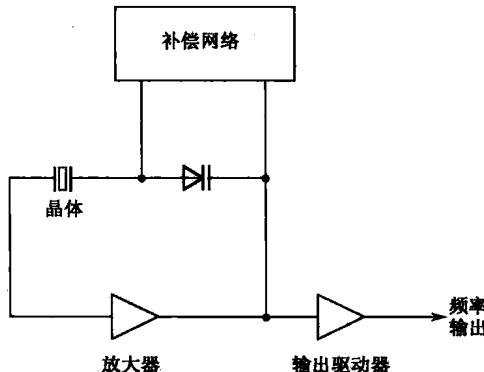


图 6.20 TCXO 框图

以 VECTRON 公司的 VT—701 系列晶振为例，分析 TCXO 器件的参数。该系列晶振主要的技术指标有以下几项，均可从器件资料中得到。

**基准频率:** 最高可达 27MHz，有多种频率可供选择。

**输出电平：**输出时钟信号电平为 CMOS。

**工作温度范围：**可选择五种工作温度范围，常用的是 $-20^{\circ}\text{C} \sim 70^{\circ}\text{C}$ 和 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。

电源电压：3.3V 或 5V。

**控制电压:** TCXO 提供一个引脚作为控制电压的输入, 以实现类似于 VCXO 利用控制电压调整输出频率的功能, 当不使用该功能时, 应将此引脚接地。VT—701 的控制电压输入范围是 0.5~2.5V。当使能频率调整功能时, 通过不同的器件料号可选择不同的牵引范围: 5ppm、8ppm、10ppm 和 12ppm。

**频率精度：**通过不同料号，可选择以下几种精度： $\pm 0.5\text{ppm}$ 、 $\pm 1.0\text{ppm}$ 、 $\pm 2.0\text{ppm}$ 、 $\pm 2.5\text{ppm}$ 、 $\pm 3.0\text{ppm}$ 、 $\pm 4.0\text{ppm}$ 、 $\pm 5.0\text{ppm}$ 。可见，TCXO 可达到的精度远远高于 SPXO、VCXO。需注意，频率精度参数已完全包括了温度变化、电源电压波动、老化等因素引起的频率偏差。根据芯片对时钟精度的要求，对 TCXO 选型时，这是最重要的一项参数。

启动时间：最大值为 2ms。

**相位噪声：**器件资料上以基准频率 10MHz 的 TCXO 为例，列出五项相位噪声参数，分别为：-92dBc/Hz (10Hz)、-116dBc/Hz (100Hz)、-137dBc/Hz (1kHz)、-149dBc/Hz (10kHz)、-154dBc/Hz (100kHz)。后续章节将详细探讨相位噪声的内容。

TCXO 成本的决定因素与 SPXO、VCXO 类似，此处不再赘述。

#### 理解要点：

- ① 晶振选型时需重点考虑的器件参数有哪些?
  - ② SPXO、VCXO、TCXO 在应用上的特点。

### 6.2.3 锁相环及其应用

## 1. 锁相环原理介绍

锁相环 (PLL, Phase Locked Loop) 的作用是使输出信号与输入信号建立同频同相的关系。



系，且使输出信号自动地跟踪输入信号。锁相环由鉴相器（PD，Phase Detector）、环路滤波器（LF，Loop Filter）和压控式晶体振荡器（VCXO）组成。锁相环框图如图 6.21 所示。

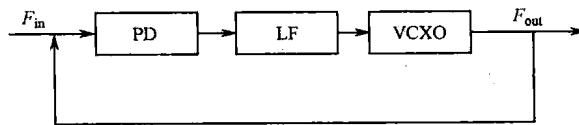


图 6.21 锁相环框图

**PD**，主要作用是检测输入信号与输出信号的相位差，用比较器如 TLV2442 实现。

**LF**，作用是将 PD 输出信号的纹波和噪声等高频交流成分滤除，将输出信号转换成高频率成分较少的信号。LF 的另一个作用是产生稳定的 PLL 环路。一般通过低通滤波器实现。

**VCXO**，指可变频率振荡器，利用 LF 输出的信号控制振荡频率。

锁相环刚开始工作时，输出信号  $F_{out}$  和输入信号  $F_{in}$  完全无关，由于输入信号和输出信号的相位差别较大，PD 持续输出非零值，使 VCXO 的输出频率不断变化，直到 VCXO 输出的信号  $F_{out}$  与  $F_{in}$  达到完全同频同相，PD 输出零值，使 VCXO 的输出稳定在某个频点上。

利用锁相环实现对输入信号的锁定，锁相的过程需要一定时间。只有完成锁相的过程后， $F_{out}$  才能被使用。

当设计要求输出信号  $F_{out}$  的频率为输入信号  $F_{in}$  的  $N$  倍频时，可采用如图 6.22 所示的设计方法。

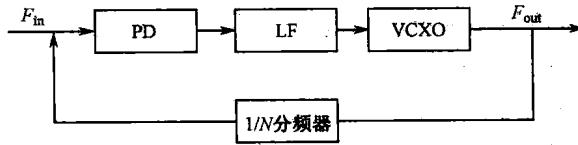


图 6.22  $N$  倍频锁相环框图

当要求输出信号  $F_{out}$  的频率为输入信号  $F_{in}$  的  $M$  分频时，可采用如图 6.23 所示的设计方法。

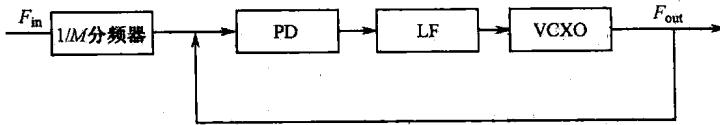


图 6.23  $M$  分频锁相环框图

同理，结合  $N$  倍频和  $M$  分频锁相环电路，可以设计出  $N/M$  倍频锁相环电路。

在锁相环的应用中需注意，输出信号  $F_{out}$  的精度在很大程度上取决于输入信号  $F_{in}$  本身的精度。因此，如果设计中要求  $F_{out}$  的精度较高，则输入信号  $F_{in}$  的精度不能低于这个要求。

## 2. 锁相环应用实例

以高速电路设计常用的 Cypress 公司 CY2305 零延时时钟驱动芯片为例，介绍 PLL 器件的应用。

在高速电路设计中，经常出现单板上有多个芯片需要同一种时钟的情况，设计要求这些



时钟不仅同频，还要同相，以便于各芯片的同步工作。在这种情况下，就需要用到零延迟时钟驱动器，如 CY2305。

CY2305 是一款工作于 3.3V 的零延迟时钟驱动器，其工作频率范围是 10~133MHz。所谓零延迟，是指输出时钟和输入时钟完全同相而没有任何延时。

CY2305 的逻辑框图如图 6.24 所示。

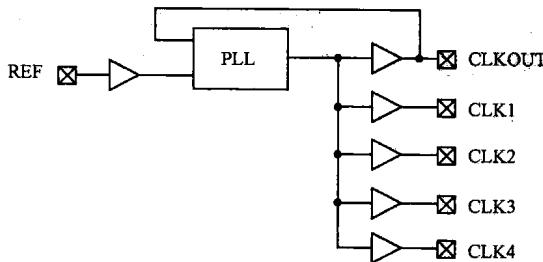


图 6.24 CY2305 逻辑框图<sup>[19]</sup>

CY2305 外部输入的时钟信号 REF 经锁相环 (PLL) 处理后，再由驱动器驱动，可以得到五个与 REF 完全同频同相的时钟信号 (CLKOUT, CLK[4:1])。CY2305 内部的锁相环只有在检测到 REF 的上升沿后才开始工作，在检测到 REF 上升沿之前，五个输出时钟引脚都处于高阻状态。

在应用中，需注意以下几方面。

### 1) 负载能力

如表 6.1 所示为摘自 CY2305 芯片资料的性能指标。 $C_L$  是容性负载能力，定义 CY2305 的每个时钟输出引脚最大的驱动能力。该值越大，则驱动能力越强。例如，某 CMOS 器件的引脚容性为 7pF，某 PHY 芯片的时钟引脚容性为 30pF，从表 6.1 可知，输出时钟频率低于 100MHz 时，CY2305 的引脚容性负载能力为 30pF，则 CY2305 的一个时钟输出端可以同时驱动 4 个 CMOS 器件，但只能驱动一个 PHY 芯片的时钟引脚。因此在时钟电路设计时，必须结合驱动方的驱动能力和接收方的引脚容性，来判断时钟驱动能力是否足够。对 CY2305 而言，当工作频率在 10~100MHz 时，驱动能力是 30pF；当工作频率在 100~133MHz 时，驱动能力只有 10pF。

表 6.1 CY2305 的输入/输出容性负载<sup>[19]</sup>

$C_L$	Load Capacitance, below 100MHz (工作频率低于 100MHz 的负载电容)	30	pF
$C_L$	Load Capacitance, from 100MHz to 133MHz (工作频率从 100~133MHz 的负载电容)	10	pF
$C_{IN}$	Input Capacitance (输入电容)	7	pF

$C_{IN}$  是 CY2305 输入端 REF 的引脚容性，为 7pF。

### 2) REF 与 CLKOUT, CLKOUT 与 CLK[4:1] 的关系

CY2305 具有零延迟时钟驱动的功能，这并不代表在任何条件下，CLKOUT、CLK[4:1] 的相位都和 REF 完全相同。CY2305 的五个时钟输出是同时开始变化的，但是根据 CY2305 逻辑框图，锁相环 PLL 的相位比较器 PD 比较的是 CLKOUT 引脚的中间电平  $V_{DD}/2$  与 REF 引脚的中间电平  $V_{DD}/2$ ，即：



CLKOUT 信号与 REF 信号之间的关系是中间电平重合，这通过 PLL 实现，也是零延迟的真正含义：输入信号 REF 的中间电平到输出信号 CLKOUT 的中间电平的延时是零。

CLKOUT 与 CLK[4:1]（以下统称为 CLK）信号之间的关系是变化起始点相同，但是它们中间电平之间的关系完全取决于各自的容性负载。

CLKOUT 引脚与 CLK 引脚容性负载的差值每增加 1pF，引起 CLK 信号中间电平相对 REF 的延时增加 50ps。根据 CLKOUT 引脚和 CLK 引脚的容性负载的差值，绘制 REF 信号与 CLK 信号中间电平的延时关系如图 6.25 所示。

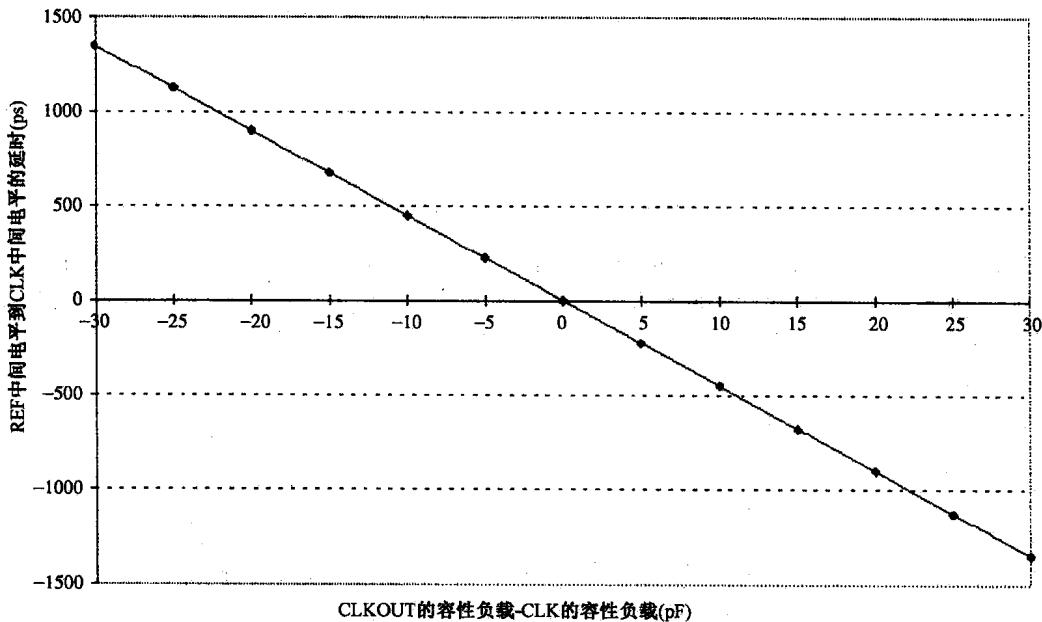


图 6.25 CLK 信号容性负载与延时的关系<sup>[20]</sup>

CLK 引脚容性负载和 CLKOUT 引脚容性负载之间的关系，可分为以下三种情况：

**情况一**，CLK 和 CLKOUT 引脚容性负载完全相同，如图 6.26 所示。在这种情况下，CLK、CLKOUT 实现了与 REF 的零延时。

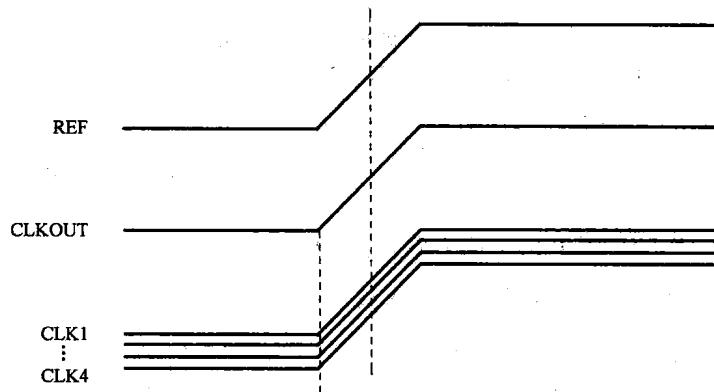


图 6.26 CLK 与 CLKOUT 容性负载完全相同的情况<sup>[20]</sup>

**情况二**，CLK 引脚的容性负载比 CLKOUT 引脚的容性小，如图 6.27 所示。在这种情



况下，只有 CLKOUT 实现了与 REF 的零延时，CLK 信号与 CLKOUT 信号的边沿同时开始变化，由于容性较小，因此比 CLKOUT 更快地到达中间电平，即 CLK 信号的中间电平超前于 REF 信号。

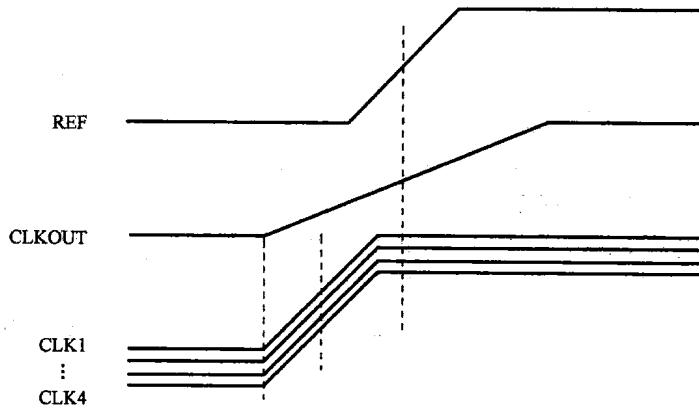


图 6.27 CLK 容性负载比 CLKOUT 的容性小的情况<sup>[20]</sup>

**情况三**，CLK 引脚的容性负载比 CLKOUT 引脚的容性大，如图 6.28 所示。在这种情况下，同样只有 CLKOUT 实现了与 REF 的零延时，CLK 信号与 CLKOUT 信号的边沿同时开始变化，由于容性较大，因此到达中间电平的时间比 CLKOUT 晚，即 CLK 信号的中间电平延迟于 REF 信号。

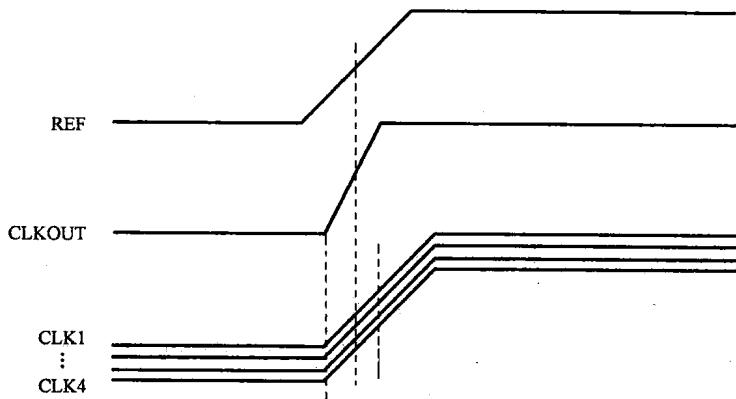


图 6.28 CLK 容性负载比 CLKOUT 的容性大的情况<sup>[20]</sup>

**结论：**在任何情况下，CLKOUT 与 REF 之间的关系都是零延时；当 CLK 的容性负载与 CLKOUT 相同时，CLK 信号与 REF 信号之间的关系是零延时；当 CLK 的容性负载比 CLKOUT 小时，CLK 信号超前于 REF 信号；当 CLK 的容性负载比 CLKOUT 大时，CLK 信号落后于 REF 信号。

### 3) 输出占空比

在双边沿采样的设计中，时序计算中的周期应采用位周期，而不是时钟周期的一半。就 CY2305 而言，工作频率小于 50MHz 时，占空比为 45%~55%，时序计算中应取时钟周期的 45%（占空比的最小值）作为位周期；工作频率高于 50MHz 时，占空比为 40%~



60%，应取时钟周期的 40%作为位周期。

#### 4) 各输出端之间的偏移

CY2305 有五个时钟输出端，当它们的容性负载完全相同时，基于器件内部各个引脚存在的差异，输出的五个时钟信号也不可能完全一致。芯片资料上的“Output to Output Skew”参数定义了各个输出信号之间可能出现的最大偏移，对 CY2305 而言，该参数最大值是 200ps。这个参数对时序计算的意义在于，当使用一片 CY2305 的多个输出端提供时钟给有同步要求的多个器件时，输出端之间的最大偏移量应从时序裕量中被减去。

如图 6.29 所示，IC1 和 IC2 之间通过双向数据总线相连，数据采样时钟分别来自同一片 CY2305 驱动输出的 CLK1 和 CLK2，IC1 和 IC2 的时钟引脚具有相同的引脚容性，为方便时序计算，在 PCB 上，CLK1 和 CLK2 走线长度相等，即使这样，也不能认为 CLK1 和 CLK2 能同时到达 IC1 和 IC2，因为 CY2305 各输出端之间存在偏移，该偏移量必须在时序裕量的计算中被减去。

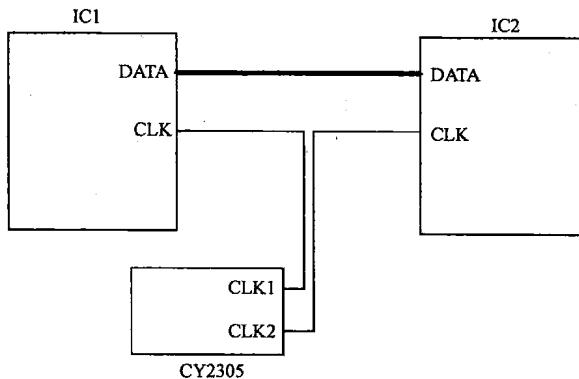


图 6.29 利用 CY2305 为多个器件提供时钟

#### 5) 器件之间的偏移

基于同样的理由，同一型号不同器件之间也会存在差异。在芯片资料中，用“Device to Device Skew”参数来定义。对 CY2305 而言，器件之间偏移的最大值是 700ps。上一例中，如果 IC1 和 IC2 的时钟信号分别来自两片 CY2305，则时序裕量计算中应减去器件之间的最大偏移参数值。

#### 6) 关闭内部锁相环的情况

CY2305 内部的锁相环是无法被关闭的，但对同系列的 CY2309 内部的锁相环，则可通过配置外部引脚被关闭。在锁相环被关闭的情况下，REF 和 CLKOUT 之间不再是零延时的关系，而是存在一个较大的延时，例如，对 CY2309，该延时的典型值是 5ns。

### 【案例 6-7】两级锁相环的应用导致 MPC8280 的 PCI 时钟失锁

某单板的 CPU 和 CROSSBAR 芯片（一种交换芯片）之间通过 PCI 总线连接，CPU 采用 Freescale 公司的 MPC8280，CROSSBAR 采用 MARVELL 公司的 GT48300。调试时发现，CPU 无法访问 CROSSBAR 芯片的寄存器。



### 【讨论】

在 CROSSBAR 一侧测量 PCI 总线信号的信号质量时，发现 PCI\_CLK 信号质量较差，每隔数个时钟周期，时钟相位就突变一次。

时钟信号的不稳定，很可能是锁相环不稳定造成的。在该设计中，CPU 作为 PCI 桥的主设备，通过内部延迟锁相环 DLL 产生 PCI 时钟。

CPU 与 CROSSBAR 之间的 PCI 时钟电路如图 6.30 所示。CPU 的引脚 DLLOUT 输出 PCI 时钟，该时钟分两路，一路输送到 CROSSBAR，作为 CROSSBAR 的 PCI 时钟；另一路输送回 CPU 的 CLKIN2 引脚，以便构成 CPU 内部延迟锁相环（DLL）的回路。设计选用 CY2305 作为时钟驱动器。

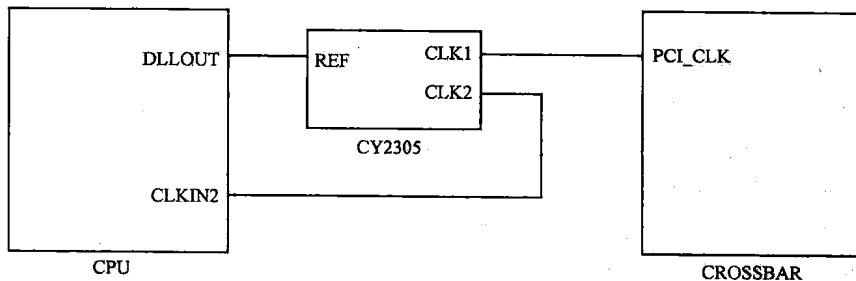


图 6.30 CPU 与 CROSSBAR 之间的 PCI 时钟电路

CPU 内部锁相环框图如图 6.31 所示。

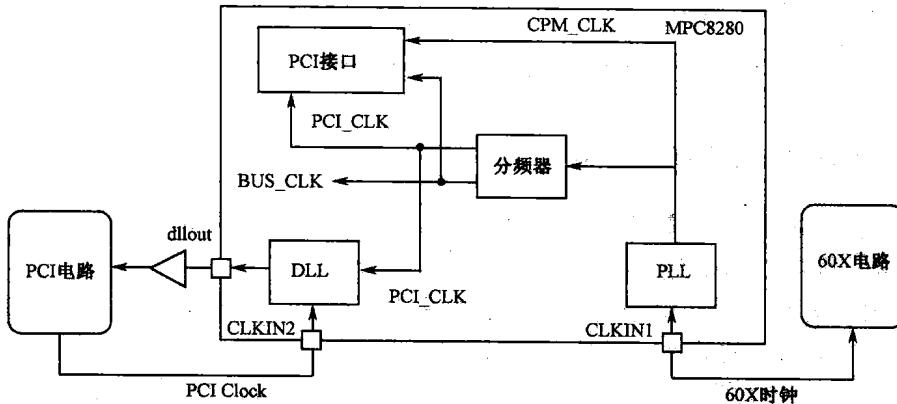


图 6.31 MPC8280 内部锁相环框图<sup>[21]</sup>

CPU 的主时钟为 CLKIN1，该信号经内部 PLL 处理后作为内部延迟锁相环 DLL 的输入，DLL 的输出经 DLLOUT 引脚送出，提供给 PCI 设备作为工作时钟，同时，该信号需被送回 CPU，经 CLKIN2 引脚回到 DLL，以便实现 DLL 的反馈回路。

DLL 即延迟锁相环。DLL 和 PLL 的用途都是获得与输入时钟同频同相的输出时钟。但是 DLL 和 PLL 的实现途径是不一样的。

DLL 的原理是将输出时钟作为反馈，和输入时钟进行比较，然后通过延迟调整，实现输出和输入时钟相位的锁定。而 PLL 的原理同样是将输出时钟作为反馈，和输入时钟进行比较，不过 PLL 不是通过延迟的调整，而是通过 VCXO 调整频率和相位，以实现时钟的锁



定。在功能上，DLL 和 PLL 都能实现相位的锁定，不过 DLL 不能实现倍频、分频等功能。DLL 和 PLL 的框图比较如图 6.32 所示。

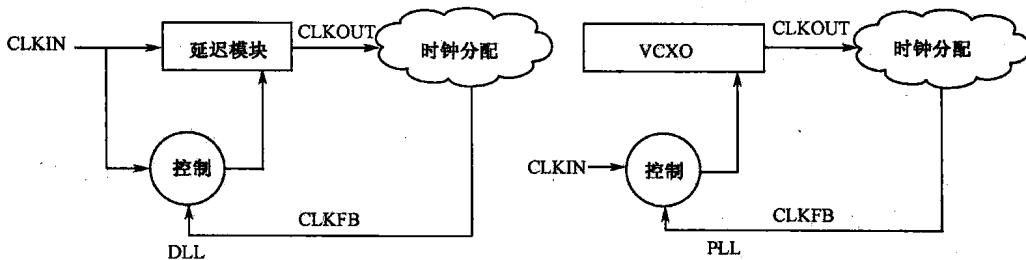


图 6.32 DLL 和 PLL 框图比较

本设计的 PCI 时钟电路中，使用了两个锁相环，一个是 CPU 内部的 DLL，另一个是 CY2305 的 PLL，这两个锁相环是包含的关系，即 PLL 处于 DLL 的反馈链路中。咨询 Freescale 公司工程师得知，当 DLLOUT 和 CLKIN2 之间使用了时钟驱动器，MPC8280 芯片要求该驱动器不能带内部 PLL 功能，否则无法完成 DLL 的锁相。

改板设计中，将 CY2305 更改为不带锁相环的时钟驱动器 CY2304，问题得到解决。

高速电路设计中，经常遇到需要多个锁相环协同工作的场合，此时，应仔细分析电路，尽量避免出现锁相环相互包含的情况。

#### 理解要点：

- ① 锁相环的工作原理及应用注意事项。
- ② PLL 和 DLL 的区别。

### 6.2.4 时钟抖动与相位噪声

高速电路设计中，随着信号速率不断提高，时钟频率也相应提高，这使得抖动 (Jitter) 和相位噪声 (Phase Noise) 对设计的影响越来越显著。

数字信号的各个有效边沿相对于其理想位置都存在一定的偏离，对于其中的短期性偏离（频率在 10Hz 以上的偏离），使用抖动和相位噪声参数来定义；对于其中的长期性偏离（频率在 10Hz 以下的偏离），使用漂移（wander）来定义。这种偏离引发了信号采样点的不确定性，对时序裕量极小的高速信号，这种不确定性可能造成采样错误。由于漂移比较容易被 CDR (Clock Data Recovery，时钟数据恢复电路) 等模块滤除，而抖动和相位噪声则难以被滤除，因此本节主要介绍抖动和相位噪声。

目前已有越来越多的芯片对抖动和相位噪声提出了要求。例如，某支持高速接口的 PHY 芯片，对 125MHz 输入时钟的要求是：

均方根抖动 (12~20MHz): 0.5ps。

相位噪声 (10~100kHz): -120dBc/Hz。

如不满足该要求，则线路上可能出现误码、丢包等。

事实上，抖动和相位噪声是同一概念，即短期性偏离的两种定义方法。它们的区别在于，抖动是时域的概念，相位噪声是频域的概念。



## 1. 抖动

抖动的定义如图 6.33 所示。

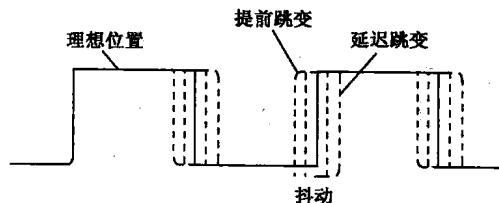


图 6.33 抖动的定义

利用示波器的边沿触发和余辉功能，可以粗略地测得信号的抖动，如图 6.34 所示。该信号的抖动测量值为 140ns，但是这样的测量并不具有实际意义。

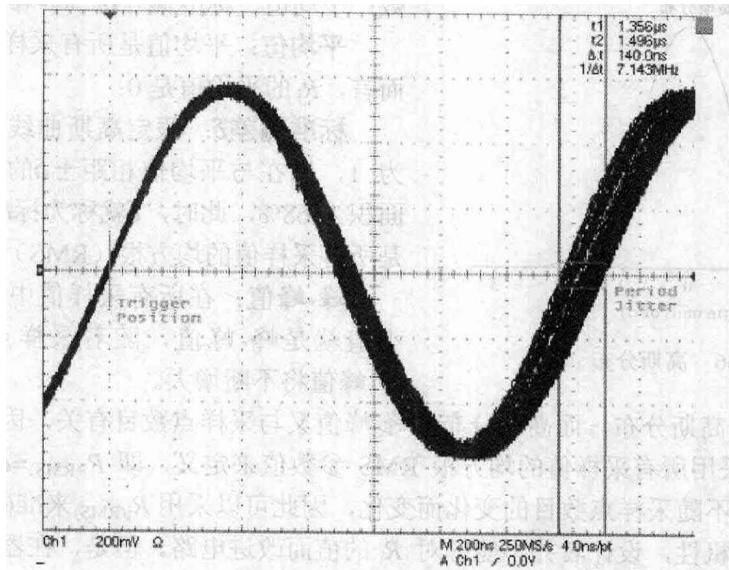


图 6.34 抖动的测量

**原因一**，随着测量时间的增加，测得的抖动值将不断增大，即利用这种测试方法，无法得到确定的抖动值。

**原因二**，即使能得到确定的抖动值，这样的值对电路设计也没有任何指导意义。

在实际应用中，往往需要把抖动的各种分量分解开，针对各分量，逐一地分析并提出改进电路的方法。

如图 6.35 所示，总抖动  $T_j$  分为随机抖动  $R_j$  和确定性抖动  $D_j$ 。而确定性抖动  $D_j$  又可进一步细分为周期性抖动  $P_j$ ，占空比失真 DCD 和码间干扰 ISI 等成分。

### 1) $R_j$

信号抖动中，存在着一些无法预测的、没有确定模式（如频率、幅度等）的成分。例如，温度的变化会影响电子的迁移方式；在 PCB 制造过程中，PCB 上信号线宽度微小的不均匀会导致阻抗的不连续；PCB 材质的不均匀会影响阻抗、信号传输时间等。这些因素都可能造成信号相对其理想位置的偏移，基于这些因素而造成的抖动称为随机抖动。造成随机



抖动的因素有很多，且每个因素引起的抖动量都很微小，一般，可以认为  $R_j$  符合高斯分布（参见图 6.36）。

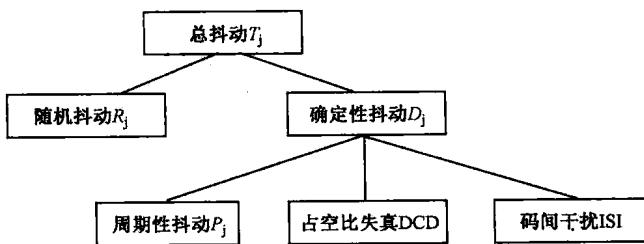


图 6.35 抖动分解图

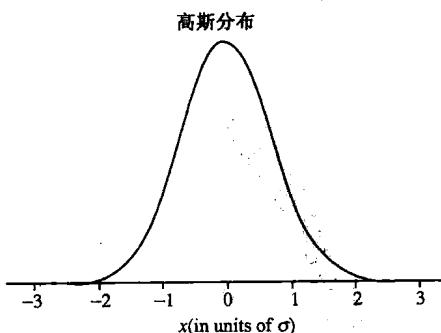


图 6.36 高斯分布

高斯分布又称为正态分布，有三个基本参数：平均值、标准偏差 $\delta$ 、峰-峰值。

**平均值：**平均值是所有采样值的均值，一般而言， $R_j$  的平均值是 0；

**标准偏差 $\delta$ ：**假定高斯曲线下包含的总面积为 1，则在与平均值相距 $\pm \delta$  的区间内包含的总面积为 68%，此时， $\delta$  就称为标准偏差， $\delta$  同时也是所有采样值的均方根（RMS）值；

**峰-峰值：**在所有采样值中，最大值减去最小值就是峰-峰值，随着采样点数目的增加，峰-峰值将不断增大。

由于  $R_j$  服从高斯分布，而高斯分布的峰-峰值又与采样点数目有关，因此  $R_j$  不能用峰-峰值定义，而应采用所有采样值的均方根 RMS 参数值来定义，即  $R_{j(RMS)} = \delta$ 。根据高斯分布特性，标准偏差 $\delta$  不随采样点数目的变化而变化，因此可以采用  $R_{j(RMS)}$  来准确地度量  $R_j$ 。

基于  $R_j$  的随机性，设计者并不能针对  $R_j$  的值而改进电路。但是，在器件选型时，可以通过选择精度高的器件，来降低信号的随机抖动分量  $R_j$ 。

### 2) $D_j$

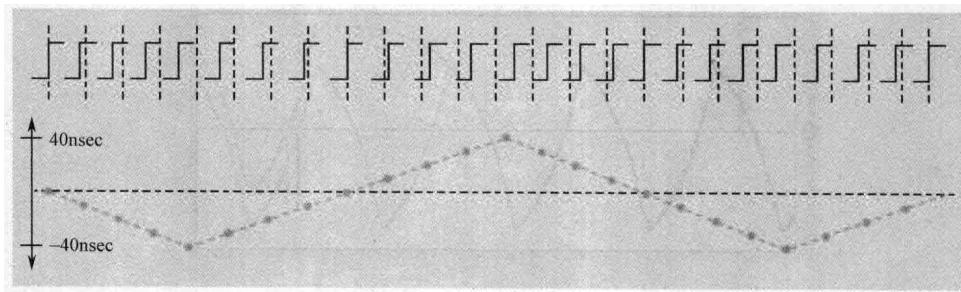
确定性抖动是能被预测的、并有确定模式的抖动。其产生因素能在电路上或周围环境中被准确定位，因而是电路改进的主要依据。

与随机抖动  $R_j$  不同，确定性抖动  $D_j$  的峰-峰值是有限的，不会随着采样点数目的增加而无限地增大，因此一般可采用峰-峰值（peak-peak）来度量确定性抖动。

### 3) $P_j$

周期性抖动  $P_j$  是确定性抖动的一种，这种抖动一般由周期性的干扰源（如附近的信号线、电源等）产生。

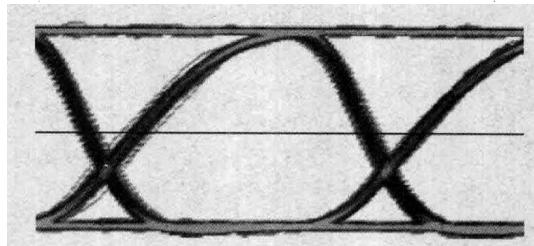
图 6.37 中，信号相对于其理想边沿的偏移量表现为周期性的三角波，这种偏移量组成的规律性波形就是周期性抖动。图中信号的周期性抖动峰-峰值是 80ns。

图 6.37 周期性抖动  $P_j^{[22]}$ 

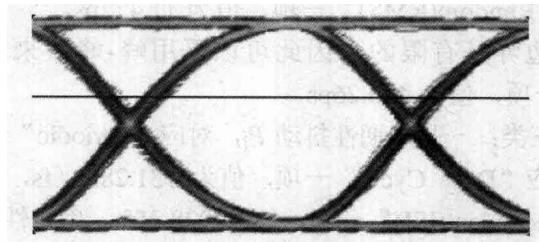
#### 4) DCD

占空比失真是指，由于信号的上升沿和下降沿通过判决门限的时间点不同，而造成的抖动。产生占空比失真的原因有两种：

原因一，信号上升沿与下降沿的斜率不同，造成上升沿和下降沿通过判决门限的时间点也不同。判决门限为信号幅值的 50%，由于上升沿爬升速度慢于下降沿，因此上升沿通过判决门限的时间点也晚于下降沿，如图 6.38 所示。

图 6.38 DCD—上升沿与下降沿斜率不同<sup>[22]</sup>

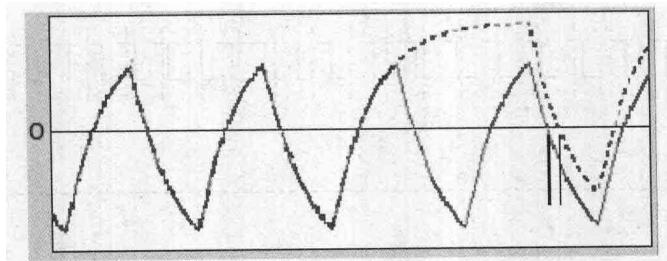
原因二，信号上升沿和下降沿斜率相同，在幅值的 50% 处相交，但判决门限并不处在幅值的 50% 处，如图 6.39 所示。

图 6.39 DCD—判决门限不在信号幅值的 50% 处<sup>[22]</sup>

#### 5) 码间干扰 (ISI)

任何与数据码型相关的抖动都称为码间干扰 (ISI)。PCB 材质对不同频率信号的响应是不同的，这种频响的不一致性将导致不同频率信号的传输特性不一致。

如图 6.40 所示，实线代表序列 10101010 的波形，虚线代表序列 10101110 的波形，前者的某些比特位的下降沿先于后者，而某些比特位的上升沿则落后于后者。类似这样的，由于数据码型不同而造成的信号边沿的偏移不同，就是一种码间干扰 (ISI)。

图 6.40 码间干扰 (ISI) 引起的抖动<sup>[22]</sup>

## 2. 抖动的测量及结果分析

利用 Tektronix 公司的 DPO 系列示波器上的 TDSJIT3 软件，可以对抖动的各个分量进行测量。

图 6.41 是某数据信号的抖动测试结果，其中，包含随机抖动、确定性抖动及其各个分量的测量值和总抖动等信息。

Jitter Components	Current Acq	All Acqs
Random (RMS)	11.472ps	11.472ps
Deterministic (Pk-Pk)	403.26ps	403.26ps
Periodic	402.20ps	402.20ps
Duty Cycle	131.28fs	131.28fs
Data Dependent(ISI)	928.25fs	928.25fs
Total @ BER (Pk-Pk)	548.65ps	548.65ps
Eye Opening @ BER	931.42mUI	931.42mUI

图 6.41 基于 TDSJIT3 软件的抖动测试结果

由于随机抖动  $R_j$  的峰-峰值随测量数据的变化而变化，因此需采用其均方根值 RMS 来表示，对应测量结果的“Random(RMS)”一项，值为 11.472ps。

确定性抖动  $D_j$  的边界是有限的，因此可以采用峰-峰值来表示，对应测量结果的“Deterministic(Pk-Pk)”一项，值为 403.26ps。

确定性抖动  $D_j$  分为三类：一是周期性抖动  $P_j$ ，对应“Periodic”一项，值为 402.20ps；二是占空比失真 DCD，对应“Duty Cycle”一项，值为 131.28fs (fs, 读作飞秒, 1fs=10<sup>-3</sup>ps)；三是 ISI，对应“Data Dependent(ISI)”一项，值为 928.25fs。确定性抖动  $D_j$  实际上是将这三类抖动分量做卷积计算，并除去三者相互之间的关联分量而得。

总抖动是将随机抖动和确定性抖动做卷积计算，并除去两者之间的关联分量后得到的结果。由于随机抖动无边界而确定性抖动有边界，因此总抖动也将是无边界的。那么总抖动是否可以像随机抖动一样，用均方根 RMS 值表征？答案是否定的。随机抖动之所以可以用均方根 RMS 值表征，原因在于随机抖动服从高斯分布，而高斯分布可以唯一地用 RMS 表征。总抖动是随机抖动和确定性抖动的总量，虽然随机抖动服从高斯分布，但确定性抖动却不服从高斯分布，因此总抖动也不服从高斯分布，无法用 RMS 表征，即总抖动只能采用某种条件下的峰-峰值定义。

定义总抖动为特定误码率 (BER, Bit Error Rate) 条件下的抖动峰-峰值。

如图 6.42 所示为实时示波器测得的含抖动的信号眼图。随着测试时间的增长，信号眼



睛将完全被关闭。用眼睛中央横线的长度  $L$  来定义眼睛的张开程度，进行如下测量：

当  $L=0.5\text{UI}$  ( $1\text{UI}$  表示一个比特位的宽度，对  $100\text{MHz}$  的信号， $1\text{UI}=5\text{ns}$ )，假如采样  $1000$  次数据，会有  $1$  个采样点进入  $L$  定义的区域，或是采样  $X$  个数据，有  $X \times 10^{-3}$  个采样点进入  $L$  定义的区域，则其对应的 BER 为  $10^{-3}$ ，即误码率  $10^{-3}$  条件下的总抖动为  $0.5\text{UI}$  ( $1\text{UI}-L=0.5\text{UI}$ )，对  $100\text{MHz}$  信号而言，就是  $2.5\text{ns}$ 。

当  $L=0.2\text{UI}$  时，假如采样  $10^5$  次数据，会有  $1$  个采样点进入  $L$  定义的区域，或是采样  $X$  个数据，有  $X \times 10^{-5}$  个采样点进入  $L$  定义的区域，则其对应的 BER 为  $10^{-5}$ ，即误码率  $10^{-5}$  条件下的总抖动为  $0.8\text{UI}$  ( $1\text{UI}-L=0.8\text{UI}$ )，对  $100\text{MHz}$  信号而言，就是  $4\text{ns}$ 。

经多次实验发现，特定误码率下的总抖动值总是稳定的，即可以利用这种方法来表征信号的总抖动。

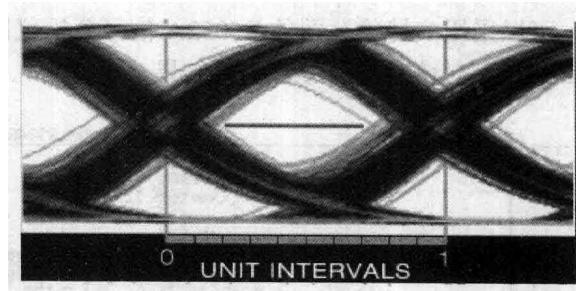


图 6.42 含抖动信号的眼图<sup>[22]</sup>

在 TDSJIT3 软件的抖动测试中，测试前，要求测试者输入 BER 值，则误码率为 BER 时的总抖动，用“Total@BER(Pk-Pk)”表示，本例测试中，设置 BER 值为  $10^{-12}$ ，测得总抖动的值为  $548.65\text{ps}$ 。

与总抖动相关的还有一个参数，即在指定误码率 BER 下，眼睛的张开程度  $L$ ，用“Eye Opening@BER”定义，本例测试中，值为  $931.42\text{mUI}$  ( $931.42\text{mUI}=0.93142\text{UI}$ )。

### 3. 相位噪声

在频域上，数据偏移量用相位噪声来定义。

如图 6.43 所示为典型的相位噪声曲线图。横轴代表频率，单位是 Hz，纵轴代表噪声功率谱密度，单位是 dBc/Hz。

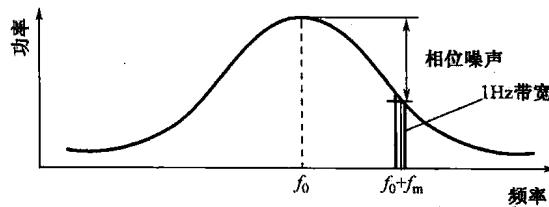


图 6.43 信号相位噪声曲线图

对频率为  $f_0$  的时钟信号而言，如果信号上不含抖动，则信号的所有功率应集中在频点  $f_0$  处，由于任何信号都存在抖动，这些抖动有些是随机性的，有些是确定性的，分布于相当广的频带上，因此抖动的出现将使信号功率被扩展到这些频带上。信号的相位噪声，就是信号在某一特定频率处的功率分量，将这些分量连接成的曲线就是相位噪声曲线。



曲线上，特定频率  $f_m$  处的功率分量的单位为 dBc/Hz，是以分贝为单位的、信号在  $f_m$  频点附近 1Hz 带宽内的功率与信号在  $f_0$  频点附近 1Hz 带宽内的功率的比值。

从相位噪声曲线图可知，绝大多数抖动能量都集中于频率  $f_0$  附近，距离  $f_0$  越远的频段，抖动能量越小。

重新思考本节开头提到的 PHY 芯片对 125MHz 输入时钟的要求：

均方根抖动 (12kHz~20MHz): 0.5ps

相位噪声 (10~100kHz): -120dBc/Hz

这实际上是两个要求，一个是要求在频段 12kHz~20MHz 内，均方根抖动不能大于 0.5ps，这个要求相当于是使输入时钟信号通过一个 12kHz~20MHz 的带通滤波器后，对测得的抖动均方根值的要求；另一个是要求在频段 10~100kHz 内，任何频点处的功率谱密度都不能超过-120dBc/Hz。可以采用安捷伦公司的 E5052A 信号分析仪同时得到这两个数据。

如图 6.44 所示为用 E5052A 对该时钟信号的测量结果。

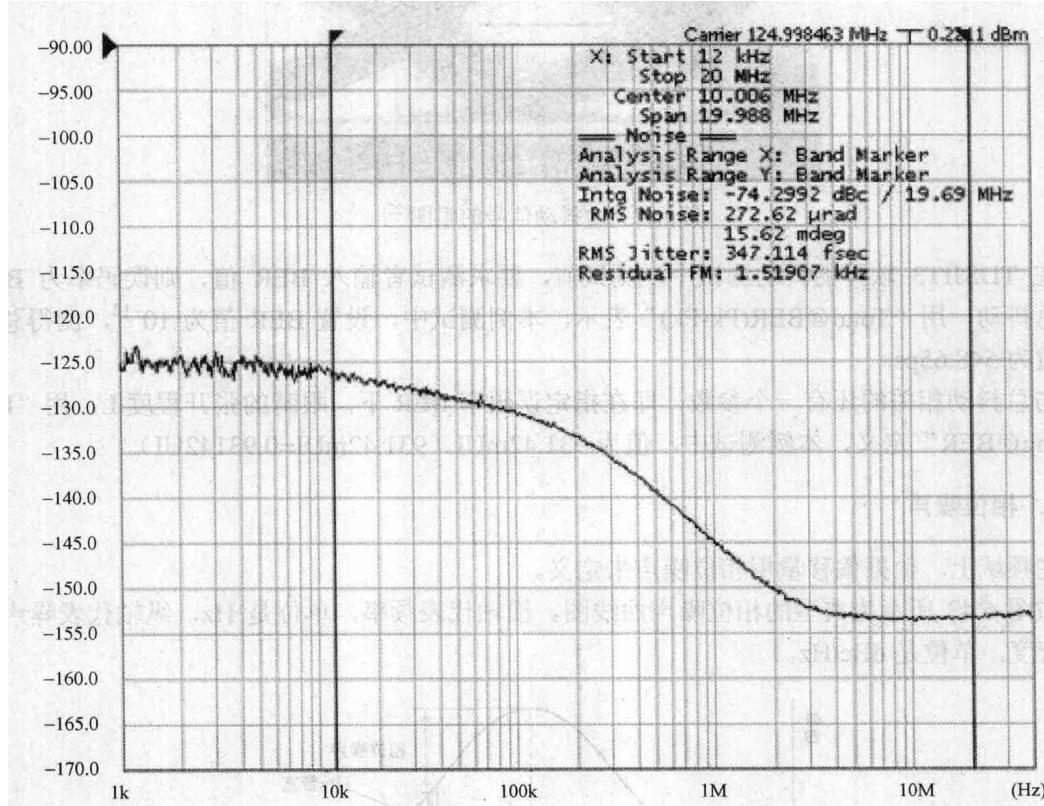


图 6.44 E5052A 对 125MHz 时钟测量结果

根据测量结果，在 12kHz~20MHz 频段内，均方根抖动为 0.347ps；且 10~100kHz 频段内，相位噪声都低于-125dBc/Hz。因此该信号能满足 PHY 芯片的要求。

#### 4. 总结

高速电路设计中，对信号抖动的分析有两个目的：

目的之一，为改善电路性能提供指导，这可以通过将抖动细分予以实现；



目的二，判断信号的抖动是否能满足芯片的要求，这可以通过类似 E5052A 这样的分析仪予以证实。

理解要点：

- ① 抖动和漂移的区别。
- ② 抖动和相位噪声都是对短期性偏移的定义方法。抖动是时域的概念而相位噪声是频域的概念。
- ③ 总抖动  $T_j$  分为随机抖动  $R_j$  和确定性抖动  $D_j$ 。而确定性抖动  $D_j$  又可进一步细分为周期性抖动  $P_j$ 、占空比失真 DCD 和码间干扰 ISI 等成分。
- ④ 抖动和相位噪声的测试方法。

# 第7章 高速电路中的存储器应用与设计

## 7.1 与存储器相关的经典案例

### 【案例 7.1】时序裕量不足导致存储器测试出错

某单板 CPU 及其存储子系统由 Freescale 公司的 MPC8260 与 Micron 公司的某款 SDRAM 构成。在对 SDRAM 的高强度性能测试中，发现少量读写错误。

#### 【讨论】

由于仅有少量读写出错，可判断原理图设计、配置寄存器的设置等均正确。测量 SDRAM 的电源纹波与噪声，符合要求。利用示波器的余辉功能测试数据信号的时序，如图 7.1 所示。

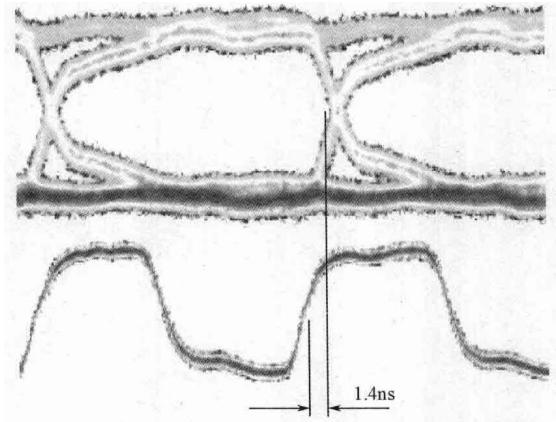


图 7.1 SDRAM 保持时间测试图

图 7.1 为 MPC8260 向 SDRAM 写数据时，在 SDRAM 一侧测试得到的波形。上方波形为数据信号 DQ，下方波形为时钟信号 CLK。时序测量参考点分别为 CLK 信号的 1.5V 位置和 DQ 信号的 1.5V 位置。

SDRAM 器件资料对时序的要求为：建立时间  $T_{SU} > 1.5\text{ns}$ ，保持时间  $T_H > 0.8\text{ns}$ 。

结合测试结果， $T_{SU}$  已远远满足要求，测得  $T_H$  为 1.4ns，即保持时间裕量  $T_{H\_MARGIN}$  为 0.6ns，同样符合器件要求。

仔细查阅 SDRAM 器件资料上与时序相关的描述，发现在一段注释中提到：时序参考点为 1.5V，但若输入信号的边沿速率小于 1V/ns，时序参考点应选取为  $V_{IL(max)}$  或  $V_{IH(min)}$ 。

注释中的“输入信号”包括时钟和数据信号，测得时钟信号 CLK 的 10%~90% 边沿速率为 0.88V/ns，而数据信号 DQ 的 10%~90% 边沿速率为 0.82V/ns，均小于 1V/ns，因此时



序参考点不能选在 1.5V 位置，而应选用  $V_{IL(max)}$  和  $V_{IH(min)}$ 。

SDRAM 的 CLK 和 DQ 信号电平均为 LVTTL，根据第 3 章， $V_{IL(max)}=0.8V$ ， $V_{IH(min)}=2V$ 。时序测试方法如图 7.2 所示。

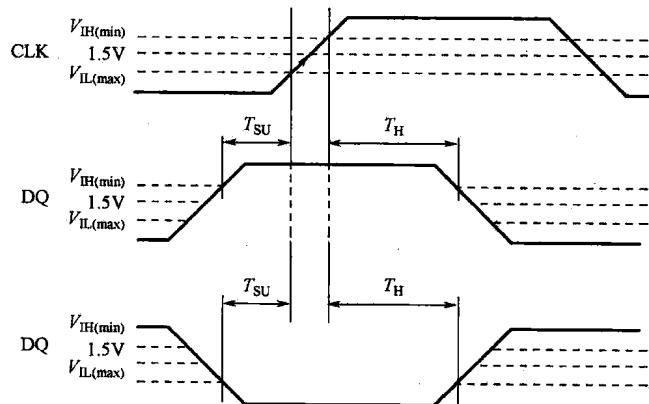


图 7.2 SDRAM 时序参考点（当时钟和数据信号边沿速率不满足要求）<sup>[33]</sup>

更正时序参考点后，数据信号 DQ 的保持时间  $T_H$  为 0.85ns，保持时间裕量  $T_{H\_MARGIN}$  仅为 0.05ns。考虑到测量误差以及测试时间有限等因素，0.05ns 的保持时间裕量并不足以满足器件长时间正常工作的要求。

在改板设计中，将时钟信号的走线长度缩短，以便增大数据信号的保持时间，时序测试波形图如图 7.3 所示。

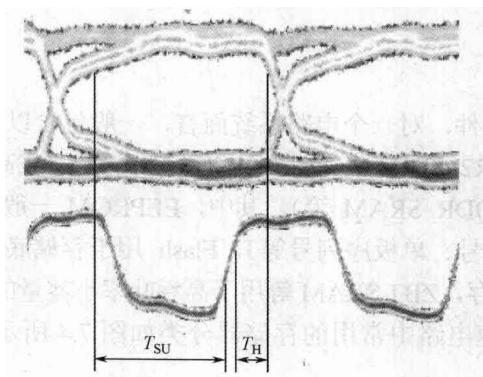


图 7.3 改板后 SDRAM 时序测试波形图（当时钟和数据信号边沿速率不满足要求）

## 【拓展】

存储器读写出错，需着重考虑以下几个方面：原理、电源、信号质量、时序、配置寄存器。

### (1) 原理：

其一，考查存储器控制器与存储器是否配对。在概要设计阶段，就应基于时钟频率、接口类型、存储容量、地址空间分配等完成对存储器的选型。

其二，原理图绘制中是否出现低级错误。下文将提到，不同种类的存储器，对线序的要求并不相同。例如，ZBT SRAM，数据信号和地址信号的线序均可互换；又如 SDRAM、



DDR SDRAM、DDR2 SDRAM，数据信号的线序可任意互换，而地址信号的线序则不能互换。在 SDRAM 等的应用中，如地址信号线序未对齐，则无法实现对存储器的正确配置。

(2) 电源：电源部分应着重考察电源平面是否完整，电源噪声和纹波是否超标等。

(3) 信号质量：ZBT SRAM、SDRAM、DDR SDRAM、DDR2 SDRAM 等不同类型的存储器，对匹配电路的设计有不同的要求，只有对匹配电路的元器件参数、放置位置等进行正确的选择和设计，才能保证信号质量。同时，由于存储器接口一般采用并行总线，在 PCB 设计时，应注意避免在相邻走线的信号之间产生串扰。

(4) 时序：高速电路中的存储器应用设计，对时序分析的要求很高。存储器与系统性能密切相关，存储器运行速率的提高，有助于系统性能的提高，电路设计时，存储器接口属于高速接口，随着运行速率的提高，时钟周期不断减小，时序裕量也随之减小，时序设计的难度越来越大。因此，在高速存储器接口设计中，应重视对信号线长度的控制，以满足器件的时序要求。

(5) 配置模式寄存器：在 SDRAM、DDR SDRAM、DDR2 SDRAM 以及 DDR3 SDRAM 的应用中，存储器的许多特性需通过模式寄存器进行设置。若寄存器的值设置错误，存储器将无法正常工作。

以上就高速电路设计中存储器读写出错的五个潜在原因做了简要介绍，下文在具体介绍不同类型存储器时还将对此展开详细的讨论。

## 7.2 常用存储器介绍及其应用要点

### 7.2.1 存储器概述

电路设计离不开存储器件，对一个电路系统而言，一般包含以下几种存储器：EEPROM、FLASH、SDRAM（或 DDR2 SDRAM、DDR3 SDRAM 等），在高性能系统中，还包括 ZBT SRAM（或 DDR SRAM、QDR SRAM 等）。其中，EEPROM 一般用于存储单板信息（如单板名称、厂家名称、单板版本号、单板序列号等），Flash 用于存储底层驱动代码、软件代码等，SDRAM 等用于大容量的缓存，ZBT SRAM 等用于高吞吐率小容量的存储。

根据应用特性，将高速电路中常用的存储器分类如图 7.4 所示。

#### 1. RAM

RAM（随机存储器，Random Access Memory）指存储内容可被快速地写入或读出，掉电后存储内容丢失的存储器。

RAM 可分为 SRAM（静态随机存储器，Static RAM）和 DRAM（动态随机存储器，Dynamic RAM）两种。

##### 1) SRAM

SRAM 的优点是只要器件不掉电，存储内容就不丢失，无需刷新电路，工作速度快。缺点是集成度低、功耗大、价格高。SRAM 的结构如图 7.5 所示。

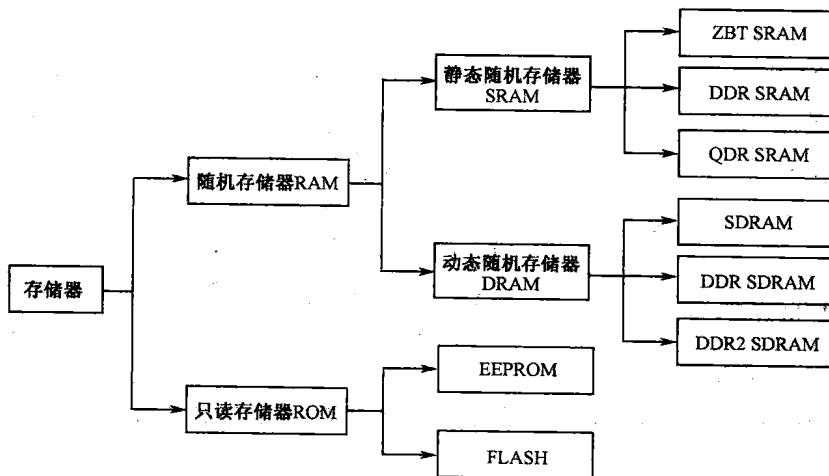


图 7.4 存储器分类

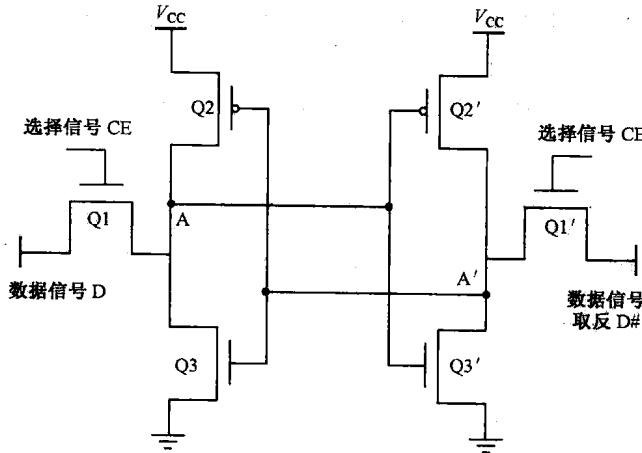
图 7.5 SRAM 存储单元结构图<sup>[34]</sup>

图 7.5 是一种典型的 SRAM 结构，每个存储单元由六个 MOS 管组成，中间四个 MOS 管 ( $Q_2$ 、 $Q_2'$ 、 $Q_3$ 、 $Q_3'$ ) 构成双稳态触发器，两侧的两个 MOS 管 ( $Q_1$ 、 $Q_1'$ ) 的开关状态由同一个选择信号 CE 控制。

数据写入时，数据信号 D 及其取反后的信号  $D\#$  分别出现在  $Q_1$  和  $Q_1'$  上，待选择信号 CE 将  $Q_1$  和  $Q_1'$  导通后，D 和  $D\#$  触发双稳态触发器，使之发生相应的翻转，并使翻转后的状态一直得到保留，直到下次数据写入事件的发生。

数据读出时，选择信号 CE 有效并使  $Q_1$  和  $Q_1'$  导通后，A 和  $A'$  点的逻辑状态出现在数据信号 D 和  $D\#$  上，从而实现数据的读取，该读取的过程并不改变存储单元内双稳态触发器的状态。

每个 SRAM 存储单元由六个 MOS 管组成，功耗大、集成度低，但由于内部采用了双稳态触发器，也就无需不断地对内部存储的内容进行刷新。

SRAM 可进一步分为 ZBT SRAM、DDR SRAM、QDR SRAM 等，将在后续章节详细讨论。



## 2) DRAM

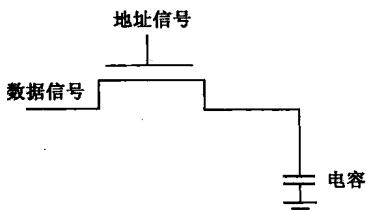


图 7.6 DRAM 存储单元结构图

DRAM 的优点是集成度高、功耗小、价格低。缺点是即便器件不掉电，存储内容也只能保持很短的时间，需不断地被刷新。典型的 DRAM 结构图如图 7.6 所示。每个存储单元由一个 MOS 管及其寄生电容构成。由于数据信号的状态由电容的电荷量决定，因此每隔一段时间需对电容做一次充放电的刷新操作。

DRAM 结构简单，功耗低、集成度高，但需要不

断刷新内部存储的内容。

常用的 DRAM 可进一步分为 SDRAM、DDR SDRAM、DDR2 SDRAM 等。

## 2. ROM

ROM（只读存储器，Read Only Memory）指一旦写入，则无法擦除改写的存储器。此处，将 ROM 的定义做进一步的扩展，定义为非易失存储器，即器件掉电后，内部存储内容仍保留，且支持电可擦除可改写的只读存储器。

高速电路设计中常用的 ROM 包括 EEPROM（电可擦写可编程只读存储器）和 FLASH（闪速存储器）。

### 理解要点：

SRAM 和 DRAM 所各自具有的特性，是由各自不同的结构造成的。SRAM 的特点是无需刷新，存储效率高，工作速度快，缺点是集成度低、功耗大、价格高；DRAM 的特点是功耗低、集成度高，但需要不断地进行刷新。

## 7.2.2 SDRAM 介绍及其应用要点

### 1. SDRAM 概述

SDRAM 指同步动态随机存储器。上文已介绍 DRAM 的特性及结构，SDRAM 指同步的 DRAM，同步指存储器的工作需要参考时钟。

SDRAM 的信号电平为 LVTTL，属单端信号。

对于同步存储器件，有三个与工作速率相关的重要指标：内核工作频率、时钟频率、数据传输速率。就 SDRAM 而言，其内核工作频率、时钟频率和数据传输速率三者相同。最高速率可达 200MHz，设计中常用的速率有 100MHz、133MHz、167MHz。

SDRAM 的取址需通过三个步骤完成，如图 7.7 所示。

SDRAM 存储空间被分为若干逻辑块（BANK），取址时，首先需提供 BANK 地址以找到待操作的逻辑块，然后需提供行地址和列地址以在该 BANK 内定位存储单元。因此，在器件资料上，SDRAM 存储容量的

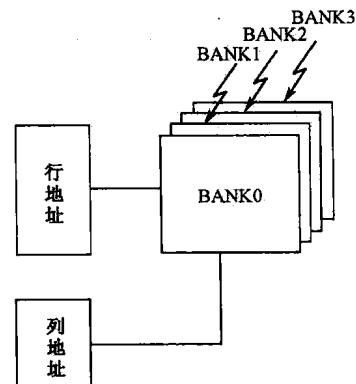


图 7.7 SDRAM 取址方式简图



定义方式是：地址数×位宽×Bank（存储块）数。例如，Micron 公司某款存储容量为 512Mb（512 兆位）的 SDRAM，有如下三种规格：

32M × 4 × 4

16M × 8 × 4

8M × 16 × 4

规格 1 中，行地址信号线为 A0~A12 共十三根，可组成  $2^{13}$  个不同的行地址，列地址信号线为 A0~A9、A11、A12 共十二根，可组成  $2^{12}$  个不同的列地址，因此地址数为 32M ( $2^{25}$ )。数据信号线为 DQ0~DQ3 共四根，因此数据线位宽为 4 位。BANK 信号线为 BA0、BA1 共两根，因此 BANK 数为 4。

规格 2 中，行地址信号线为 A0~A12 共十三根，列地址信号线为 A0~A9、A11 共十一根，因此地址数为 16M ( $2^{24}$ )。数据信号线为 DQ0~DQ7 共八根，因此位宽为 8。与规格 1 相同，BANK 数为 4。

规格 3 中，行地址信号线为 A0~A12 共十三根，列地址信号线为 A0~A9 共十根，因此地址数为 8M ( $2^{23}$ )。数据信号线为 DQ0~DQ15 共十六根，因此位宽为 16。与规格 1 相同，BANK 数为 4。

以上三种规格的 SDRAM，存储容量相同，差别仅在于引脚定义的略微不同，因此，封装相同。在设计中，原理图上做简单处理后，即可相互替换。

需补充说明的是，由于行地址选择和列地址选择处于 SDRAM 操作的不同阶段，因此，行地址和列地址信号线可被相互复用。

## 2. SDRAM 芯片引脚介绍

以 Micron 公司容量为 512Mb（512 兆位），规格为 8M×16×4 的某款 SDRAM 为例，介绍 SDRAM 的引脚定义。

(1) CLK：时钟信号，为输入信号。SDRAM 所有输入信号的逻辑状态都需通过 CLK 的上升沿采样确定。

(2) CKE：时钟使能信号，为输入信号，高电平有效。CKE 信号的用途有两个，其一是关闭时钟以进入省电模式，其二是进入自刷新（SELF REFRESH）状态。CKE 无效时，SDRAM 内部所有与输入相关的功能模块停止工作。在设计中需注意，应为 CKE 信号提供可靠的驱动源，如果在设计中无需 CKE 所提供的功能，应将 CKE 信号上拉为高电平。

(3) CS#：片选信号，为输入信号，低电平有效。仅当 CS#有效后，SDRAM 才能识别存储器控制器发送来的命令。设计中，CS#信号应上拉。

(4) RAS#：行地址选通信号，为输入信号，低电平有效。

(5) CAS#：列地址选通信号，为输入信号，低电平有效。

(6) WE#：写使能信号，为输入信号，低电平有效。

(7) BA[1:0]：BANK 地址信号，为输入信号。

(8) A[12:0]：地址信号，为输入信号。

(9) DQ[15:0]：数据信号，为输入/输出双向信号。

(10) DQML/DQMH：简写为 DQM，是数据掩码信号，为输入/输出双向信号，其方向与数据总线的方向相同，高电平有效。当 DQM 有效时，数据总线上出现的对应数据字节被接收端屏蔽。例如，某位宽为 16 位的 SDRAM，数据总线分为两个字节：DQ[7:0] 和



DQ[15:8], DQML 对应于 DQ[7:0], DQMH 对应于 DQ[15:8]，在读操作时，假设 DQML 为高电平而 DQMH 为低电平，则存储器控制器将忽略 SDRAM 发出的 DQ[7:0]，只存储 DQ[15:8]信号线所携带的数据。DQM 信号主要用于 SDRAM 的突发（Burst）操作，即一次连续发送若干字节的数据，当发送方不希望其中的某些字节被接收方接收时，可使用 DQM 信号以屏蔽这些字节。设计中需注意，若无需 DQM 所提供的功能，应将 DQM 下拉到 GND。

(11)  $V_{DD}$ : SDRAM 内核工作电源，为 3.3V。

(12)  $V_{DDQ}$ : SDRAM 数据总线 I/O 口电源，为 3.3V。为  $V_{DDQ}$  与  $V_{DD}$  分开供电，有利于抗干扰，但为简化电路设计，一般还是采用同一个电源为  $V_{DDQ}$  与  $V_{DD}$  供电。

### 3. SDRAM 的基本操作

如表 7.1 所示，SDRAM 的基本操作方式有以下几种：空操作 NOP、激活操作 ACT、读操作 READ、写操作 WRITE、预充电操作 PRECHARGE、自刷新操作 SELF REFRESH、配置寄存器操作 LOAD MODE REG 等。各操作方式是通过 CS#、RAS#、CAS#和 WE#这几根信号线的各种状态组合而选择的。

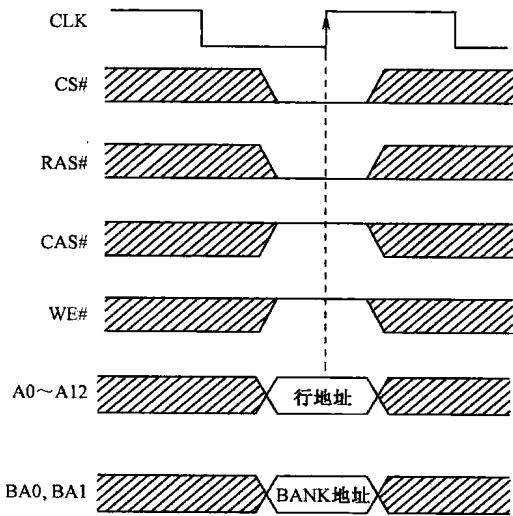
表 7.1 SDRAM 的基本操作<sup>[35]</sup>

操作类型	CS#	RAS#	CAS#	WE#
NOP (命令禁止)	H	X	X	X
NOP (空操作)	L	H	H	H
ACT (激活操作)	L	L	H	H
READ (读操作)	L	H	L	H
WRITE (写操作)	L	H	L	L
PRECHARGE (预充电操作)	L	L	H	L
AUTO REFRESH 或 SELF REFRESH (自动刷新或自刷新)	L	L	L	H
LOAD MODE REG (配置模式寄存器)	L	L	L	L

表 7.1 中，H 代表逻辑高电平，L 代表逻辑低电平，X 代表与该信号的逻辑状态无关。以下对几个常用的操作进行详细介绍。

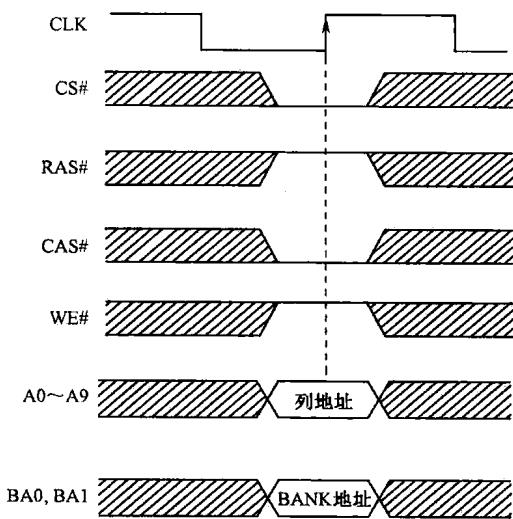
#### 1) ACT (激活操作)

前文提到，对 SDRAM 存储单元的取址需提供三个参数：BANK 地址、行地址、列地址。ACT 操作执行时，存储器控制器发出其中的两个地址：BANK 地址（利用 BA1、BA0 信号）、行地址（利用 A[12:0]信号），以便激活待操作的“行”。第三个参数，即列地址，将在 READ 或 WRITE 操作中指定。即，ACT 操作的目的是发出待操作的 BANK 地址以及行地址，因此片选信号 CS#和行选通信号 RAS#需有效，而列选通信号 CAS#和写使能信号 WE#保持为无效。如图 7.8 所示，ACT 操作时，CLK 信号上升沿采样到的关键信号逻辑状态分别为：CS#低电平有效、RAS#低电平有效、CAS#高电平无效、WE#高电平无效、采样地址总线得到行地址、采样 BA[1:0]信号线得到 BANK 地址。

图 7.8 ACT 操作<sup>[35]</sup>

## 2) READ (读操作)

存储器控制器利用 READ 操作发出读指令，同时发出两个地址：BANK 地址（利用 BA1、BA0 信号）、列地址（利用 A[9:0]信号）。即，READ 操作的目的有两个，其一是发出读命令，这通过有效片选信号 CS#、有效列选通信号 CAS#、无效行选通信号 RAS#以及无效写使能信号 WE#实现；其二是在地址总线上发出列地址。如图 7.9 所示，READ 操作时，CLK 信号上升沿采样到的关键信号逻辑状态分别为 CS#低电平有效、RAS#高电平无效、CAS#低电平有效、WE#高电平无效、采样地址总线得到列地址、采样 BA[1:0]信号线得到 BANK 地址。

图 7.9 READ 操作<sup>[35]</sup>

数据的读操作，涉及以下几个延时参数：

(1)  $t_{RCD}$  (RAS to CAS delay, 即 RAS#信号有效后到 CAS#信号有效，这之间的延时)。在 ACT 指令选定待操作的行之后，需延时  $t_{RCD}$ ，才能切换到对列的选择。因此 ACT



指令（完成行选择）与 READ 指令（完成列选择）之间的延时为  $t_{RCD}$ 。

(2) CL (CAS Latency), 即 CAS 潜伏期参数。READ 指令发出后，存储器根据采样得到的行地址和列地址，将对应存储单元的数据放大，以便传输到数据总线上，这个过程所消耗的延时称为 CL。因此，从 READ 指令发出到数据总线上出现第一个数据，这之间的延时定义为 CL。

(3)  $t_{RAS}$ , 指 ACT 指令到 PRECHARGE 指令的延时。PRECHARGE 指令所对应的操作将在下文讨论。

(4)  $t_{RC}$ , 指两次 ACT 指令之间的时间间隔。

(5)  $t_{RP}$ , 指 PRECHARGE 指令到下一次 ACT 指令的延时。

以上参数与 SDRAM 的存储性能密切相关，一般而言，延时参数值越小，存储器的存储性能越高。如图 7.10 所示为数据读取时序图。

在 SDRAM 器件资料中，以上参数都以时钟周期为单位，如某 SDRAM 的 CL 参数为 2.5，假定其工作的时钟频率为 100MHz，则该器件的 CAS 潜伏期为 25ns。

对读操作而言，从 ACT 命令开始，到第一个数据出现在总线上，延时为  $t_{RCD}+CL$ 。

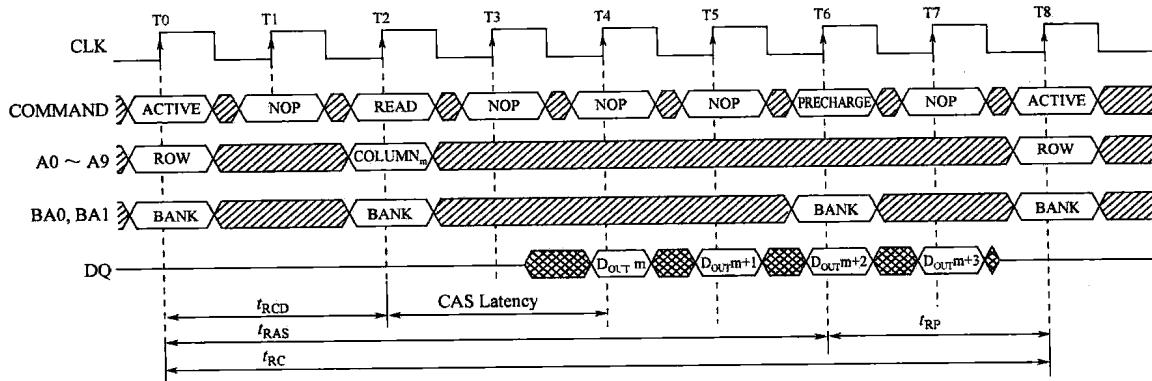


图 7.10 数据读取时序图<sup>[35]</sup>

### 3) WRITE (写操作)

WRITE 操作与 READ 操作类似，不同点在于 WRITE 操作时，需有效 WE#信号。如图 7.11 所示，WRITE 操作时，CLK 信号上升沿采样到的关键信号逻辑状态分别为：CS#低电平有效、RAS#高电平无效、CAS#低电平有效、WE#低电平有效、采样地址总线得到列地址、采样 BA[1:0]信号线得到 BANK 地址。

数据写操作的流程图如图 7.12 所示。

数据写入时，同样需满足  $t_{RCD}$ 、 $t_{RAS}$ 、 $t_{RC}$ 、 $t_{RP}$  等参数的要求，与读操作不同的是，写操作不涉及 CL 参数，但增加了  $t_{WR}$  参数。 $t_{WR}$  (Write Recovery Time, 写回时间) 是指 SDRAM 将数据总线上待写入的数据导入内部存储单元所需要的时间。

对写操作而言，从 ACT 命令开始，到第一个数据被写入，延时为  $t_{RCD}$ 。

### 4) BURST (突发操作)

在应用中，存储器的一次数据传输通常涉及多个字节，例如，某些 CPU 的存储接口数据总线为 64 位，则一次传输涉及 8 字节数据，通常，这 8 字节数据在存储器中处于相邻的位置，因此，采用 BURST 操作，可简化读写命令。BURST 操作，即一次读写命令可传输



同一行中若干连续的存储单元，一次传输字节的数量称为突发长度（Burst Length）。

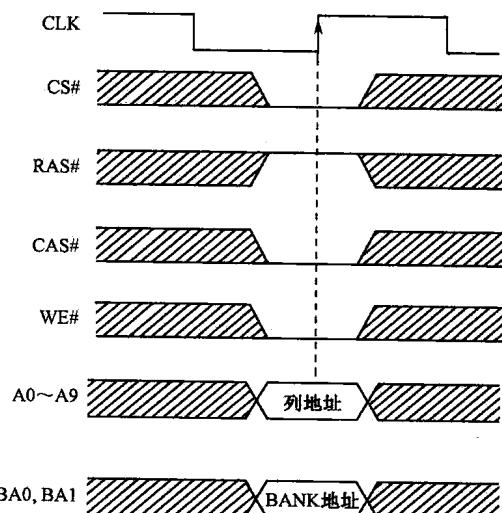


图 7.11 WRITE 操作<sup>[35]</sup>

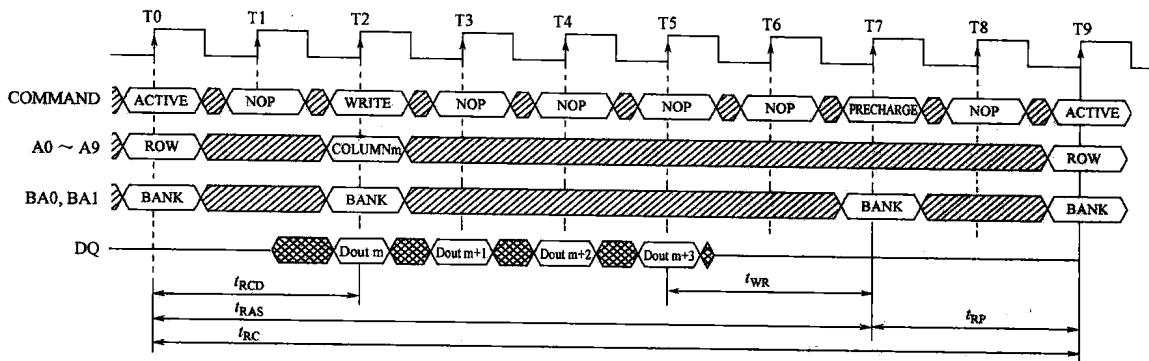


图 7.12 数据写时序图<sup>[35]</sup>

图 7.13 是突发长度为 4 的 BURST 操作示例。在发出读命令的同时，地址总线上提供第一个存储单元的列地址  $n$ ，此后 SDRAM 连续地在数据总线上发出同一行（行地址在前面的 ACT 操作中给出）中，列地址为  $n, n+1, n+2, n+3$  这四个相邻存储单元的数据。

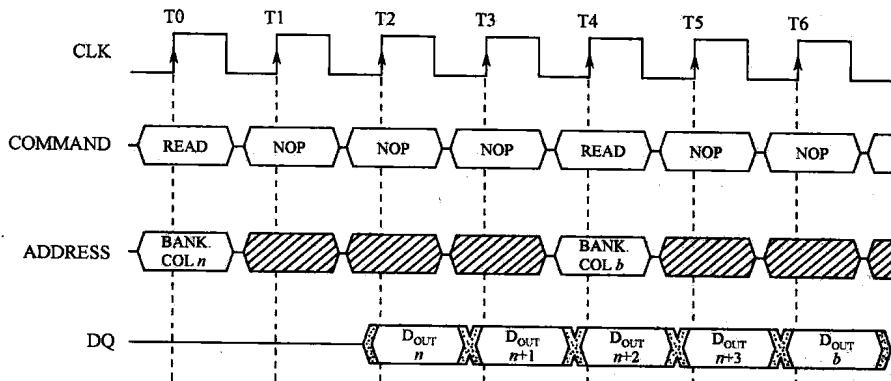


图 7.13 BURST 读操作<sup>[35]</sup>



单纯就 BURST 操作来看，相对于非 BURST 操作，BURST 操作本身并不能提高传输性能，但 BURST 操作有利于简化 SDRAM 的读写命令，有利于系统整体性能的提升。如图 7.14 所示，某 CPU 连续发出四个读命令（非 BURST 操作），从 SDRAM 中读取四个存储单元的数据，与 BURST 操作相比，所消耗的时钟周期相同。但在 BURST 操作中，CPU 发出第一个读命令后，其余时间处于空闲，而非 BURST 操作中，CPU 需连续发出四个读命令，耗费了宝贵的 CPU 资源，因此不利于系统的整体性能的提高。

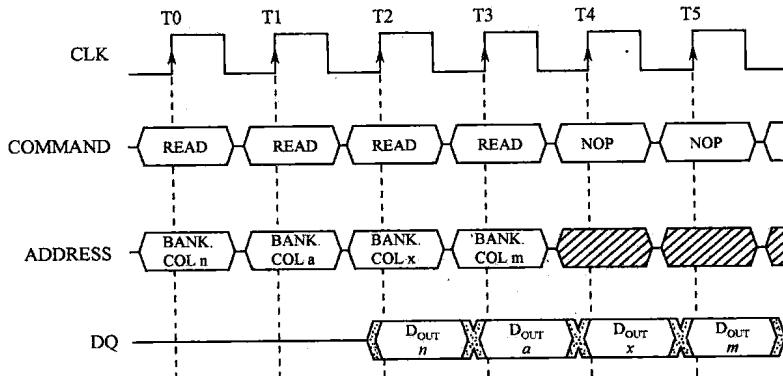


图 7.14 非 BURST 读操作<sup>[35]</sup>

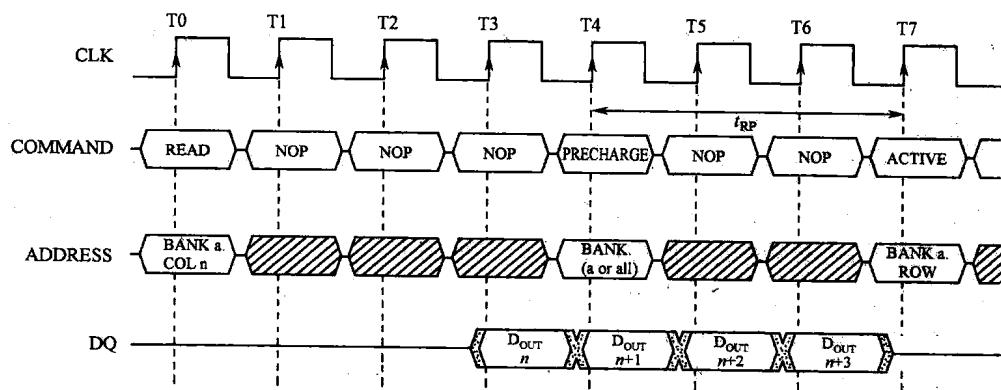
SDRAM 的读命令都是采用 BURST 操作，而写命令可被配置为 BURST 或非 BURST 操作。若被配置为 BURST 操作，还需设置突发长度，可选的长度有 1、2、4、8，突发长度设置为 1 时，其等效于非 BURST 操作。

### 5) PRECHARGE (预充电操作)

对 SDRAM 内部某一行的操作完成后，如需继续对另一行进行操作，应先关闭当前的工作行，该操作称为 PRECHARGE (预充电) 操作。SDRAM 存储单元依靠电容充放电实现存储单元逻辑状态的记录，因此在完成一次操作后，需对已操作完成的行进行回写。PRECHARGE 操作时，CLK 信号上升沿采样到的关键信号逻辑状态分别为：CS#低电平有效、RAS#低电平有效、CAS#高电平无效、WE#低电平有效。

在 PRECHARGE 操作中，引脚 A10 用于选择是一个 Bank 还是所有 Bank 同时被预充电。当 A10 为高电平时，所有的 BANK 同时预充电；当 A10 为低电平，由 BA[1:0]指定预充电的 BANK 地址。由于预充电操作需要一定的时间，在发出预充电操作的命令后，需等待  $t_{RP}$  时间才能发起对另一行的操作（即从 Precharge 到另一行的 ACT 之间的时间间隔需满足参数  $t_{RP}$ ）。如图 7.15 所示，PRECHARGE 命令（CS#低电平有效、RAS#低电平有效、CAS#高电平无效、WE#低电平有效）发出后，需等待  $t_{RP}$  时间，才能对另一行发出 ACT 操作，而在段时间内，本次数据的传输仍继续进行。

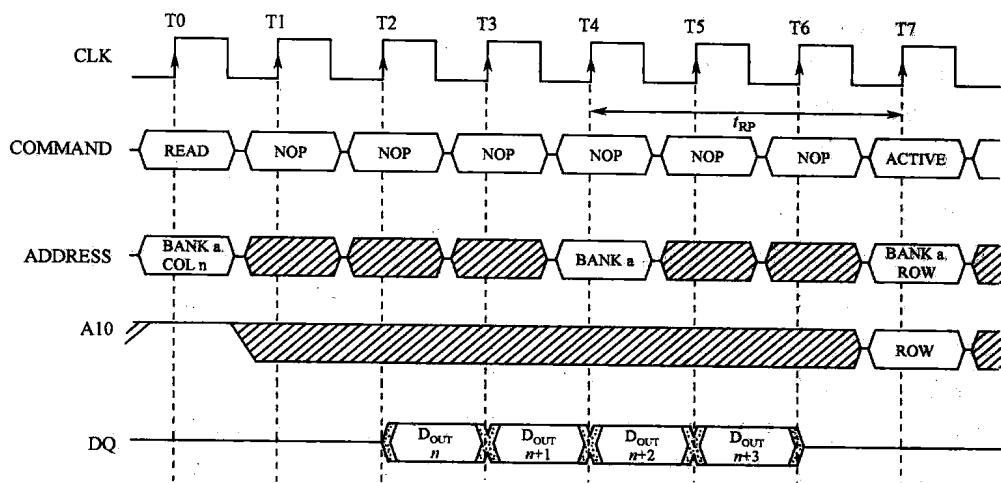
以下分析 PRECHARGE 对存储性能的影响。对于读操作后的 PRECHARGE 操作，在发出 PRECHARGE 命令及其以后的  $t_{RP}$  时间段内，数据传输仍可继续进行，因此存储性能不受影响。而对于写操作，根据数据写时序图，在总线上出现最后一个数据后，还需延时  $t_{WR}$  才能发出 PRECHARGE 命令，因此在写操作时，存储性能将受到 PRECHARGE 操作的影响。

图 7.15 读操作后的 PRECHARGE 操作<sup>[35]</sup>

### 6) AUTO PRECHARGE (自动预充电操作)

PRECHARGE 操作，要求存储器控制器主动发出 PRECHARGE 命令，占用了宝贵的控制器资源。而 AUTO PRECHARGE 操作则无需外部控制器的指令即可自动地实现 PRECHARGE 功能。

AUTO PRECHARGE 操作通过在读或写命令发出时信号线 A10 的状态来决定，本次读或写操作完成后，是否对本次操作所涉及的行自动执行 PRECHARGE，如图 7.16 所示。需注意，对于 AUTO PRECHARGE，仍需满足参数  $t_{RP}$  的要求。

图 7.16 AUTO PRECHARGE 操作<sup>[35]</sup>

### 7) AUTO REFRESH (自动刷新操作)

根据组成结构可知，SDRAM 需不断刷新才能保持内部存储的数据信息，刷新操作由 AUTO REFRESH 指令发起。AUTO REFRESH 操作时，CLK 信号上升沿采样到的关键信号逻辑状态分别为：CS#低电平有效、RAS#低电平有效、CAS#低电平有效、WE#高电平无效。

在发起 AUTO REFRESH 操作之前，要求对当前工作的行执行 PRECHARGE 操作，并等待  $t_{RP}$  的延时满足后才能执行 AUTO REFRESH。

SDRAM 存储单元能可靠保存数据的时间约为 64ms，因此设定每个存储单元的刷新周期是 64ms，SDRAM 每次针对一行进行刷新，以 8192 行的 SDRAM 为例，刷新操作应每



$7.8125 \mu\text{s}$  执行一次，由于刷新操作是 SDRAM 自身的行为，与外部存储器控制器无关，因此刷新操作的地址并不会出现在地址总线上。

刷新操作的时间用参数  $t_{RFC}$  定义，该参数的值较大，以工作时钟频率为 133MHz 的 SDRAM 为例，刷新操作最少需消耗 9 个时钟周期，在此期间，SDRAM 不响应任何外部命令。由此可知，刷新操作是影响 SDRAM 性能的最主要因素。SRAM 的工作则无需刷新操作，从这一点来看，SRAM 的存储性能远高于 SDRAM。

刷新操作与预充电操作的实现机制类似，二者不同点有，其一，预充电需伴随读写操作，属随机性的操作，而刷新操作是定期性的操作；其二，一次完整的刷新操作包括对所有行的操作，而一次预充电操作可以针对某一特定的 BANK。

### 8) SELF REFRESH (自刷新操作)

从省电角度考虑，当无流量负荷时，应通过无效 CKE 信号以使 SDRAM 进入休眠状态。但进入休眠状态后，仍需不断刷新 SDRAM 以保存其内部存储的数据。SELF REFRESH 操作与 AUTO REFRESH 类似，唯一不同的是前者针对的是休眠状态的 SDRAM (即 CKE 信号无效)。

### 9) 上电初始化

SDRAM 要求  $V_{DD}$  和  $V_{DDQ}$  同时上电，且在输入时钟 CLK 稳定后，等待至少  $100 \mu\text{s}$  后才能开始如下的初始化流程：

- ① 通过 PRECHARGE 操作对所有 BANK 预充电。
- ② 发起数次 AUTO REFRESH 操作，至少要求两次。
- ③ 配置模式寄存器。
- ④ 开始正常工作。

### 10) 模式寄存器的配置

在上电初始化的步骤中，配置模式寄存器是关键的一步。模式寄存器用于定义 SDRAM 的操作模式，如 BURST 模式、CL 参数、突发长度等，模式寄存器的值与 SDRAM 的正常工作密切相关。

配置模式寄存器时，CLK 信号上升沿采样到的关键信号逻辑状态分别为 CS#低电平有效、RAS#低电平有效、CAS#低电平有效、WE#低电平有效，地址总线输出模式寄存器的值。此处，需注意的是，模式寄存器的值是通过地址总线，而不是数据总线发出。正是这个原因，在 SDRAM (包括后续章节将要介绍的 DDR SDRAM、DDR2 SDRAM) 的设计中，地址总线的线序不能任意交换。由于 SRAM 的工作不涉及模式寄存器的配置，因此其地址总线线序是可以任意交换的。如图 7.17 所示为模式寄存器的配置图。

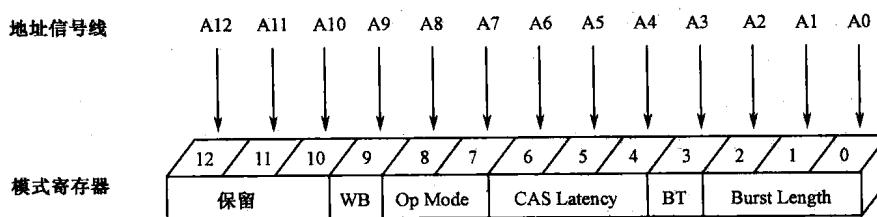


图 7.17 配置模式寄存器<sup>[35]</sup>



模式寄存器的第 12~10 位为保留位；

第 9 位为 WB，指写突发模式（Write Burst Mode）。SDRAM 的读命令都采用突发模式，而对写命令是否采用突发模式，则可通过模式寄存器的 WB 位进行设置，当 WB 位被设置为 0 时，写命令将采用突发模式（Burst），否则采用非突发模式；

第 8~7 位为 Op Mode，一般设置为 [00]，表示采用标准的配置方式。

第 6~4 位为 CAS Latency，即 CAS 潜伏期参数 CL，[010]表示 CL=2，[011]表示 CL=3。CL 表示从读命令发出到第一个数据出现在总线上的延时，因此 CL 越小越有助于提高存储效率，但 CL 值设置得太小，却不利于 SDRAM 工作速率的提高。例如，某款 SDRAM，当 CL 设置为 2，工作速率最高可达 100MHz，而 CL 设置为 3 时，最高速率可达 133MHz。

第 3 位为 BT，指突发类型（Burst Type）。该位确定突发操作时连续传输字节的顺序。

第 2~0 位为 Burst Length，指突发长度。[000]表示突发长度为 1，等同于非突发操作；[001]表示突发长度为 2；[010]表示突发长度为 4；[011]表示突发长度为 8。

#### 4. SDRAM 时序参数

高速设计中，时序设计是重要的一环。存储器应用以及调试中的许多问题都与时序设计有关。对时序设计的详细内容，请参考第 5 章，本小节仅就 SDRAM 应用中，需重点关注的时序参数进行介绍。

前文介绍的  $t_{RCD}$ 、CL、 $t_{RAS}$ 、 $t_{RC}$ 、 $t_{RP}$ 、 $t_{WR}$  等时间参数，是 SDRAM 自身的特性参数，用于对存储性能的分析和比较，但不属于时序分析的参数。

SDRAM 与时序以及信号质量相关的重要参数有以下几个：

- (1)  $t_{AH}$ 、 $t_{AS}$ ：地址信号保持时间和建立时间要求。
- (2)  $t_{DH}$ 、 $t_{DS}$ ：数据信号保持时间和建立时间要求。
- (3)  $t_{CMH}$ 、 $t_{CMS}$ ：控制信号保持时间和建立时间要求，控制信号包括 CS#、RAS#、CAS#、WE#、DQM 等。
- (4)  $t_{CH}$ 、 $t_{CL}$ ：时钟信号高电平和低电平的最小脉宽，这是一个与信号质量相关的要求，高电平脉宽指信号在 1.5V（LVTTL 的中间电平）之上的宽度，低电平脉宽指信号在 1.5V（LVTTL 中间电平）之下的宽度，需注意，当时钟信号边沿速率小于 1V/ns 时，高电平脉宽和低电平脉宽不再参考 1.5V，而是参考  $V_{IH(min)}$  和  $V_{IL(max)}$ ，对 LVTTL 电平， $V_{IH(min)}=2V$ ， $V_{IL(max)}=0.8V$ 。
- (5)  $t_{OH}$ ：数据输出保持时间。

#### 5. SDRAM 测试方法

下文所列举的测试方法不仅适用于 SDRAM，同时还适用于 DDR SDRAM、DDR2 SDRAM 等，因此用“存储器”指代这些类型的 DRAM。

单板设计完成后，存储器接口的测试应作为重要的测试项。如图 7.18 所示为针对存储器接口的高强度流量测试。一般采用两种方法对存储器接口进行测试。

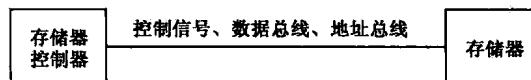


图 7.18 针对存储器接口的高强度流量测试



### 1) 对存储器接口的高强度流量测试

为产生高强度流量，一般有两种途径。

**途径一**，单板正常工作，通过编制特定的码流，使尽量多的数据在存储器控制器和存储器之间传输。例如，某以太网交换机产品，正常的数据流只需通过交换芯片转发即可，无需送到 CPU，CPU 仅负责错误数据以及配置数据等数据流的处理。为测试与 CPU 接口的 SDRAM，可通过 SmartBits 等流量发生器以高速发送配置数据流，从而提高 CPU 与 SDRAM 之间数据接口的流量负荷，经长时间高低温的流量测试，可实现对 SDRAM 接口的验证。

**途径二**，某些存储器控制器芯片带有 BIST（内建测试，Build In Self Test）功能，通过设置控制器的内部寄存器，即可触发控制器对外部存储器的高速测试，BIST 是一种 DFT（可测试性设计，Design For Testability）技术，由于其测试速率高、码型种类多、对信号线的测试覆盖率高、测试时间短、测试可靠性好，是一种很好的存储器测试方法。

### 2) 利用示波器对存储器接口信号线测试

存储器的信号分为两种：单向信号如控制信号、地址信号；双向信号如数据信号。

对于单向信号，发送方为存储器控制器，接收方为存储器；而对于双向信号，写操作时，发送方为存储器控制器，接收方为存储器，读操作时，发送方为存储器，接收方为存储器控制器。

对单向信号的时序测试较简单，测试点选取在存储器一侧即可。

对双向信号的时序测试，通过对存储器控制器（如 CPU 等）编程，使控制器主动读或写存储器，从而在存储器接口上产生一定的数据流，以便于信号测试。该方法的优点在于，通过程序的编写，可分别对读操作和写操作进行单独的测试，缺点在于产生的流量负荷相对较低。

此处需简要探讨在双向信号测试中，将读和写操作区分开的意义。利用示波器测试信号质量或时序，都应在接收端进行，而存储器的数据信号属于双向信号，当读写操作混杂时，难以辨别所测得的信号是发送端波形还是接收端波形，而将读写操作区分后，读操作时，存储器控制器为接收方，因此在这一侧测得的数据信号波形都属于接收端波形，可直接用于信号质量和时序分析，同理写操作时测量应在存储器一侧进行。

在故障诊断时，往往需要基于正常工作时的流量对存储器进行信号测试，而正常工作时读、写操作是混杂在一起的，在这种情况下，可采用以下的方法区分读、写操作。

示波器有四个输入通道，即一次最多可测量四个信号。SDRAM 属于同步 DRAM，即数据信号 DQ 的时序需参考时钟信号 CLK，因此，CLK 和 DQ 需占用两个通道，剩下的两个通道可用于区分读、写操作。

根据表 7.1，读操作区别于其他操作的特征可选取为：CAS#为低电平，WE#为高电平。需说明的是，该特征同样适用于 AUTO REFRESH 和 SELF REFRESH，但 REFRESH 操作时，数据信号线上不会发生状态的翻转，因此不会影响数据信号时序的测量。如图 7.19 所示，利用 CAS#和 WE#组成的特征模式触发读操作，需注意，读操作时，CAS#低电平有效后，需等待一个 CL 延时（本例中，CL=2），才能捕捉到数据信号 DQ。

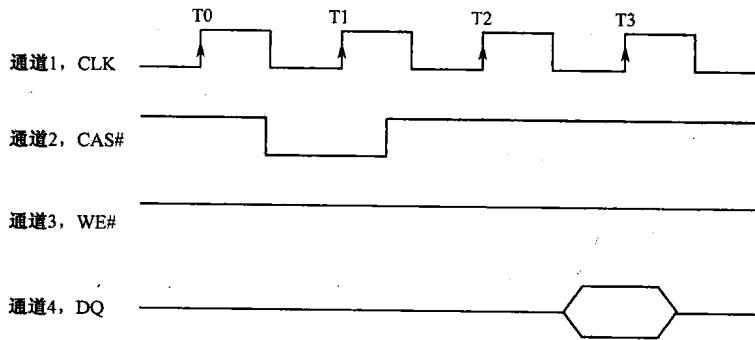


图 7.19 SDRAM 读操作时序测量示意图

同理，写操作区别于其他操作的特征为：CAS#为低电平，WE#为低电平，如图 7.20 所示。该特征同样适用于模式寄存器的配置操作，但配置模式寄存器只是在上电初始化时发生一次，不会影响数据信号时序的测量。

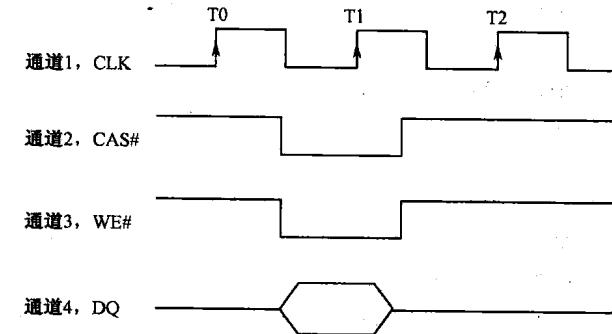


图 7.20 SDRAM 写操作时序测量示意图

以上的时序测试需用到示波器的 Pattern（模式）触发方法。如图 7.21 所示截取自 Tektronix 公司 DPO7104 示波器的 Pattern 触发配置选项页。

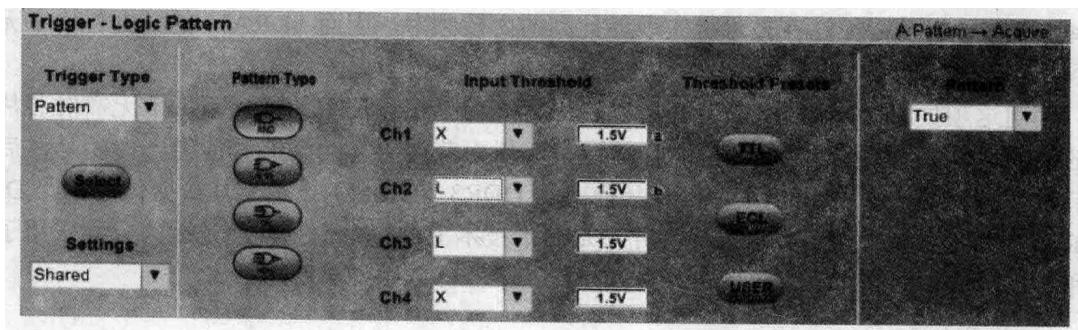


图 7.21 示波器的 Pattern 触发功能

- 在 Trigger Type（触发类型）处选择 Patter。
- 在 Pattern Type（模式类型）处选择 AND（与逻辑）。
- 在 Input Threshold（输入门限阈值）处，设定各个通道的触发条件及逻辑电平阈值，如写操作，Ch1（通道 1）为 CLK，Ch2 为 CAS#，Ch3 为 WE#，Ch4 为 DQ，则可设定触发条件为 Ch2 和 Ch3 为逻辑 0，用“L”表示，不要求 Ch1 和



Ch4 的逻辑状态，用“X”表示，逻辑阈值设置为 LVTTL 的中间电平 1.5V。

#### 理解要点：

- ① SDRAM 的性能与三个指标相关：内核工作频率、时钟频率、数据传输速率。
- ② SDRAM 的基本操作及相关控制信号的电平状态。
- ③ SDRAM 的延时参数、时序参数的理解。
- ④ 利用示波器进行 SDRAM 的信号完整性、时序测试方法。

### 7.2.3 DDR SDRAM 介绍及其应用要点

#### 1. DDR SDRAM 的技术更新及其与 SDRAM 的比较

DDR 指双倍速率 (Double Data Rate)，DDR SDRAM 与 SDRAM 的基本结构是相似的，最根本的区别在于 DDR SDRAM 支持在一个时钟周期内传输两次数据，这是通过接口结构的改进而实现的。

相对 SDRAM，DDR SDRAM 在技术上的更新有以下几项。

##### 1) 数据预取方式

DDR SDRAM 采用 2 倍预取架构，即芯片内部能以两倍于时钟运行的速率预取数据，从而使得芯片内核工作速率仅为外部数据传输率的一半。SDRAM 采用 1 倍预取架构，即芯片内核工作速率与外部数据传输速率相同。

内核工作速率越高，芯片工艺越复杂，基于这种工艺的限制，不可能快速地提高芯片内核工作速率。在相同的内核工作速率下，DDR SDRAM 的外部数据传输速率为 SDRAM 的两倍，从而提高了存储器的传输效率。

例如，在 DDR SDRAM 和 SDRAM 的外部数据传输率都为 400Mbps 的情况下，对于 DDR SDRAM，其内核工作速率仅需要为 200MHz，而对于 SDRAM，其内核工作速率需要为 400MHz，目前，无法在技术上实现如此高的内核频率，因而 SDRAM 的数据传输率无法达到 400Mbps。

利用这项技术，DDR SDRAM 可以在不提高内核工作速率的前提下（即无需对芯片做大的技术革新），大大提高外部数据传输速率，从而获得更高的性能。值得一提的是，后续章节将要提到的 DDR2 SDRAM 以及新推出的 DDR3 SDRAM 技术，其数据传输率比 DDR SDRAM 又有大幅度提高，这种提高并不是源于技术上的巨大变革，而是因为分别采用了 4 倍和 8 倍数据预取技术。<sup>[53]</sup>

##### 2) 信号电平

为提高信号完整性，DDR SDRAM 采用 SSTL-2 (Stub Series Terminated Logic for 2.5V) 电平，SSTL-2 是由 JEDEC 制定的专用于存储器接口的电平。

从芯片引脚上看，DDR SDRAM 的信号大多是单端信号，但本质上却都属于差分对。SSTL 电平的实现机制在于，将普通信号与参考电平  $V_{REF}$  组合成差分对，如图 7.22 所示，信号逻辑状态参考电平为  $V_{REF}$ ，而不再是 GND，高电平逻辑和低电平逻辑相对参考电平对称分布，有利于噪声裕量的提高和电压摆幅的减小。同时，差分对的结构也有利于信号温度



稳定性的提高。

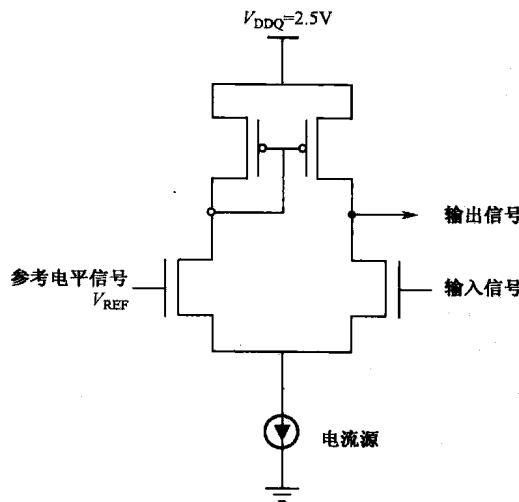


图 7.22 SSTL-2 输入端结构<sup>[36]</sup>

SSTL-2 电平的输入门限定义如图 7.23 所示。

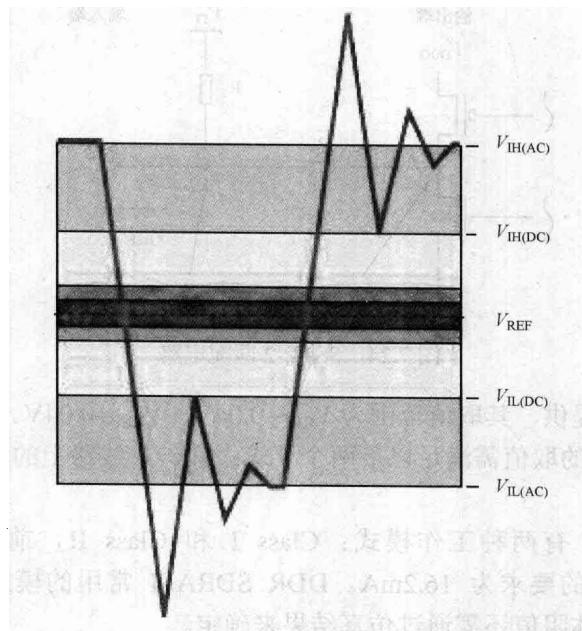


图 7.23 SSTL-2 电平输入门限定义<sup>[36]</sup>

其中， $V_{IH}$  和  $V_{IL}$  分别为输入逻辑高电平和低电平门限值，它们各有一个交流参数 AC 和一个直流参数 DC。信号沿第一次通过 AC 门限的时刻，是计算建立时间和保持时间的参考点，此后，只要信号不翻越 DC 门限，则逻辑状态将得到保持。以上升沿为例，当信号电平第一次超越  $V_{IH(AC)}$ ，表示信号已翻转为高电平，这一时刻用于计算信号的建立时间，此后，不论信号纹波有多大，只要信号电平不低于  $V_{IH(DC)}$ ，则信号将稳定于逻辑高电平上。这样，利用交流参数和直流参数共同定义逻辑高、低电平，有利于减小信号过冲、振铃、噪声



等干扰对逻辑电平判决的影响。

根据 SSTL-2 标准规范，各个门限电平的定义为：

$$V_{IH(AC)} = V_{REF} + 0.31$$

$$V_{IH(DC)} = V_{REF} + 0.15$$

$$V_{IL(AC)} = V_{REF} - 0.31$$

$$V_{IL(DC)} = V_{REF} - 0.15$$

对于 DDR SDRAM，当  $V_{REF}=1.25V$  时，有  $V_{IH(AC)}=1.56V$ ， $V_{IH(DC)}=1.40V$ ， $V_{IL(AC)}=0.94V$ ， $V_{IL(DC)}=1.10V$ 。

推荐  $V_{REF}$  的取值范围为  $0.49 \times V_{DDQ} \sim 0.51 \times V_{DDQ}$ ，其中， $V_{DDQ}$  为 DDR SDRAM 数据总线 I/O 接口的电源，其推荐取值范围为  $2.3 \sim 2.7V$ 。

DDR SDRAM 的时钟信号 CK/CK# 为 SSTL-2 电平的差分对，以其边沿交叉点作为时序参考点，而不像 SDRAM 那样采用 CLK 信号的中间电平  $1.5V$  作为时序参考点，这有利于减小时钟信号抖动对时序的影响。

以下继续介绍 SSTL-2 的匹配方式。

如图 7.24 所示是标准的 SSTL-2 匹配电路图。 $R_S$  为始端匹配电阻， $R_T$  为终端匹配电阻，上拉到  $V_{TT}$  电平。

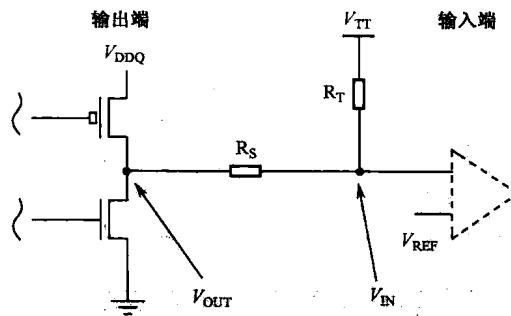


图 7.24 SSTL-2 匹配电路

$V_{TT}$  需由外部电源提供，其取值范围为  $V_{REF}-0.04V \sim V_{REF}+0.04V$ 。

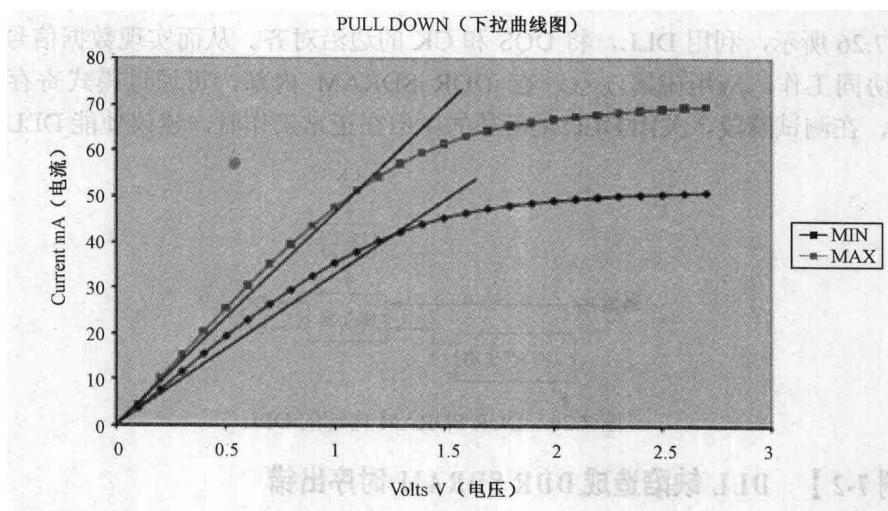
$R_S$  和  $R_T$  匹配电阻的取值需满足以下两个要求：其一，线路上的阻抗匹配；其二，线路上电流的要求。

对 SSTL-2 电平，有两种工作模式：Class I 和 Class II，前者线路电流的要求为  $8.1mA$ ，后者线路电流的要求为  $16.2mA$ 。DDR SDRAM 常用的模式是 Class II，一般取  $R_S=25\Omega$ ， $R_T=50\Omega$ ，具体阻值还需通过仿真结果来确定。

在确定  $R_S$  值的过程中，需得到驱动器的输出阻抗参数，该参数可以从驱动器 IBIS 模型的  $dV/dI$  曲线得到，如图 7.25 所示，驱动器输出阻抗的值在  $21 \sim 28\Omega$  之间，且该输出阻抗随着信号电平的变化而变化，在源端添加串联匹配电阻  $R_S$  有利于减小该影响。

驱动器输出阻抗越小，驱动能力越强。

在读操作时，图 7.25 的匹配方式对双向信号如 DQ、DQS 的信号质量存在一定的影响，但该问题在 DDR2 SDRAM 已经得到解决。

图 7.25 IBIS 模型的  $dV/dI$  曲线

### 3) 数据信号采样参考源

与 SDRAM 不同, DDR SDRAM 不再依靠时钟信号 CK/CK#实现对数据信号 DQ 的采样, 而是采用了与 DQ 同步的信号 DQS (数据选通信号, Data Strobe) 作为采样参考源。DQS 是双向信号, 传输方向与 DQ 相同。写操作时, 由存储器控制器发往存储器, DQS 的边沿与 DQ 的中央对齐, 在接收端的存储器, 直接利用 DQS 的边沿对 DQ 采样; 读操作时, 由存储器发往存储器控制器, DQS 的边沿与 DQ 的边沿对齐, 在接收端的存储器控制器内部, 对 DQS 偏移  $1/4$  个时钟周期后, 使用其边沿对 DQ 采样。一般, 一个 DQS 与八个 DQ 配合使用, 对于位宽为 16 位的 DDR SDRAM, 芯片上提供了两个 DQS 信号, 分别为 UDQS 和 LDQS, 其中, UDQS 与 DQ[15:8]构成一组, LDQS 与 DQ[7:0]构成一组。需注意的是, 在许多存储器控制器内部, 有相应寄存器以设置 DQS 的偏移量, 调试电路时, 不能忽略对这些寄存器的设置。

为什么要增加 DQS, 而不直接采用 CK/CK#作为数据信号的采样参考源? 原因有三: 其一, CK/CK#是单向信号, 其方向是由存储器控制器发往存储器, 而 DQ 为双向信号, 在由存储器发往存储器控制器的方向上, 无法直接采用 CK/CK#作为采样参考源; 其二, CK/CK#主要用于单边沿信号如地址、控制信号的采样, 不适合用于双边沿信号 DQ 的采样; 其三, SDRAM 和 DDR SDRAM 的数据信号都属于双向信号, 前者属于普通同步时序, 而后者属于源同步时序(请参考第 5 章), SDRAM 的数据传输率低, 可以采用普通同步时序, 而 DDR SDRAM 的数据传输率高, 时序裕量小, 需采用源同步时序以保证充裕的时序裕量。

因此, 对 DDR SDRAM 而言, 地址信号、控制信号等单向信号仍采用 CK/CK#采样(CK 的上升沿和 CK#的下降沿交叉点为时序参考点), 而数据信号 DQ 则使用其同步信号 DQS 采样。需注意, DDR SDRAM 的地址信号、控制信号仍为单边沿信号, 只有 DQ、DM 和 DQS 为双边沿信号。

综上所述, 看起来数据信号 DQ 与时钟信号 CK/CK#没有任何时序上的关系, 那么如何保证数据信号与地址、控制信号的协同工作? 这可通过存储器内部的 DLL(延迟锁相环)实现, 关于 DLL 的知识, 请参考第 6 章。



如图 7.26 所示，利用 DLL，将 DQS 和 CK 的边沿对齐。从而实现数据信号和地址、控制信号的协同工作。应用中需注意，在 DDR SDRAM 内部，可通过模式寄存器的配置将 DLL 关闭，在测试阶段，关闭 DLL 是可行的，但在正常工作时，建议使能 DLL。

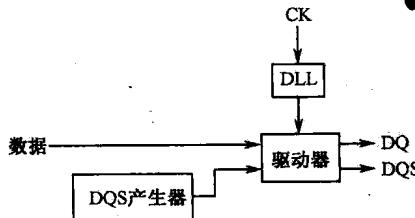


图 7.26 DDR SDRAM 内部的 DLL

### 【案例 7.2】 DLL 缺陷造成 DDR SDRAM 时序出错

某单板设计中，使用 DDR SDRAM 作为数据包的缓存器，FPGA 作为存储器控制器。测试中，发现经缓存后的数据包经常出错。

#### 【讨论】

测量 DDR SDRAM 的时序，发现在某些时候，DQS 和 DQ 时序关系不正确。在 PCB 设计时，DQS 和 DQ 信号走线等长，读操作时，DQS 的延时在 FPGA 内部实现。经逻辑工程师确认，该 FPGA 的逻辑设计已在其他单板上得到验证，因此问题很可能出现在电路设计上。

根据 DDR SDRAM 的器件资料，对 CK 和 DQS 之间的时序关系有如下要求：

$t_{DSH}$ : DQS 相对 CK 的保持时间，最小值要求为 0.2ns。

$t_{DSS}$ : DQS 相对 CK 的建立时间，最小值要求为 0.2ns。

经测试，DQS 相对 CK 的抖动很大，可初步定位为 FPGA 内部 DLL 工作不稳定。经测量，发现为 FPGA 内部 DLL 供电的电源引脚上的纹波较大，在 PCB 上，该引脚附近只有一颗 4.7  $\mu$ F 的陶瓷电容，且距离较远。

在改版设计中，增加一颗 0.1 $\mu$ F 的陶瓷电容，紧贴 DLL 电源引脚放置，同时将 4.7  $\mu$ F 陶瓷电容靠近电源引脚，问题得到解决。

#### 4) 功耗

SDRAM 采用 3.3V 的 LVTTL 电平，而 DDR SDRAM 采用 2.5V 的 SSTL-2 电平，相对于 SDRAM，功耗更小。

#### 5) 总结

在硬件电路设计上，DDR SDRAM 与 SDRAM 的不同点，可总结如下：

**区别一，时钟信号。** SDRAM 的时钟信号 CLK 为单端信号，而 DDR SDRAM 则采用差分对时钟信号 CK/CK#。

**区别二，信号电平。** SDRAM 采用 LVTTL 电平，接口信号为单端信号，而 DDR SDRAM 采用 SSTL-2 电平，接口信号本质上属于差分对。

**区别三，电源。** 两种存储器的电源引脚都分为  $V_{DD}$  和  $V_{DDQ}$ ，一般这两种引脚均可采用同一电源供电，但 SDRAM 的电源为 3.3V，而 DDR SDRAM 的电源为 2.5V。



**区别四，电源种类。** SDRAM 仅需 3.3V 一种电源，而 DDR SDRAM 需三种电源：给  $V_{DD}$  和  $V_{DDQ}$  供电的 2.5V，给  $V_{REF}$  供电的 1.25V，以及给 SSTL-2 终结电路供电的  $V_{TT}$  电源 1.25V，关于 DDR SDRAM 的电源电路设计，将在下文讨论。

**区别五，时序测试。** 对地址信号、控制信号，SDRAM 和 DDR SDRAM 的时序测试方法相同，对数据信号，SDRAM 为单边沿采样，DDR SDRAM 为双边沿采样，且时序参考信号为 DQS 而不是时钟信号。

**区别六，输出信号驱动能力。** DDR SDRAM 输出信号的驱动能力可被设置为强驱动或弱驱动两种模式，SDRAM 则不能设置。在设计中，某些存储器控制器对 DDR SDRAM 的输出驱动能力有要求，应相应地对存储器的寄存器进行配置。

## 2. DDR SDRAM 基本操作

DDR SDRAM 的操作方式与 SDRAM 基本相同，此处仅简要介绍某些关键的操作。

### 1) 读操作

如图 7.27 所示为 DDR SDRAM 读操作时序图。

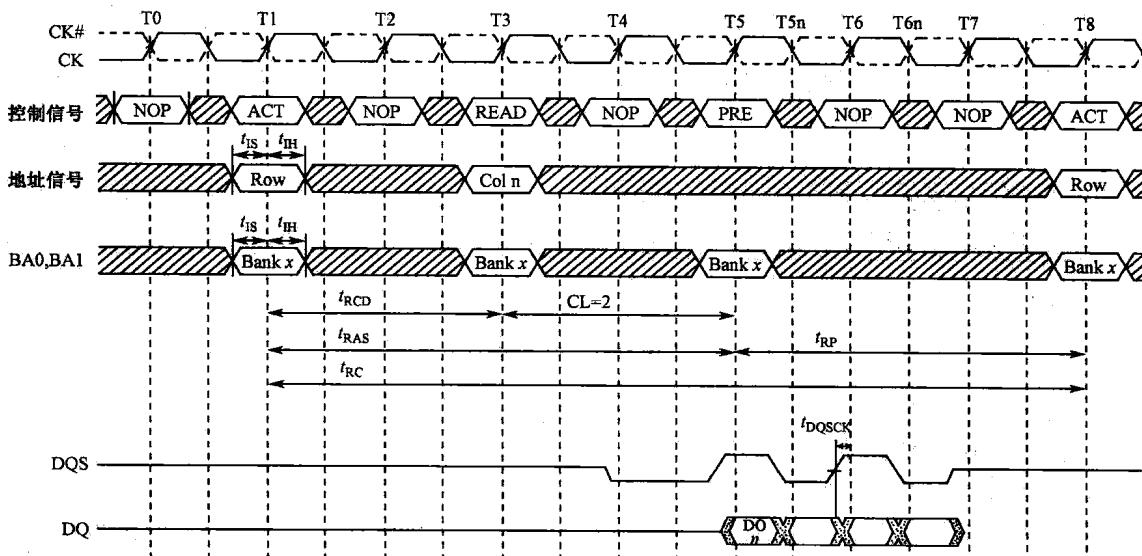


图 7.27 DDR SDRAM 读操作时序图<sup>[37]</sup>

DDR SDRAM 的延时参数如  $t_{RCD}$ 、 $t_{RAS}$ 、 $t_{RC}$ 、 $t_{RP}$ ，它们的定义与 SDRAM 相同。地址信号和控制信号的采样应参考 CK 上升沿与 CK#下降沿的交叉点，时序参数如下：

$t_{IS}$ ：地址信号和控制信号的建立时间。

$t_{IH}$ ：地址信号和控制信号的保持时间。

以上两个参数的测量与读写操作无关，应在接收端存储器一侧测量，使用示波器的两个通道即可，通道一接差分探头，为时钟信号 CK/CK#，通道二接单端探头，为待测地址信号或控制信号。

DQS 与 CK/CK#之间的时序关系要求如下：

$t_{DQSCK}$ ：DQS 边沿与 CK/CK#交叉点之间的时序关系。



$t_{DQSCK}$  参数应在存储器一侧测量，同样，使用示波器的两个通道即可，通道一接差分探头，为时钟信号 CK/CK#，通道二接单端探头，为 DQS 信号。

对读操作，还需在接收端存储器控制器一侧，测量 DQ 和 DQS 之间的时序关系。一般在存储器控制器内，将 DQS 偏移四分之一个时钟周期（即二分之一个数据周期）后，再对 DQ 进行采样，因此在控制器的引脚上，DQ 和 DQS 最佳的时序关系是边沿对齐，对于某些 DQS 偏移量可调节的存储器控制器，在引脚上测得的 DQ 和 DQS 信号，则没有边沿对齐的要求。

## 2) 写操作

如图 7.28 所示为 DDR SDRAM 写操作的时序图。延时参数如  $t_{RCD}$ 、 $t_{RAS}$ 、 $t_{WR}$ 、 $t_{RP}$  等，它们的定义与 SDRAM 相同。

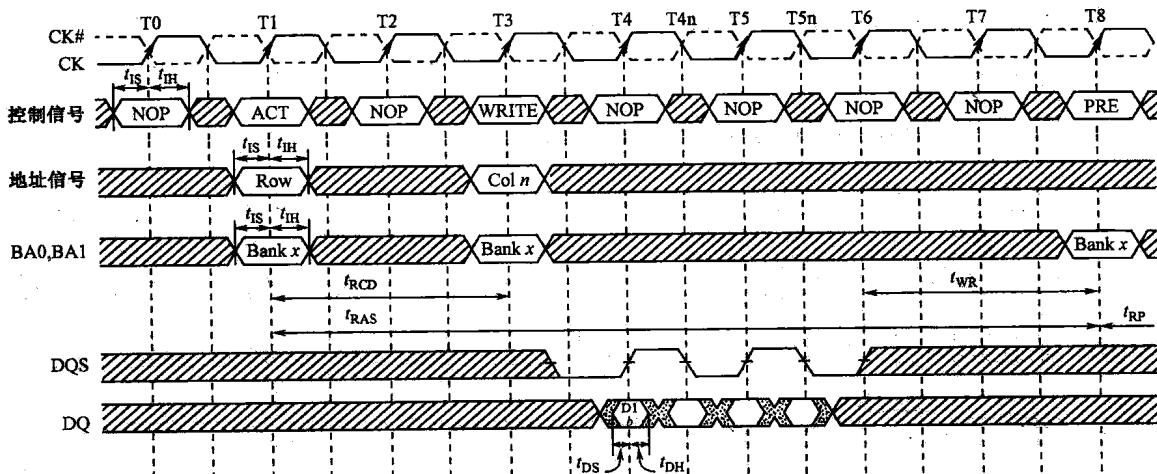


图 7.28 DDR SDRAM 写操作时序图<sup>[37]</sup>

对写操作，DQS 和 DQ 需满足以下时序参数：

$t_{DS}$ : DQ 相对 DQS 的建立时间；

$t_{DH}$ : DQ 相对 DQS 的保持时间。

需注意，对写操作，一般而言，存储器控制器在发出数据时，已将 DQS 偏移四分之一个时钟周期，即在发送端，DQS 的边沿正好位于 DQ 信号的中央，因此，只要在 PCB 设计中保证同组之内的 DQS 和 DQ 信号走线等长，即可满足接收端的时序要求。

## 3) 上电初始化操作

DDR SDRAM 的上电初始化流程如下：

- (1)  $V_{DD}$  和  $V_{DDQ}$  同时上电。
- (2)  $V_{REF}$  上电完成后， $V_{TT}$  上电。
- (3) 等待 CK/CK# 稳定运行  $200\mu s$ 。
- (4) 通过 PRECHARGE 操作对所有 BANK 预充电。
- (5) 配置扩展模式寄存器。
- (6) 配置模式寄存器。
- (7) 通过 PRECHARGE 操作对所有 BANK 预充电。



(8) 发起数次 AUTO REFRESH 操作，至少要求两次。

(9) 存储器开始正常工作。

#### 4) 模式寄存器的配置

对于 DDR SDRAM，片内寄存器分为模式寄存器和扩展模式寄存器，BANK[1:0]=00 时，选择模式寄存器，如图 7.29 所示。该寄存器的内容与 SDRAM 类似，不再赘述。

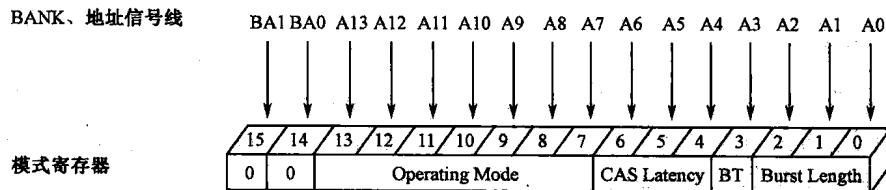


图 7.29 DDR SDRAM 模式寄存器<sup>[37]</sup>

#### 5) 扩展模式寄存器的配置

BANK[1:0]=01 时，选择扩展模式寄存器，如图 7.30 所示。

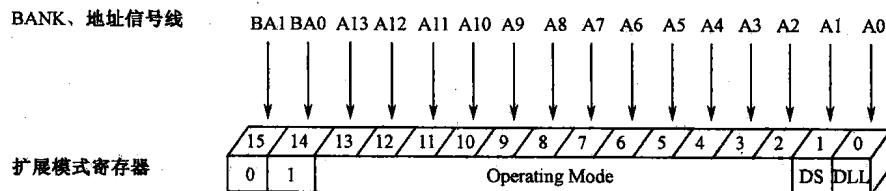


图 7.30 DDR SDRAM 扩展模式寄存器<sup>[37]</sup>

第 13~2 位：操作模式位，必须为全 0 值。

第 1 位：DS，指驱动模式（Drive Strength）。DS=0，选择正常驱动模式，DS=1，选择弱驱动模式。

第 0 位：DLL。DLL=0 时，使能 DDR SDRAM 内部延迟锁相环 DLL，DLL=1 时，关闭片内 DLL。

DDR SDRAM 的正常驱动模式即 SSTL-2 Class II 模式，线路电流 16.2mA，出于减小线路上信号振荡、过冲的考虑，某些场合下，要求较小的线路电流，因此，DDR SDRAM 提供了对弱驱动模式的支持，使能该模式时，输出电流仅为正常模式下线路电流的 54%，接近 SSTL-2 Class I 模式。应用中需注意以下三点：

**要点一**，并不是所有的 DDR SDRAM 器件都支持弱驱动模式。

**要点二**，在弱驱动模式下，信号边沿速率减缓，可能对时序产生一定的影响。

**要点三**，根据驱动模式的不同，对某些时序参数有不同的要求。在 DDR SDRAM 器件资料上，地址信号和控制信号的时序参数  $t_{IS}$  和  $t_{IH}$ ，有快边沿速率（fast slew rate）和慢边沿速率（slow slew rate）两种要求，其中快边沿速率的要求针对正常驱动模式，而慢边沿速率的要求针对弱驱动模式。例如，某款 DDR SDRAM，选择慢边沿速率时， $t_{IS}$  的要求为 0.8ns，选择快边沿速率时， $t_{IS}$  的要求为 0.75ns，前者略大于后者，即，在信号边沿速率较缓的情况下，应对时序裕量进行补偿。

某些存储器控制器，如 Vitesse 公司的 VSC9128，出于对信号质量的考虑，在器件资料



上明确要求采用弱驱动模式，此时，一方面应配置 VSC9128 内部寄存器，使能其弱驱动模式，同时，在 DDR SDRAM 的选型上，应注意选择支持弱驱动模式的器件，并对其扩展模式寄存器进行相应的配置。

### 3. DDR SDRAM 的时序测试

DDR SDRAM 的时序测试方法与 SDRAM 类似。

#### 1) 时序参考点

时钟信号的时序参考点是 CK 上升沿和 CK#下降沿的交点，对地址信号和控制信号，时序参考点选取为信号上升沿的  $V_{REF}$  位置，而对数据信号如 DQ 和 DQS，时序参考点应选取为信号变化沿（包括上升沿和下降沿）的  $V_{REF}$  位置。

#### 2) 边沿变化速率

对时钟信号，CK 和 CK#的边沿变化速率应大于 1V/ns（当使用差分探头同时测量时钟信号的两端时，边沿变化速率应大于 2V/ns）。

对其他信号，从  $V_{IL(AC)}$  到  $V_{IH(AC)}$ ，推荐边沿变化速率为 0.5~1V/ns，当边沿变化速率小于 0.5V/ns 时，时序参数应做降额处理：第一，对地址信号和控制信号，相对 0.5V/ns，每相差 0.1V/ns，要求  $t_{IS}$  增加 50ps， $t_{IH}$  则不受边沿变化速率的影响；第二，对数据信号，相对 0.5V/ns，每相差 0.1V/ns，要求  $t_{ID}$  和  $t_{IH}$  都增加 50ps。

边沿变化速率也不能太快，当超过 4V/ns 时，DDR SDRAM 的功能不能得到保证。

某些速率等级的器件，要求信号边沿变化速率必须大于 0.5V/ns，否则功能不能得到保证。

### 4. DDR SDRAM 的电源设计

DDR SDRAM 涉及四种电源。

$V_{DD}$ : DDR SDRAM 内核工作电源，为 2.5V。

$V_{DDQ}$ : DDR SDRAM 数据总线 I/O 接口电源，为 2.5V。

$V_{REF}$ : SSTL\_2 参考电源。

$V_{TT}$ : SSTL\_2 终结电源。

其中， $V_{DD}$ 、 $V_{DDQ}$ 、 $V_{REF}$  是 DDR SDRAM 的电源引脚， $V_{TT}$  不直接给 DDR SDRAM 供电，而是作为终结电阻的端接电源。

前文已讨论过这四种电源，以下将进一步加以总结。

#### 1) 上电顺序

上电顺序： $V_{DD}$  和  $V_{DDQ}$  同时上电，随后  $V_{REF}$  上电， $V_{TT}$  最后上电。

#### 2) 电平关系<sup>[37]</sup>

$$V_{DD(\min)} = V_{DDQ(\min)} = 2.3\text{V}$$

$$V_{DD(\max)} = V_{DDQ(\max)} = 2.7\text{V}$$

$$V_{REF(\min)} = 0.49 \times V_{DDQ}$$

$$V_{REF(\max)} = 0.51 \times V_{DDQ}$$

$$V_{TT(\min)} = V_{REF(\min)} - 40\text{mV}$$

$$V_{TT(\max)} = V_{REF(\max)} + 40\text{mV}$$

$$V_{IH(DC)(\min)} = V_{REF} + 0.15\text{V}$$

$$V_{IH(DC)(\max)} = V_{DD} + 0.3\text{V}$$



$$V_{IL(DC)(min)} = -0.3V$$

$$V_{IL(DC)(max)} = V_{REF} - 0.15V$$

$$V_{IH(AC)(min)} = V_{REF} + 0.31V$$

$$V_{IL(AC)(max)} = V_{REF} - 0.31V$$

### 3) 功耗

在四种电源中, 对  $V_{DD}$ 、 $V_{DDQ}$  的功耗, 需根据厂家提供的器件资料信息计算得出, 一般每片 DDR SDRAM, 功耗不会超过 1W。

对  $V_{TT}$ , 除了 CK/CK#信号外, DDR SDRAM 的其他信号都将终结于  $V_{TT}$ 。由于数据信号为双向信号,  $V_{TT}$  需支持吸收电流和驱动电流这两个方向的电流。

假设  $R_S=R_T=25\Omega$ , DDR SDRAM 源端内置串联电阻  $R_{IN}=10\Omega$ , 则对每个终结于  $V_{TT}$  的信号, 电流计算如下:

DDR SDRAM 输出高电平时,  $V_{TT}$  吸收电流为:

$$(V_{DDQ(max)} - V_{TT(min)}) / (R_S + R_T + R_{IN}) = (2.7 - 1.09) / (25+25+10) = 26.8mA$$

DDR SDRAM 输出低电平时,  $V_{TT}$  驱动电流为:

$$(V_{TT(max)} - V_{OL(min)}) / (R_S + R_T + R_{IN}) = (1.42 - 0) / (25+25+10) = 23.6mA$$

通过以上计算可知, 这两个方向的电流大致相等。因此, 接口总线中, 当高电平和低电平信号数目相等时,  $V_{TT}$  电源上基本不耗电 (吸收电流和驱动电流相抵消), 但考虑极限情况, 当所有信号的逻辑状态都相同时, 耗电量最大。以某位宽为 16 的 DDR SDRAM 为例, 需终结于  $V_{TT}$  的信号数是 42 (16 个 DQ, 2 个 DQS, 2 个 DM, 15 个地址信号, 以及 7 个控制信号), 则  $V_{TT}$  电源需支持电流 1A。

在某些设计中, 信号无需终结于  $V_{TT}$ , 这些设计应满足如下要求: 连接于同一个存储器控制器的 DDR SDRAM 少于两片, 走线长度短于 2 英寸, 经仿真, 信号质量满足 SSTL-2 标准。对这种设计, 可省去  $V_{TT}$  电源。

对  $V_{REF}$ , 其只是提供参考电平, 耗电量不超过 5mA, 但  $V_{REF}$  必须和  $V_{DDQ}$  保持稳定的关系, 且对纹波的要求比较高, 要求  $V_{REF}$  电源上的纹波不超过 50mV。

设计中, 经常利用一个电源芯片同时输出  $V_{TT}$  和  $V_{REF}$  这两种电源, 如图 7.31 所示的 MAX1510。

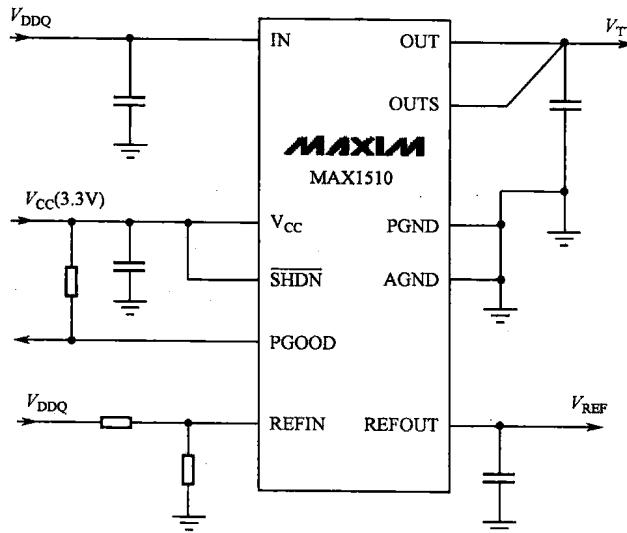


图 7.31 MAX1510<sup>[38]</sup>



MAXIM1510 内置 MOSFET，可提供峰值电流高达 3A 的  $V_{TT}$  电源，且同时提供纹波小、紧密跟踪  $V_{DDQ}$  的  $V_{REF}$  电源，即 MAXIM1510 等效于一个 DC/DC 电源（输出  $V_{TT}$ ）和一个 LDO 电源（输出  $V_{REF}$ ）。

对  $V_{REF}$ ，除使用 MAXIM1510 等商业电源芯片外，在轻负载的情况下（连接于同一个存储器控制器的 DDR SDRAM 少于两片），还可直接通过电阻分压得到，如图 7.32 所示。

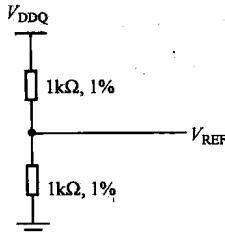


图 7.32 基于电阻分压电路产生  $V_{REF}$

由于  $V_{REF}$  对干扰的要求特别高，在电源纹波测试时需注意，若将示波器探头放在器件  $V_{REF}$  引脚上，将耦合进一定量的干扰，为避免测试时干扰的引入，应将示波器探头放在最靠近  $V_{REF}$  引脚的电容上，而不是直接放在  $V_{REF}$  引脚上。

### 【案例 7-3】 $V_{REF}$ 不稳定造成存储器读写操作出错

某设计中，对 DDR SDRAM 读写测试出错，测量  $V_{REF}$ ，发现纹波较大。

#### 【讨论】

检查 PCB 上  $V_{REF}$  的滤波电路，DDR SDRAM 的每个  $V_{REF}$  引脚附近均放置有一个  $1\text{ }\mu\text{F}$  和一个  $0.1\text{ }\mu\text{F}$  的去耦电容，符合设计的要求。

原理图上， $V_{REF}$  产生电路如图 7.33 所示。

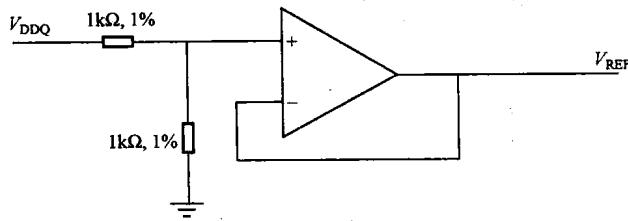


图 7.33 错误的  $V_{REF}$  产生电路

在该设计中，由于放大器输入端为高阻， $V_{REF}$  电源只能产生单向电流，而 DDR SDRAM 要求  $V_{REF}$  跟踪  $V_{DDQ}$  的变化， $V_{DDQ}$  支持灌电流和拉电流这两个方向的电流，因此  $V_{REF}$  同样需支持两个方向的电流。

## 5. 存储器 DIMM 条

由于封装尺寸的限制，单片存储器的容量往往不能满足设计的要求，如单片 DDR SDRAM，最大容量是 1Gbit（1G 比特位，等于 128M 字节，以下简写为 1Gb，或 128MB），在高性能单板设计中，CPU 等芯片对存储器容量的要求往往较高，如 512MB，



甚至达到 1GB 或更高。

为实现大容量存储，可采用两种方法。

**方法一**，将多片存储器芯片布放在 PCB 上，通过走线，将这些芯片连接在一起以构成大容量存储。

**方法二**，采用 DIMM 条，相对方法一，DIMM 条的使用有三个优势，其一是实现了大容量的存储，其二是节省了 PCB 面积，其三是简化了设计。

DIMM（双列直插式存储模块，Dual-Inline-Memory-Modules）简称双面内存条，是将多片存储器件集成于一块 PCB 上、通过该 PCB 的“金手指”引脚与单板上的 DIMM 条插座相连的存储技术。DIMM 条本身也是一块 PCB 板，可以将 DIMM 条理解成大容量的存储模块，DIMM 条上 PCB 的金手指引脚分布于 PCB 的两面，因此，将这种存储模块条称为双面内存条。

SDRAM、DDR SDRAM，以及下一节将要介绍的 DDR2 SDRAM 都有与自己相对应的 DIMM 条。区别在于 DIMM 条金手指引脚数目的不同：SDRAM DIMM 条引脚数为 168，每面的引脚数为 84；DDR SDRAM DIMM 条引脚数为 184，每面的引脚数为 92；DDR2 SDRAM DIMM 条引脚数为 240，每面引脚数为 120。

DIMM 分为两类：Unbuffered DIMM（无缓冲 DIMM）和 Registered DIMM（有寄存 DIMM）。

### 1) Unbuffered DIMM

对 Unbuffered DIMM（无缓冲 DIMM）而言，所有信号都是从存储器控制器直接连接到存储器芯片上。

如图 7.34 所示为 DDR SDRAM DIMM 条的框图。DIMM 条分两个模块组，对模块组的选择是通过片选信号 S#[1:0]实现。每组由 9 片位宽为 8 的 DDR SDRAM 芯片构成，因此，每个模块组的数据总线宽度为 64，另有 8 位数据线 CB[7:0]用于 ECC（错误检查和纠正，Error Checking and Correcting）校验。在 DIMM 条上，每个数据信号线的负载数为 2。

图 7.34 中，每个 DIMM 条有三组差分时钟输入端，即 CK/CK#[2:0]，每组为 6 片 DDR SDRAM 芯片提供时钟。DIMM 条输入的地址和控制信号直接连接到各个 DDR SDRAM 芯片上，除 CKE[1:0]的负载数为 9 外，其他信号的负载数都是 18。

DIMM 条上还有一个称为 SPD（串行存在检测，Serial Presence Detect）的 EEPROM 芯片。在 SPD 上存储有 DIMM 条上存储器件的基本信息，例如，BANK 数目、行地址数目、列地址数目、位宽，以及各时序参数如 CL、 $t_{RCD}$ 、 $t_{RP}$  等。上电后，通过读取 SPD，存储器控制器才能掌握 DIMM 条上存储器件的信息，以便正确配置存储接口。在设计中需注意，一般要求 SPD 的电源为 3.3V（某些 DIMM 条也支持 2.5V 的 SPD 电源），即便 DDR SDRAM 本身不需要 3.3V，也需专门为 DIMM 条上的 SPD 提供一个 3.3V 电源，该电源功耗很小，在 PCB 上用 20mil 宽度的走线连接即可。

### 2) Registered DIMM

Unbuffered DIMM（无缓冲 DIMM）条存在的主要问题是，地址和控制信号负载较多，负载越多，容性越大，信号的稳定性也越差，以至于存储器无法以最高速率工作。针对这个问题，JEDEC 国际标准组织定义了 Registered DIMM（有寄存 DIMM）。某些对存储性能要



求很高的芯片，如 Intel 公司的北桥芯片 E7501 等，即要求必须配套使用 Registered DIMM。

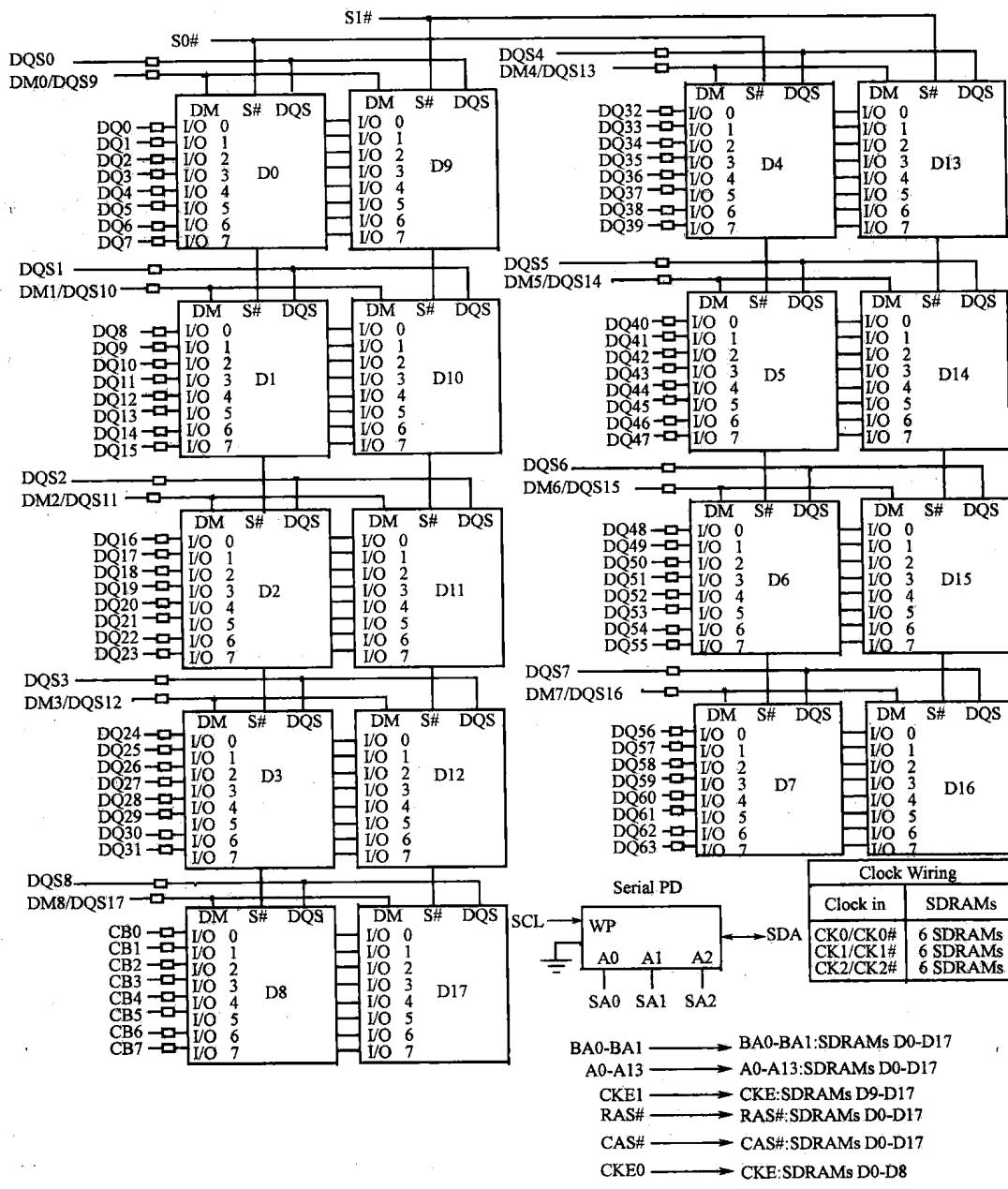


图 7.34 Unbuffered DIMM 原理图<sup>[40]</sup>

某款 Registered DIMM 外观图如图 7.35 所示。

该型号的 DDR SDRAM Registered DIMM 由两组模块组构成，每组由 9 片位宽为 8 的 DDR SDRAM 芯片构成，数据总线 64 位，另有 8 位数据线 CB[7:0]用于 ECC 校验。每个数据信号线的负载数为 2。

对地址信号和控制信号，除 CKE[1:0]的负载数为 9 外，其他信号的负载数都是 18，不



同的是，在地址信号和控制信号被送到各个存储器芯片之前，都经过了驱动。

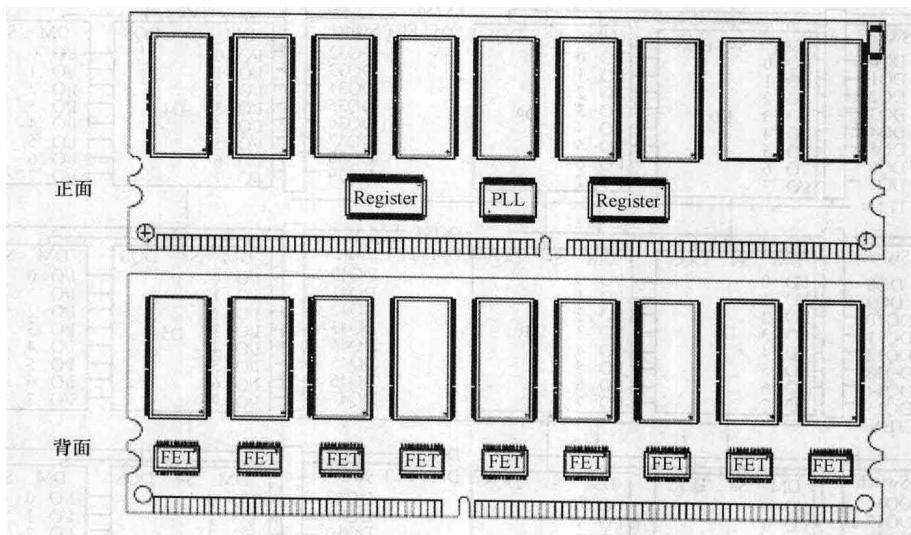


图 7.35 Registered DIMM 外观<sup>[41]</sup>

时钟信号将被 DIMM 条上的锁相环 PLL 作零延时驱动后，输往各个存储器芯片以及地址、控制信号的 Register 驱动器。

Registered DIMM 同样具有 SPD，置于正面的右上角。

Registered DIMM 原理图如图 7.36 所示。

### 3) 两种 DIMM 的比较

Registered DIMM 与 Unbuffered DIMM 不同之处有以下几点。

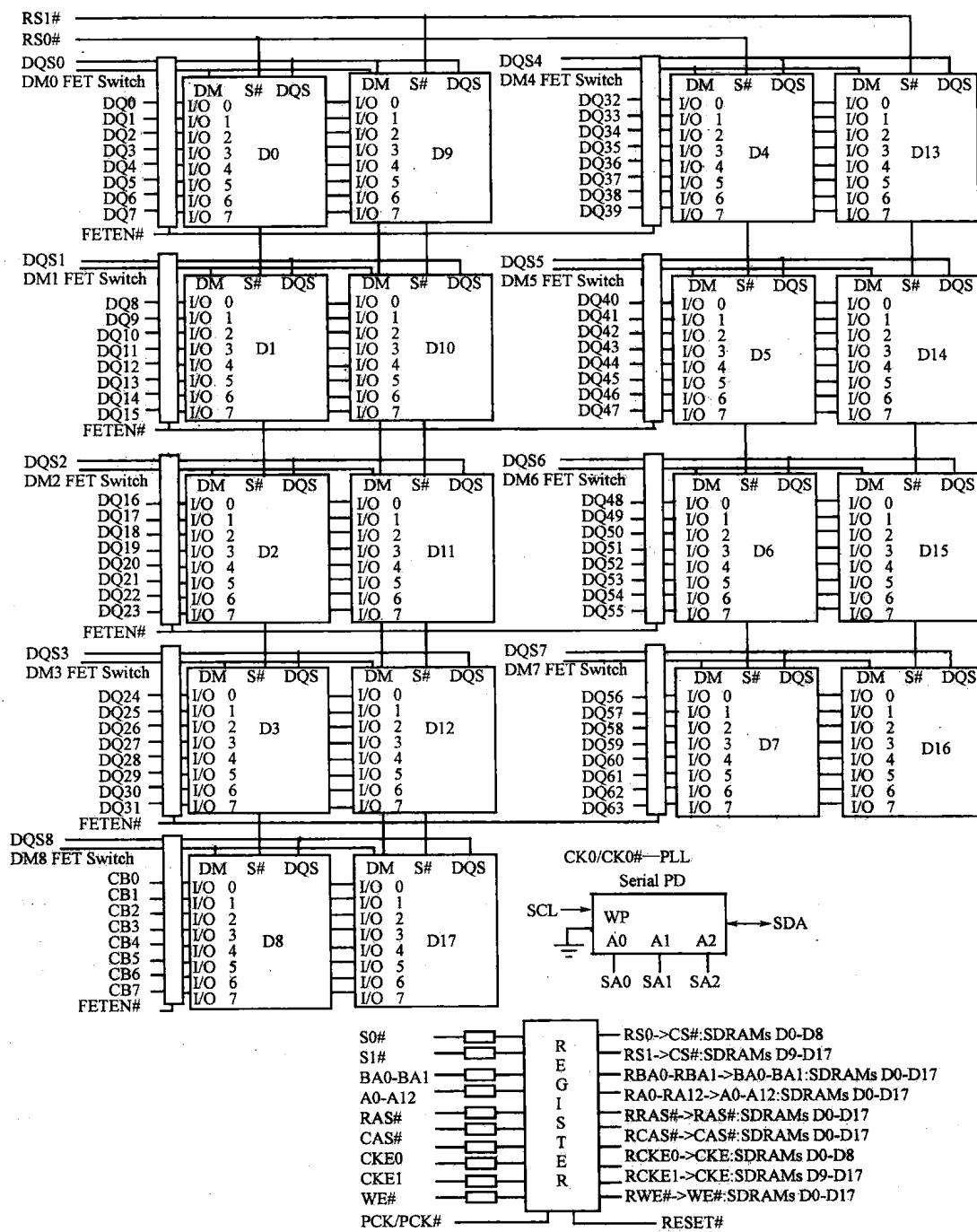
**区别一**，利用 Register（寄存器）器件对地址和控制信号寄存，通过对存储器控制器的配置，使地址信号和控制信号先于数据信号一个时钟周期到达 DIMM，在 DIMM 的 Register 器件停留一个时钟周期，并在下一个时钟的上升沿输送到各个存储器芯片，通过 Register 器件的寄存，可以达到提高信号质量、增强驱动能力的目的。Register 器件位于 DIMM 条正面的下方。

**区别二**，利用锁相环 PLL 对 DIMM 条输入的时钟做零延时驱动，之后送往各个存储器芯片，同时还作为 Register 器件的时钟源。

**区别三**，Registered DIMM 增加了一个复位引脚 RESET#，以实现对 Register 器件和 PLL 锁相环的复位。Unbuffered DIMM 和 SDRAM、DDR SDRAM、DDR2 SDRAM 都不具备 RESET#引脚，复位功能通过 CKE 的低电平实现，而在使用 Registered DIMM 时需特别注意，操作前，软件程序必须先发出一个有效的 RESET#脉冲，Registered DIMM 才能正常工作。

**区别四**，在某些型号的 Registered DIMM 上，数据总线串接有 FET（场效应晶体管，Field Effect Transistor）开关，以增强数据信号的驱动能力。

由于增加了 Register 器件和锁相环 PLL，在对 Registered DIMM 的应用中，必须根据存储器控制器的器件资料，仔细进行时序分析。

图 7.36 Registered DIMM 原理图<sup>[41]</sup>

## 理解要点：

- ① 相对于 SDRAM，DDR SDRAM 在以下方面有了技术更新：数据预取方式、信号电平、数据信号采样参考源、功耗等。
- ② 与 SDRAM 的 LVTTL 电平不同，DDR SDRAM 采用的电平方式是 SSTL-2。
- ③ 对于 DDR SDRAM，地址、控制信号仍是基于 CK/CK#的单边沿采样，只有数据信号是基于 DQS 的双边沿采样。
- ④ DDR SDRAM 的时序测试方法。
- ⑤ Unbuffered DIMM 和 Registered DIMM 的区别。



## 7.2.4 DDR2 SDRAM 介绍及其应用要点

### 1. DDR2 SDRAM 概述

DDR2 (Double Data Rate 2, 两倍数据速率, 版本 2) SDRAM, 是由 JEDEC 国际标准组织开发的、基于 DDR SDRAM 的、升级的存储技术。与 DDR SDRAM 相比, 虽然其仍保持了一个时钟周期完成两次数据传输的特性, 但 DDR2 SDRAM 在数据传输率, 延时, 功耗等方面都有了显著提高, 而这些性能的提高, 主要来源于以下技术的提升: 4n 数据预取、ODT、Post CAS、封装等。

### 2. DDR2 SDRAM 的技术更新<sup>[53]</sup>

#### 1) 4n 数据预取

DDR SDRAM 的数据预取能力是 2, 即芯片内部能以 2 倍于时钟频率的速度来预取数据, 这使得芯片内核工作频率仅需要为外部数据传输率的一半。对此, DDR2 SDRAM 做了进一步的改进, 其数据预取能力为 4, 使得芯片内核工作频率仅需要为外部数据传输率的 1/4。而对于 SDRAM, 芯片内核工作频率等于外部数据传输速率。所以, 在同样的内核工作频率下, DDR SDRAM 的数据传输速率比 SDRAM 高 1 倍, 而 DDR2 SDRAM 的数据传输率又比 DDR SDRAM 高 1 倍。

例如, 在 DDR2 和 DDR SDRAM 的外部数据传输率都为 400Mbps 的情况下, 对于 DDR2 SDRAM 而言, 其内核工作频率仅为 100MHz, 而对于 DDR SDRAM, 其内核工作频率为 200MHz。如果是 SDRAM, 则其内核工作频率需达到 400MHz, 才能提供 400Mbps 的外部数据传输率, 正是因为如此高的内核频率无法在技术和工艺上得到实现, 因而 SDRAM 的数据传输率无法达到 400Mbps。

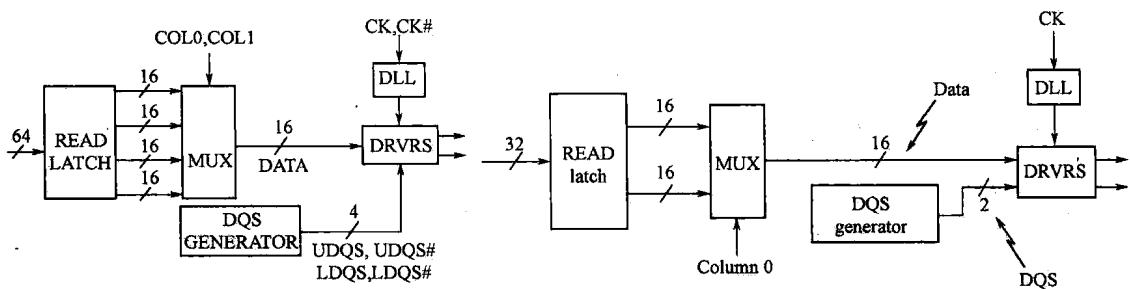
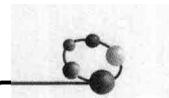
利用这项技术, DDR2 SDRAM 可以在不提高内核工作频率的前提下(即无需对芯片做大的技术革新), 大大提高外部数据传输速率, 以获得更高的性能。值得一提的是, 目前正在研发的 DDR3 SDRAM 技术, 其数据传输率比 DDR2 SDRAM 又有大幅度提高, 而这种性能的提高, 并非来自技术上的巨大变革, 仅仅只是因为采用了 8n 数据预取技术。

根据数据传输速率的不同, DDR SDRAM 有如下系列: 266Mbps、333Mbps、400Mbps, 而 DDR2 SDRAM 的系列如下: 400Mbps、533Mbps、667Mbps、800Mbps、1066Mbps。可以看出, DDR2 SDRAM 直接从 DDR SDRAM 的最高数据传输率起步, 最高可以达到 1066Mbps 以上, 这种性能的大幅提升, 正是利用了 4 倍数据预取技术。正如 7.2.2 节所述, 受制造工艺的限制, 存储器内核频率的提高, 是一项极难的技术, 但数据预取倍数的提高, 相对而言, 却容易得多, 这使得 DDR2 SDRAM 在性能提高的同时, 又保持了与 DDR SDRAM 类似的成本, 因此, DDR2 SDRAM 一问世, 即得到了广泛的应用。

如图 7.37 所示, 提供了 DDR SDRAM 和 DDR2 SDRAM 的数据预取框图, 以便读者比较。

#### 2) ODT

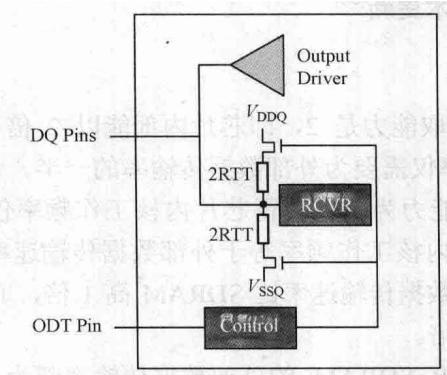
ODT (On-Die Termination), 即芯片内部匹配终结技术, 其功能图如图 7.38 所示。



DDR2 SDRAM 4n预取框图

DDR SDRAM 2n预取框图

图 7.37 16 位存储芯片的数据预取框图

图 7.38 ODT 功能图<sup>[39]</sup>

在 DDR SDRAM 应用中，需通过大量的外部终端电阻上拉到  $V_{TT}$  电平（1.25V），以实现信号的匹配。以 16 位存储器芯片为例，有以下信号需要通过这种方式进行匹配：DQ[15:0]、LDQS、UDQS、UDM、LDM、ADDR[12:0]、BANK[1:0]、CS#、WE#、RAS#、CAS#、WE#，即一颗芯片需要 40 个外部上拉电阻，这种设计，极大地耗费了宝贵的 PCB 面积。同时，由于 DQ[15:0]、LDQS、UDQS、UDM、LDM 等信号是双向信号，在读和写时，对匹配电阻的位置有不同的要求，因此 PCB 布局时，在匹配电阻放置位置的处理上，很难同时对读写两个方向进行兼顾，以获得最佳的信号完整性。

在 DDR2 SDRAM 中，通过 ODT 技术，将许多外部的匹配电阻移到芯片内部，从而有效地节省了大量 PCB 板上面积。另外，ODT 技术还允许存储器控制器配置 DDR2 SDRAM 的内部寄存器，以达到通过控制 ODT 信号，实现对匹配电阻的阻值及其开关状态控制的目的，从而实现了读、写操作时最佳的信号完整性。

DDR2 SDRAM 芯片提供一个 ODT 引脚来控制芯片内部终结电阻的开关状态。在只有一颗 DDR2 SDRAM 芯片作为存储器控制器负载的情况下，写操作时，由于 DDR2 SDRAM 作为接收端，所以 ODT 引脚为高电平以打开芯片内部终结电阻；读操作时，由于 DDR2 SDRAM 作为发送端，所以 ODT 引脚为低电平以关闭芯片内部终结电阻。其中，ODT 引脚的状态由存储器控制器控制。

对 ODT 终端电阻  $R_{TT}$  的阻值，可以通过 DDR2 SDRAM 内部的扩展模式寄存器 EMR 来设定：首先配置 EMR[15:14]=01 来设置该寄存器工作于 EMR（扩展模式寄存器）模式，然后通过 EMR[6]和 EMR[2]两位来设置内部  $R_{TT}$  的阻值，允许配置为  $R_{TT}$  关闭、 $75\Omega$ 、



150Ω、50Ω这四种模式中的一种。以 75Ω这种模式为例，图 7.38 中，在 DDR2 SDRAM 内部，DQ 引脚的上拉电阻和下拉电阻将被配置为 150Ω。

需要注意，DDR2 SDRAM 的 ODT 技术，只是对 DQ、DQS (LDQS、UDQS)、DM (LDM、UDM) 等信号（在使能差分 DQS 的情况下，也包括 DQS#信号）实现了内部匹配。而地址和控制信号等仍需要外部的匹配终结。

### 3 ) Posted CAS

以 DDR2 SDRAM 读操作为例说明多块数据读取时的间隙问题（参见图 7.39）。

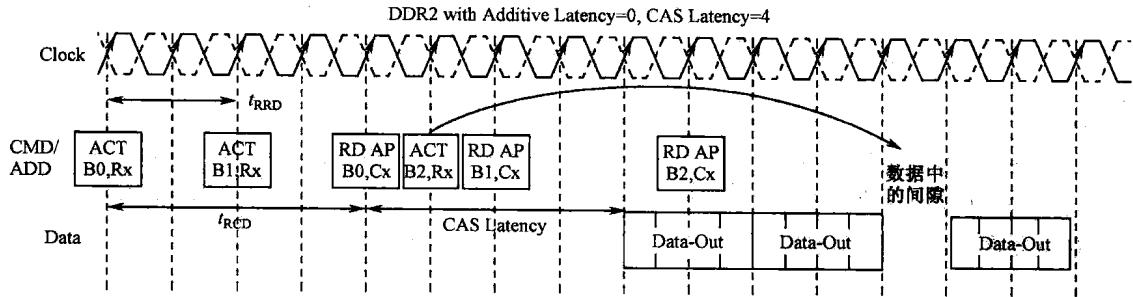


图 7.39 DDR2 SDRAM 多块数据读取时的间隙问题<sup>[39]</sup>

与 SDRAM 类似，DDR2 SDRAM 也是通过 BANK 地址、ROW (行地址) 和 COLUMN (列地址) 三者结合来实现寻址。每一次对 DDR2 SDRAM 的操作，都以 ACT 命令（通过有效 RAS#信号实现）开始，发出该命令的同时，在地址信号线上发出本次操作的 BANK 和行地址，等待  $t_{RCD}$  时间后，发起 READ 或 AUTO PRECHARGE 命令（图 7.39 的 RD AP 命令，通过有效 CAS#信号实现），该命令的作用是发出读指令，同时通过地址信号线发出本次操作的列地址。最后，等待 CAS Latency 时间之后，数据才能通过数据总线输出。

由于 DDR2 SDRAM 的存储空间相对于 DDR SDRAM 有所增加，因此 BANK 数目也相应增大。例如，DDR SDRAM 单片最大容量为 1Gbit，BANK 数目为 4，而 DDR2 SDRAM 单片最大容量为 2Gbit，BANK 数目达到了 8；DDR SDRAM 的 BANK 数目最少是 2，而 DDR2 SDRAM 的 BANK 数目最少是 4。为了提高性能，经常需要在一个 BANK 操作完成之前插入对下一个 BANK 的操作。图 7.39 中，在发出对 BANK0 的 ACT 命令之后，无需等待对应的 RD AP 命令发出，只用满足  $t_{RRD}$  参数（两个相邻 ACT 命令之间的时间间隔）的要求，即可发出对另一个 BANK 的 ACT 命令。

按照这种工作模式，从图 7.39 可发现，对 BANK2 的 ACT 命令实际上延迟了一个时钟周期，该命令本来应该在 RD AP (BANK 0) 的位置出现，但由于 RD AP (BANK 0) 命令已经占据了该时钟周期（占用了地址总线，以发出列地址），从硬件信号来说，即，这个周期已经使能了 CAS#信号，所以无法使能对应另一个 BANK 操作的 RAS#信号，因此只能延时一个时钟周期。其结果是，本来应该是流水线式操作的数据输出流被打断，BANK1 的数据输出后，需要等待一个时钟周期，BANK2 的数据才能得到输出。数据流间隙的出现，在一定程度上将对芯片的性能造成影响。

针对这个问题，DDR2 SDRAM 做了改进。DDR2 SDRAM 允许 RD AP 命令提前发出，甚至可以紧跟 ACT 命令发出，但是要等待一个 Additive Latency (即 AL，附加延时参数) 后，该 RD AP 命令才能得到执行，如图 7.40 所示。

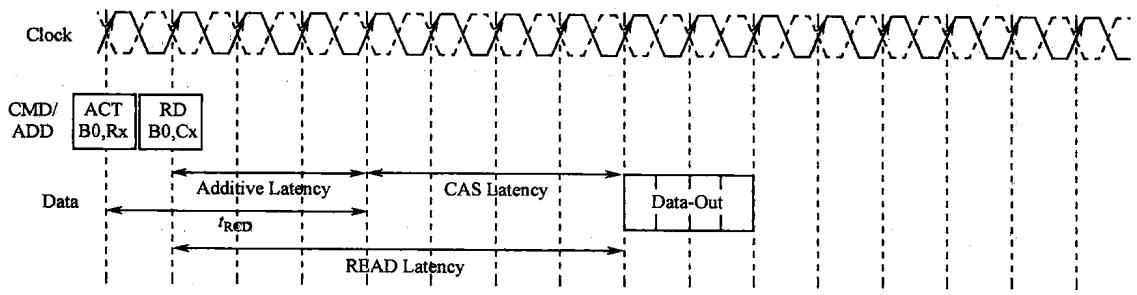


图 7.40 引入附加延迟 AL 后的 DDR2 SDRAM 读操作模式<sup>[39]</sup>

在图 7.40 中, AL 被设置为  $t_{RCD}-1$ , 此时, 可实现 ACT 和 RD AP 命令背靠背地发出, 只不过, DDR2 SDRAM 需要对 RD AP 命令进行抑制, 直到 AL 延时满足后才能执行。

图 7.41 中, 引入 AL 延时并设置 AL 为  $t_{RCD}-1$  后, 对于多个 BANK 数据读取的操作而言, 输出数据流之间不再出现间隙。

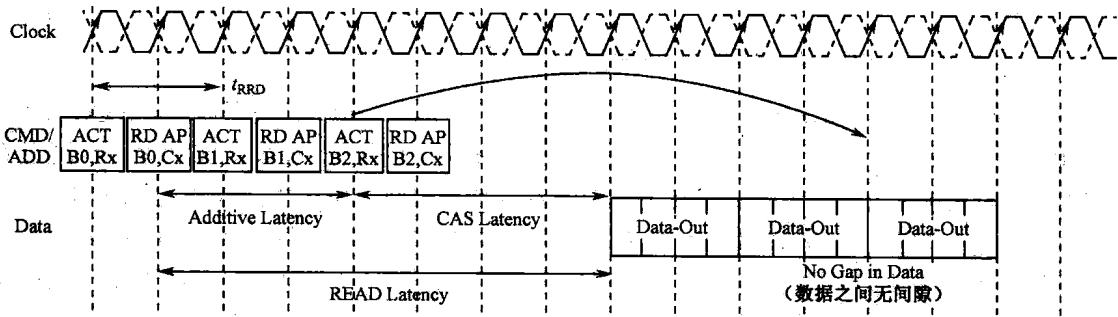


图 7.41 DDR2 SDRAM 引入 AL 后的多 BANK 数据读取<sup>[39]</sup>

这种为了避免 ACT 命令和 RD AP 命令冲突而提出的技术叫做 Posted CAS 技术。其本质是将 CAS#信号的使能时间段（即 RD AP 命令）直接插入到紧跟 RAS#信号的使能时间段（即 ACT 命令）之后，虽然读和写操作并没有得到提前，总的延迟时间也没有改变，但引入这种技术后，可以避免在多 BANK 操作中，可能出现的一个 BANK 的 CAS#信号和其他 BANK 的 RAS#信号发生冲突，从而提高了芯片的存储效率。

可以通过配置 DDR2 SDRAM 芯片内部的 EMR 寄存器的第 3~5 位，将附加延时 AL 配置为 0~5 个时钟周期。

#### 4) 差分 DQS/DQS#信号

DDR SDRAM 采用单端 DQS 信号。

如前文所述, 目前广泛应用的 DDR2 SDRAM, 数据传输率最高已经达到 1066Mbps, 即 DQS 和 DQ 的变化率都将达到 106600 万次/s, 其中, DQS 作为数据信号 DQ 的采样参考源, 若采用单端信号已经不足以保证其在高速变化时的信号完整性。

采用差分 DQS/DQS#信号, 其优势在于: 减少信号间串扰的影响, 减少 DQS 输出脉宽对工作电压和温度稳定性的依赖等。因而, 建议在使用数据传输率为 533Mbps 以上的 DDR2 SDRAM 存储器芯片时, 尽量采用差分 DQS/DQS#信号。



使能差分 DQS 信号是通过配置 DDR2 SDRAM 的 EMR 寄存器的第 10 位为 0 来实现的。

### 5) 功耗和封装

DDR SDRAM 的电平是 SSTL-2，即信号引脚是利用 2.5V 电源供电，而 DDR2 SDRAM 则采用 SSTL-18 电平，即信号引脚是利用 1.8V 电源供电。在相同存储容量和相同数据传输率的情况下，DDR2 SDRAM 将有更低的功耗。

DDR SDRAM 的封装种类有：66 引脚的 TSOP 封装，60 引脚的 FBGA 封装。由于 DDR SDRAM 的数据传输率不是特别高，TSOP 封装能较好地工作在这种频率上。而 DDR2 SDRAM 的最高数据传输率已经达到 1066Mbps，在高频下，TSOP 封装过长的引脚将产生很高的感抗和寄生电容，严重影响芯片工作的稳定性。

DDR2 SDRAM 直接采用 FBGA 封装，基于其良好的电气性能和散热性，保证了芯片在高速工作下的稳定性。

根据位宽的不同，DDR2 SDRAM 分为 4 位、8 位、16 位三种不同的系列，因而无法采用统一引脚数目的封装。目前，4 位和 8 位的芯片采用 60 或 68 引脚的 FBGA 封装，16 位芯片采用 84 或者 92 引脚的 FBGA 封装。

### 6) OCD

OCD (Off-Chip Driver) 即离线驱动调整技术。这是 DDR2 SDRAM 刚问世时开发的技术，目前，DDR2 SDRAM 芯片已不再支持该技术。

## 3. DDR2 SDRAM 模式寄存器配置

### 1) 模式寄存器 MR 的配置

BANK[2:0]=000 时，选择模式寄存器 MR，如图 7.42 所示。

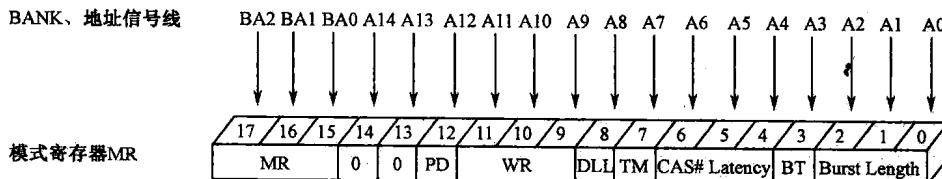


图 7.42 DDR2 SDRAM 模式寄存器 MR<sup>[39]</sup>

第 14~13 位：保留为 0。

第 12 位：PD，选择脱离 Power Down（下电）模式的速度。

第 11~9 位：WR，定义  $t_{WR}$  参数的值。

第 8 位：DLL，设置在模式寄存器 MR 配置的过程中，是否对芯片内部的 DLL 进行复位。

第 7 位：TM，使能存储器的测试模式（仅用于生产）。

第 6~4 位：CAS Latency，设置 CL 参数的值。

第 3 位：BT，设置 Burst Type（突发类型）。

第 2~0 位：Burst Length（突发长度）。



## 2) 扩展模式寄存器 EMRS 的配置

BANK[2:0]=001 时, 选择扩展模式寄存器 EMRS, 如图 7.43 所示。

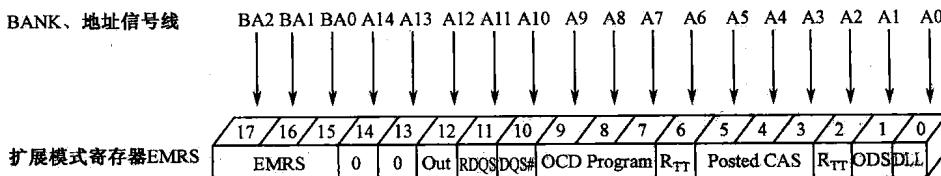


图 7.43 DDR2 SDRAM 扩展模式寄存器 EMRS<sup>[39]</sup>

第 14~13 位: 保留为 0。

第 12 位: Out, 输出使能, 只有当该位配置为 0 时, DQ、DQS 等信号才能正常输出。在测试存储器静态电流  $I_{dd}$  时, 需关闭所有输出, 可通过 EMRS 的该位来实现。

第 11 位: RDQS, 使能 RDQS (冗余 DQS) 功能。只有在设计中混合有位宽为 4 和 8 的存储器时, RDQS 功能才会被用到, RDQS 不是一个常用的功能。

第 10 位: DQS#, 与 DDR SDRAM 不同, DDR2 SDRAM 支持差分的 DQS/DQS#信号, 该位用于使能该特性。

第 9~7 位: OCD Program, 配置 OCD 功能, 由于 DDR2 SDRAM 不再支持 OCD, 因此寄存器中这三位需配置为 [111]。

第 6、2 位: R<sub>TT</sub>, 配置芯片内置的 R<sub>TT</sub> 电阻值, 有四种选择: 关闭 R<sub>TT</sub>、75Ω、150Ω、50Ω。

第 5~3 位: Posted CAS, 设置 AL 参数的值。

第 1 位: ODS, 配置输出驱动能力, 该位为 0 时, 表示正常驱动, 内置始端匹配电阻约 18Ω, 该位为 1 时, 表示弱驱动, 内置始端匹配电阻约 40Ω。

第 0 位: DLL, 使能或关闭片内 DLL 功能。

## 3) 扩展模式寄存器 EMR2 的配置

BANK[2:0]=010 时, 选择扩展模式寄存器 EMR2。

该寄存器的第 7 位用于配置温度等级 (商业级、工业级), 其他位应保留为 0。

## 4) 扩展模式寄存器 EMR3 的配置

BANK[2:0]=011 时, 选择扩展模式寄存器 EMR3。

该寄存器应设置为默认值 0, 保留以备将来使用。

## 4. 设计实例——DDR2 SDRAM 基于 MPC8548 的应用<sup>[53]</sup>

### 1) 概述

MPC8548 是 Freescale 公司推出的新一代 PowerQUICC III 系列的、高性能的处理器。其最高内核工作频率达 1.33GHz, 在该工作频率下处理性能可达 3065 MIPS (MIPS: Millions of Instructions Per Second, 百万条指令每秒)。一级缓存有指令缓存和数据缓存各 32KB (B 指字节, 一个字节等于 8 位, 即 1B=8b), 二级缓存为 512KB, 支持 DDR SDRAM 和 DDR2 SDRAM 存储器控制器, 支持 PCI、PCI-X 和 PCI Express 接口, 支持



SRapid IO 接口，支持 4 个 GbE 接口。本小节将重点讨论基于 MPC8548 的 DDR2 SDRAM 接口的硬件设计。

MPC8548 支持最高数据传输率为 667Mbps 的 DDR2 SDRAM，为获得最高性能，选型中需注意不能选用数据传输率低于 667Mbps 的 DDR2 SDRAM 器件，为保证可靠运行，往往选择传输率更高等级的器件，如 800Mbps 或 1066Mbps 速率等级的 DDR2 SDRAM。

本设计中选用 DDR2 SDRAM DIMM 条，每个 DIMM 条上包含 9 片 8 位的 DDR2 SDRAM 芯片，组成 64 位数据线和 8 位 ECC 校验线的工作方式。

### 2) 存储接口信号线分组

可将 DDR2 SDRAM 的信号线分为 4 组，以下以 MPC8548 命名方式为准，命名和 DDR2 SDRAM 器件资料的区别仅在于信号名之前多一个字母“M”。

- ① 数据组：MDQS/MDQS#[8:0]、MDM[8:0]、MDQ[63:0]、MECC[7:0]。
- ② 地址组：MBA[2:0]、MA[15:0]、MRAS#、MCAS#、MWE#。
- ③ 命令组：MCS#[3:0]、MCKE[3:0]、MODT[3:0]。
- ④ 时钟组：MCK/MCK#[5:0]。

PCB 设计时，建议布线顺序如下： $V_{TT}$  电源平面及匹配电阻、 $V_{REF}$  电源，时钟组，数据组，地址组，命令组， $V_{DDQ}$  和  $V_{DD}$  电源。

对于单端信号线，阻抗控制在 50~60Ω（对 Micron 公司的存储器件，建议阻抗设计的目标为 60±6Ω）。对于差分对信号线，阻抗控制在 100~120Ω。

### 3) 各组信号线的走线规则

本设计采用 8 位的 DDR2 SDRAM 芯片，因此，可将数据组分为 9 个小组：MDQS/MDQS#[0]、MDQ[7:0]、MDM0 为第一组；MDQS/MDQS#[1]、MDQ[15:8]、MDM1 为第二组；依次类推；MDQS/MDQS#[8]、MECC[7:0]、MDM8 为第九组。

对这九个小组的数据线，要求各小组之内，走线在同一信号层并拥有相同数目的过孔，走线长度差异控制在 20mil 之内，所有的信号走线必须以完整的地平面作为参考。不同小组之间，走线长度差异控制在 500mil 之内。

对每一小组，小组内的 8 根 MDQ 信号线的线序可以根据走线方便而进行调整。需要注意，在本设计中，采用的 DIMM 条上的存储器芯片的位宽是 8 位，因此每 8 位 MDQ 信号归入一个小组，市场上还有许多 4 位，16 位的 DIMM 条，如果需要兼容这些 DIMM 条，在硬件设计中，对数据组应谨慎分组。

数据组的信号线和其他组的信号线之间，间距要求在 25mil 以上，数据组内信号线间距要求在 10mil 以上。对于差分的 MDQS 和 MDQS# 信号，走线长度差异应该控制在 10mil 之内。

对于地址/命令组，该组内，信号线长度差异应控制在 100mil 之内。走线以 1.8V 电源平面或完整的地平面作为参考。走线和其他组的信号走线间距保持在 25mil 以上。该组内信号线间距保证在 10mil 以上。

对于时钟组，差分信号对内走线长度差异控制在 10mil 内，尽量在同一信号层走线，如果需要换层，两根差分信号线应该一起换层。与其他组的信号间距在 25mil 以上。在 MPC8548 一侧，一共提供了 6 对相位对齐的时钟对，即 MCK/MCK#[5:0]，其目的是兼容 DIMM 条设计和分立的内存芯片设计。例如，在本设计中，如果选用分立的 8 位存储器芯片，一共需要 9 片，如果 MPC8548 只提供一对时钟对，其驱动能力显然无法同时满足 9 片



存储芯片的要求，因此需要由 MPC8548 提供更多的时钟对输出。如果选用 DIMM 条，需要根据 DIMM 条的不同种类来决定需要使用多少对时钟对。对 Registered DIMM，由于 MCK/MCK#在 DIMM 条上需要经过 PLL 再送到 DDR2 SDRAM 芯片，即在 DIMM 条上，已经利用 PLL 驱动器保证了该信号的驱动能力，所以只需要 MPC8548 提供一对时钟对（如 MCK/ MCK#[0]），与 DIMM 条相接即可。对于 Unbuffered DIMM 条而言，DIMM 条上不提供对时钟对的驱动，根据第 6 章的知识，通过计算可以知道从 MPC8548 提供的每对时钟对，能可靠地驱动 3 个 DDR2 SDRAM 芯片。因此，需要使用 MPC8548 输出的 3 对时钟对以驱动 DIMM 条上的 9 片 DDR2 SDRAM 芯片。对于没有使用到的时钟对，可以通过配置 MPC8548 的内部寄存器 DDRCLKDR 进行关闭。

#### 4) 电源设计

在电源设计方面，需要仔细计算  $V_{TT}$  电源发生器及其电源平面是否能满足设计所需要的功耗；需要仔细对  $V_{TT}$ 、 $V_{DDQ}$ 、 $V_{REF}$  进行去耦滤波； $V_{TT}$  电源平面应该和 DIMM 条紧紧相邻； $V_{REF}$  走线宽度建议为 20~25mil 并和同层的其他电源或信号走线保持至少 20mil 的间距， $V_{REF}$  必须能跟随  $V_{DDQ}$  的变化，建议  $V_{REF}$  通过电阻分压网络从  $V_{DDQ}$  直接产生，分压电阻精度要求为 1%。

#### 5) 匹配电路设计

如图 7.44 所示为 MPC8548 和 DDR2 SDRAM DIMM 条硬件接口设计。

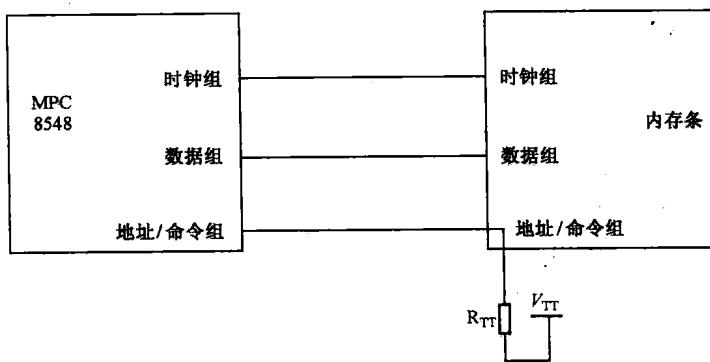


图 7.44 MPC8548 和 DDR2 SDRAM DIMM 条硬件接口设计

如果使能了 ODT 功能，数据组无需外部匹配电阻，走线直接从 MPC8548 连接到 DIMM 条即可。而地址组和命令组需要在 DIMM 条末端利用外部电阻  $R_{TT}$  上拉到  $V_{TT}$  电平以实现匹配，电阻值需要经过仿真确定。考虑到最佳的信号完整性， $R_{TT}$  应放在 DIMM 条之后，即地址/命令组信号走线从 MPC8548 出来，应该先到 DIMM 条的引脚，然后再走到  $R_{TT}$  电源平面实现终端匹配。对于时钟组，一般而言，DIMM 条上都包含了 100~120Ω 的差分终端电阻，所以在 PCB 上无需外加匹配。

#### 6) 时序设计

设计时，还需要仔细考虑信号时序的要求。数据组信号的时序需要参考本小组的 MDQS/MDQS#信号，并利用这对差分对信号的交叉点进行采样；地址和命令组信号的时序需要参考对应的时钟组信号，并利用 CK 上升沿和 CK#下降沿的交叉点进行采样。对于 DDR2 SDRAM，建立时间和保持时间需要考虑由于信号边沿不单调而造成的时序降额，计



算公式如下：

$$T_{SU} = T_{SU(base)} + T_{SU(derating)} \quad (7.1)$$

$$T_H = T_{H(base)} + T_{H(derating)} \quad (7.2)$$

其中， $T_{SU}$  和  $T_H$  是总的建立时间和保持时间要求； $T_{SU(base)}$  和  $T_{H(base)}$  是从器件资料能直接得到的建立时间和保持时间的基本要求，即第 5 章的  $T_{SU(min)}$  和  $T_{H(min)}$  两参数； $T_{SU(derating)}$  和  $T_{H(derating)}$  是根据信号及其参考时钟的真实爬升速率查表而得的降额值，该表格可以从 DDR2 SDRAM 器件资料中获得。

这种查表计算降额值的方法，将构成很大的工作量。在实际设计中，一般是利用 Hyperlynx 等仿真软件直接得到降额值，从而确定信号的时序裕量。

需要特别注意的是地址组，地址组信号的负载数目一般都比相应的时钟信号多，因此，需考虑负载对时序造成的影响。

#### 【案例 7.4】 CPU 存储系统不识别 8 位内存条问题

某设计中，CPU 的存储器使用 DDR SDRAM DIMM 条，测试中发现，插入 4 位条（DIMM 条上的 DDR SDRAM 芯片位宽为 4），能顺利通过存储接口的流量测试，插入 8 位条，则测试失败。

#### 【讨论】

DDR SDRAM DIMM 条引脚数为 184，可兼容位宽为 4、8 的内存条。

如图 7.45 所示，采用 4 位 DIMM 条时，DQS0 作为第 0 片 DDR SDRAM 芯片 D0 的 DQS 信号，DM0/DQS9 作为第 9 片 DDR SDRAM 芯片 D9 的 DQS 信号，即 4 位条不支持数据掩码功能，而将 DM0 信号复用为 DQS9。通过这种方式，D0 和 D9 分别提供了数据总线 DQ[3:0] 和 DQ[7:4]。

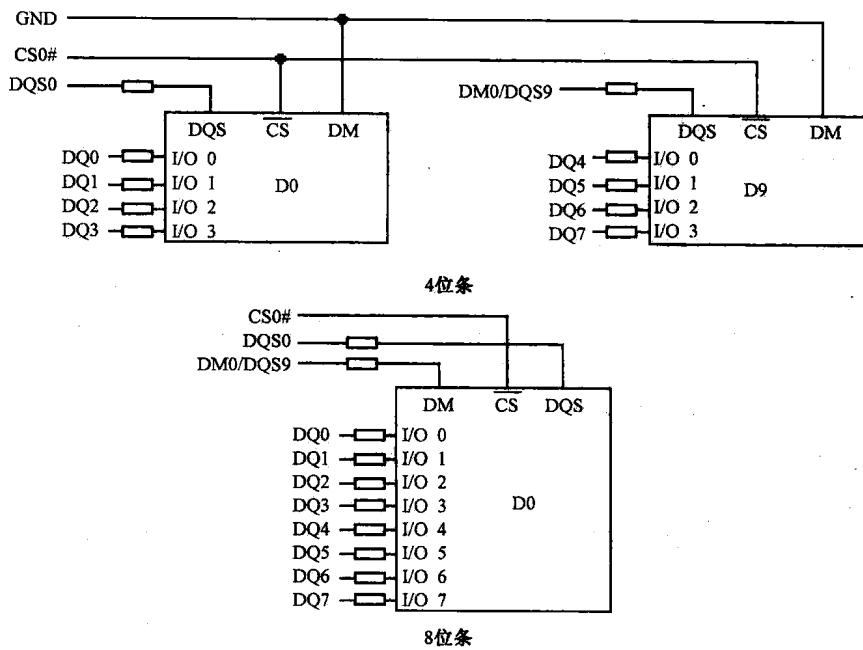


图 7.45 4 位 DIMM 条和 8 位 DIMM 条



采用 8 位 DIMM 条时, DQS0 作为第 0 片 DDR SDRAM 芯片 D0 的 DQS 信号, DM0/DQS9 作为该芯片的 DM 信号, 即相比 4 位条, 8 位条对每八根数据线少使用了一个 DQS, 该信号引脚被复用为 DM 以支持数据掩码功能。

检查 PCB 走线规则文件, 发现在设计中对数据总线的分组是按 4 位分组, 即 DQ[3:0]、DQS0 为一组, DQ[7:4]、DM0/DQS9 为一组, 其他依次类推, 组内严格地保证 DQS 与 DQ 的走线长度, 而组间的要求则很松。插入 8 位条时, 本应属于一组的信号线(如 DQ[7:0]、DM0/DQS9、DQS0), 实际上跨了两个分组, 使同一位宽内的数据线与对应的 DQS、DM 存在较大的走线长度差异, 无法满足时序的要求。

改板设计时, 将 DQ[7:0]、DQS0、DM0/DQS9 归为一组, 并依次划分其他组, 组内严格保证走线的长度, 问题得到解决。

### 【拓展】

对于 SDRAM、DDR SDRAM、DDR2 SDRAM, 为方便 PCB 设计, 同一组内的数据信号线可互换, 但设计中需注意两点:

**要点一**, 地址信号线不能互换。这是由于在初始化过程中, 地址信号线将被用于配置模式寄存器, 对地址信号线的线序, 要求与模式寄存器的位序一一对应。

**要点二**, 不同组的数据信号线不能互换。

#### 理解要点:

- ① 相对 DDR SDRAM, DDR2 SDRAM 在以下方面有了技术更新: 4n 数据预取、ODT、Posted CAS、差分 DQS/DQS#、封装和功耗。
- ② DDR2 SDRAM 的数据传输率可以远远高于 DDR SDRAM 的原因。
- ③ 在时序设计时, 由于信号边沿不单调, 需对时序裕量进行降额。

## 7.2.5 SRAM 介绍及其应用要点

DRAM 的性能在很大程度上受到刷新操作的影响, 而 SRAM 则不涉及刷新, 因此在相同时钟频率的条件下, SRAM 的性能远高于 DRAM。

SRAM 的缺点是集成度低、容量小、功耗大、价格高。

在应用的场合上, SRAM 毫不逊色于 DRAM。CPU 的高速缓存(如 MPC8548, 有指令一级缓存和数据一级缓存各 32KB, 另有二级缓存 512KB)即为 SRAM, 相比 CPU 外部 1GB、甚至 2GB 的 DRAM 存储器, CPU 内 SRAM 的容量则小得多, 且 CPU 内部 SRAM 容量的大小, 在很大程度上决定了 CPU 性能的高低。

SRAM 分为同步 SRAM 与异步 SRAM 两大类, 同步 SRAM 接到读写指令后, 需参考外部时钟信号的边沿才能发起操作, 而异步 SRAM 则无需参考外部时钟, 只要接到读写指令, 立即开始工作。

在高速电路设计中, ZBT SRAM 和 QDRII SRAM 是常用的 SRAM, 这两种 SRAM 都属于同步 SRAM。



## 1. ZBT SRAM

### 1) ZBT SRAM 概述

ZBT SRAM 指零总线翻转 (Zero Bus Turnaround) SRAM。对普通 SRAM 而言，由于读操作和写操作的驱动方不同，当出现类似写—读—写这样的操作时，相邻操作之间需插入一个空闲周期以便切换驱动方。在读写操作切换频繁的应用中，这种空闲周期将严重地影响存储性能。为此，ZBT SRAM 得以诞生，顾名思义，对 ZBT SRAM，在读写操作之间不存在空闲周期，即读写操作可无缝连接，从而提高了存储性能。

目前市场上有多家存储器厂商生产支持零总线翻转的 SRAM，由于各厂商分别拥有自己的专利，因此对器件的命名并不相同，例如：

GSI 公司：NBT (No Bus Turnaround, 无总线翻转)。

Cypress 公司：NoBL (No Bus Latency, 无总线延迟)。

IDT 公司：ZBT (Zero Bus Turnaround, 零总线翻转)。

Samsung：NtRAM (No Turnaround RAM, 无翻转)。

这些器件之间，虽名称不同，但具有相同的特性，且引脚的定义往往也是相同的，这有利于兼容性设计。

### 2) ZBT SRAM 芯片引脚介绍

下文以 GSI 公司的 GS8128Z36B 为例，对 ZBT SRAM 进行介绍 (GSI 将零延时 SRAM 定义为 NBT SRAM，此处统称为 ZBT SRAM)。

GS8128Z36B 的存储容量为 144Mb，与容量为 8Mb、16Mb、36Mb、72Mb 的同系列器件封装兼容。

器件引脚定义如下：

A0、A1：地址信号线，为输入信号，提供地址总线的最低两位。

A：地址信号线，为输入信号。与 DRAM 不同的是，由于不涉及内部寄存器的配置，SRAM 的地址信号线没有线序，可任意交换。

DQ<sub>A</sub>、DQ<sub>B</sub>、DQ<sub>C</sub>、DQ<sub>D</sub>：数据信号线，为输入输出双向信号。数据总线分为 A、B、C、D 四组，每组八位，组内无线序，可任意交换。对 GS8128Z36B，有 22 位地址信号线（包括 A0、A1），32 位数据信号线，因此存储容量为  $2^{22} \times 32 = 144\text{Mb}$ ，该器件最高运行速率为 200MHz，因此峰值带宽为  $200\text{MHz} \times 32 = 6.4\text{Gbps}$ 。

B<sub>A</sub>#、B<sub>B</sub>#、B<sub>C</sub>#、B<sub>D</sub>#：字节写使能，为输入信号，低电平有效。与四组数据总线对应，仅在写操作时用于选择待操作的字节，读操作时无效。

CK：时钟，为输入信号，除 ZZ、G# 和 LBO# 外，其他信号均通过 CK 的上升沿采样。

CKE#：时钟使能，为输入信号，低电平有效。

W#：写使能，为输入信号，低电平有效。

E<sub>1</sub>#、E<sub>2</sub>、E<sub>3</sub>#：片选，为输入信号。只有当这三个信号同时有效 (E<sub>1</sub># 和 E<sub>3</sub># 低电平、E<sub>2</sub> 高电平) 时，才表示片选有效。

G#：输出使能，为输入信号，低电平有效。

ADV：突发操作计数使能，为输入信号，高电平有效。突发操作使能时，第一个周期，ADV 为低电平时，地址总线上提供起始地址，随后 ADV 变为高电平，则地址连续自



动地加 1 以实现突发操作。

**ZZ:** 睡眠模式使能, 为输入信号, 高电平有效。

**FT#:** 直通模式使能, 为输入信号, 低电平有效。当 FT#为低电平时, 选择直通模式 (Flow Through), 否则选择流水线模式 (Pipeline), 这两个模式将在下文介绍。

**LBO#:** 线性突发操作顺序, 为输入信号, 低电平有效。当 LBO#为低电平时, 选择线性突发顺序 (Linear Burst Sequence), 否则选择间插突发顺序 (Interleaved Burst Sequence)。

**ZQ:** 输出阻抗控制, 为输入信号。当 ZQ 为高电平或浮空时, 选择高阻抗输出 (低驱动能力), ZQ 为低电平时, 选择低阻抗输出 (高驱动能力)。驱动能力的选择与 PCB 上走线长度、匹配电阻的选择有关, 应根据仿真结果确定。

**V<sub>DD</sub>:** 内核电源, 可选择为 2.5V 或 3.3V。

**V<sub>DDQ</sub>:** 接口电源, 可选择为 2.5V 或 3.3V。

### 【案例 7-5】 片选处理不当导致 SRAM 数据丢失

基于环保设计, 某产品支持省电模式。进入省电模式后, 产品上所有电源全部掉电, 用户数据保存在 SRAM 中, SRAM 由一颗纽扣电池供电。测试发现, 产品进入省电模式, 二十多小时后重新恢复正常模式, SRAM 中存储的用户数据丢失。

#### 【讨论】

SRAM 电源电路设计如图 7.46 所示。

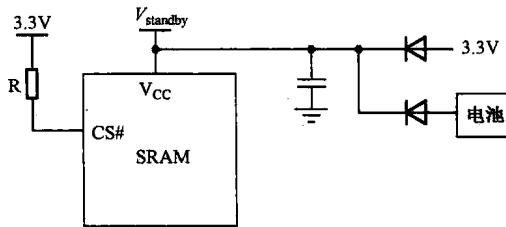


图 7.46 问题产品上 SRAM 的电源电路

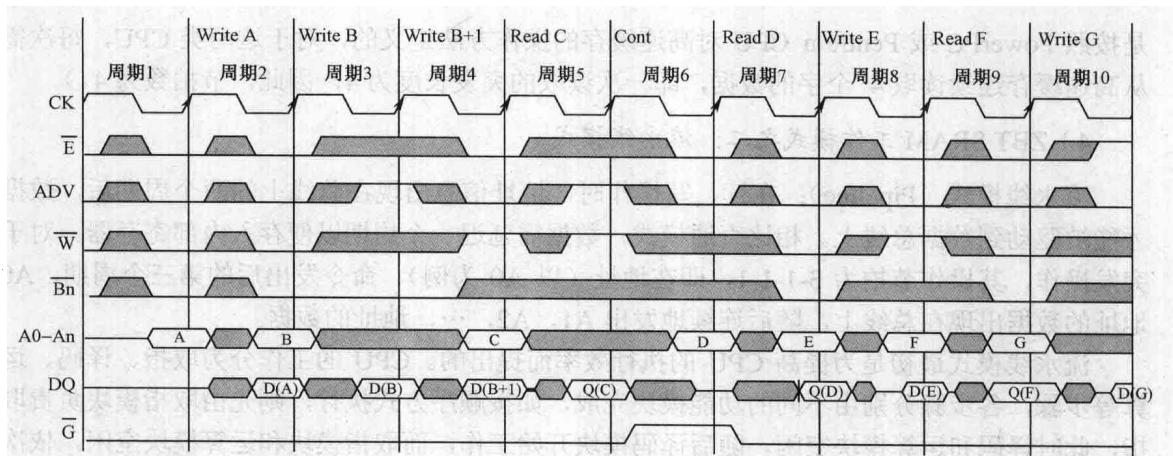
电池使用 Energizer 公司的 CR2032, 输出电压 3V, 储能 225 毫安时。产品工作于正常模式时, SRAM 由 3.3V 供电, 进入省电模式后, 3.3V 电源下电, SRAM 改由电池供电。利用二极管隔离 3.3V 电源和电池电源。

设计中 SRAM 的片选信号 CS#上拉于 3.3V, 进入省电模式后, 3.3V 电源下电, 基于其片内的弱下拉, CS#处于低电平有效状态, 使 SRAM 一直处于片选使能, 并未真正进入省电状态, 此时, 即便没有数据传输, SRAM 仍消耗电流几十毫安, 电池的能量被迅速耗尽。

改板时, 将 CS#上拉于 V<sub>standby</sub>, 进入省电模式后, 利用电池的供电, 使 CS#处于高电平无效状态, SRAM 仅消耗电流几十微安, 用户数据得到长期的保存。

#### 3 ) ZBT SRAM 工作模式之一: 直通模式

**直通模式 (Flow Through):** 在读写操作时, 地址信息出现在总线上的一个周期后, 数据即被驱动到数据总线上。如图 7.47 所示为 ZBT SRAM 直通模式。

图 7.47 ZBT SRAM 直通模式<sup>[42]</sup>

**周期 1:** CK 上升沿，片选 E#有效（E<sub>1</sub>#和 E<sub>2</sub>#为低电平、E<sub>3</sub>为高电平），W#为低电平，定义第一个操作为写操作，ADV 为低电平，采样地址总线上的信号，获得第一个待操作的地址 A，Bn#选择写操作所针对的字节。

**周期 2:** CK 上升沿，片选 E#有效，W#为低电平，定义第二个操作为写操作，ADV 为低电平，采样地址总线上的信号，获得第二个待操作的地址 B，Bn#选择写操作所针对的字节，DQ 上出现针对第一个操作的待写入数据 D(A)。

**周期 3:** CK 上升沿，ADV 为高电平，表明第三个操作是第二个操作的连续突发，由于第三个操作属突发操作，即指令与第二个操作相同，可无效片选 E#和 W#，Bn#选择本次写操作所针对的字节，DQ 上出现针对第二个操作的待写入数据 D(B)。

**周期 4:** CK 上升沿，片选 E#有效，W#为高电平，定义第四个操作为读操作，ADV 为低电平，采样地址总线上的信号，获得第四个待操作的地址 C，由于第四个操作是读操作，Bn#无效，DQ 上出现针对第三个操作的待写入数据 D(B+1)。

**周期 5:** CK 上升沿，ADV 为高电平，表明第五个操作是第四个操作的连续突发，由于第五个操作属突发操作，即指令与上一个操作相同，可无效片选 E#，同时对于读操作，W#和 Bn#无效，DQ 上出现针对第四个操作的待读出数据 Q(C)。

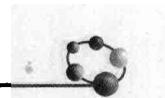
**周期 6:** CK 上升沿，片选 E#有效，W#为高电平，定义第六个操作为读操作，ADV 为低电平，采样地址总线上的信号，获得第六个待操作的地址 D，由于第六个操作是读操作，Bn#无效。DQ 处于高阻，原因在于，在周期 6，输出使能信号 G#变为无效。

**周期 7~周期 10,** 分析方法同上，此处不再赘述。

根据直通模式流程图，归纳出以下几点：

**要点一：**对于 ZBT SRAM，读、写操作之间不存在空闲周期，如周期 4，数据总线 DQ 上出现的是待写入的数据 D(B+1)，周期 5 时，DQ 上的数据为待读取的数据 Q(C)。而普通的 SRAM，在读、写操作之间必须加上空闲周期，以便实现总线控制权的转交，基于这一点，对于读写操作频繁的应用，应用 ZBT SRAM 无疑能获得更高的性能。

**要点二：**对于直通模式，数据将在地址、命令发出的一个周期后出现在数据总线上，对于突发操作，其操作节拍为 2-1-1-1，即在地址（以 A0 为例）、命令发出后的第二个周期，A0 地址的数据出现在总线上，随后连续地发出 A1，A2，…，地址的数据。（操作节拍



是按照 PowerPC 或 Pentium CPU 对高速缓存的操作方法定义的，对于这两类 CPU，每次需从高速缓存连续读取 4 个字的数据，即一次读取的突发长度为 4，因此，节拍数为 4。)

#### 4) ZBT SRAM 工作模式之二：流水线模式

**流水线模式 (Pipeline):** 在读、写操作时，地址信息出现在总线上的两个周期后，数据才能被驱动到数据总线上。相比直通模式，数据需延迟一个周期以便存入内部寄存器。对于突发操作，其操作节拍为 3-1-1-1，即在地址（以 A0 为例）、命令发出后的第三个周期，A0 地址的数据出现在总线上，随后连续地发出 A1, A2, …，地址的数据。

流水线模式最初是为提高 CPU 的执行效率而提出的。CPU 的工作分为取指、译码、运算等步骤，各步骤分别由不同的功能模块完成，如按顺序方式执行，则先由取指模块负责取指，此时译码和运算模块空闲，随后译码模块开始工作，而取指模块和运算模块空闲，依次类推。这种顺序执行的方式，与直通模式 (Flow Through) 相似，对输入的数据无需寄存，但不利于器件内部资源利用率的提高。

CPU 的流水线模式如图 7.48 所示。

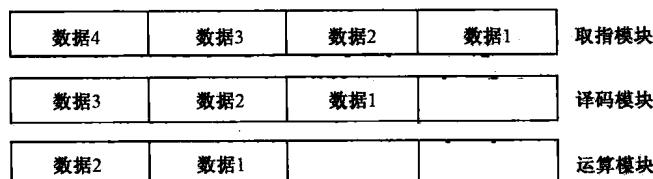


图 7.48 CPU 的流水线模式

采用流水线模式后，三个功能模块可并行工作，从而提高了资源的利用率，进而使存储性能也得到提升。根据图 7.48，为实现多个功能模块对数据的并行处理，必须在输入/输出接口部分将数据进行缓存，而缓存本身需占用一个时钟周期，此即为传输第一个数据时，流水线模式比直通模式多占用一个时钟周期的原因。

与 CPU 原理相同，ZBT SRAM 的流水线模式（见图 7.49）同样能实现芯片内多个功能模块的并行操作，以提高存储效率。

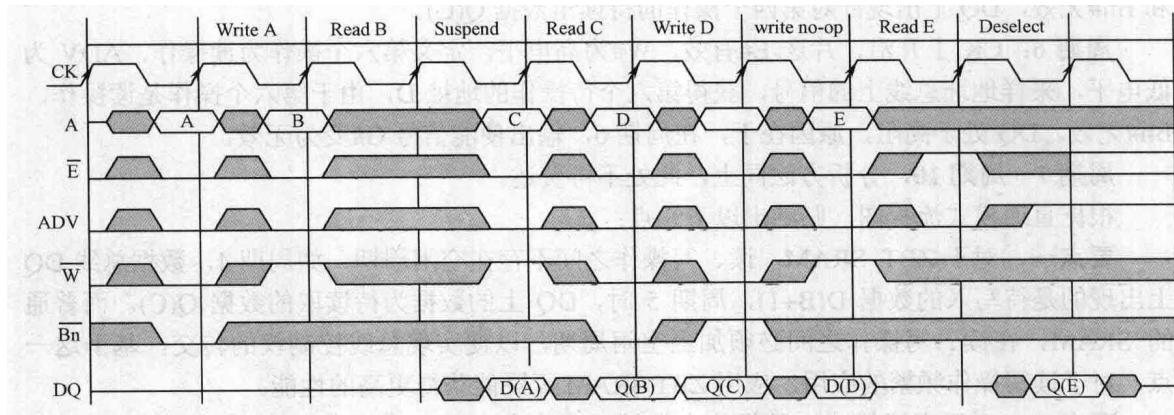


图 7.49 ZBT SRAM 流水线模式<sup>[42]</sup>



### 5) 直通模式和流水线模式的比较

通过对器件引脚的配置，可将 ZBT SRAM 的工作模式配置为直通模式或流水线模式。以 GS8128Z36B 为例，FT#引脚为低电平时，选择直通模式，否则选择流水线模式。

对存储器件的性能，可根据其支持的最高运行速率分为若干等级，GS8128Z36B 有三种速率等级：-250、-200、-167，分别对应器件的最高运行速率为 250MHz、200MHz、167MHz。在相同速率等级（此处以-250 速率等级为例）的情况下，基于硬件设计的角度，流水线模式和直通模式有以下几点区别：

**区别一**，时钟周期的差别。流水线模式的最小时钟周期为 4ns（最高时钟速率为 250MHz），而直通模式的最小时钟周期为 6.5ns（最高时钟速率为 153MHz）。

**区别二**，输出数据相对时钟的延时。该参数在第 5 章被定义为  $T_{CO}$ ，是时序计算中重要的参数。流水线模式的  $T_{CO}$  最大值为 2.5ns，而直通模式  $T_{CO}$  为 6.5ns。

**区别三**，时序参数。流水线模式下，信号的建立时间  $T_{SU}$  要求大于 1.2ns，而保持时间  $T_H$  要求大于 0.2ns，而直通模式下，这两个参数分别为 1.5ns 和 0.5ns。可以看出，直通模式对时序裕量的要求更严，其原因有二：一方面在相同速率等级下，直通模式的时钟周期更长，另一方面，在直通模式下，数据采样一旦出错，将导致该周期进行的操作完全失效，而不像流水线模式下，只引发该数据的错误，而不影响流水线中正在处理的其他数据。

**区别四**，功耗。在流水线模式下，芯片的时钟速率和内部功能模块利用率都更高，因此功耗更大。在-250 速率等级下，流水线模式的工作电流为 550mA，而直通模式的工作电流为 405mA。

综合而言，由于直通模式比流水线模式节省一个时钟周期，因此，在时钟速率低于 100MHz 的场合，直通模式的存储效率较高；由于内置了寄存器，流水线模式比直通模式更容易达到较高的速率，因此，在时钟速率高于 100MHz 的场合，流水线模式的存储效率更高。高速电路设计中，一般要求 ZBT SRAM 的时钟速率达到 166MHz 以上，因此，流水线模式更适于高速应用。

#### 理解要点：

- ① ZBT SRAM 只有在读写操作较均衡的应用中才能体现出其高效性。
- ② 直通模式和流水线模式的区别在于：支持的最高速率、 $T_{CO}$  延时参数、时序参数、功耗等。
- ③ 在时钟速率高于 100MHz 的应用中，推荐采用流水线模式。

## 2. QDR II/DDR II SRAM

SRAM 主要应用于高速缓存，是决定整个系统性能的关键部分。

基于高速缓存的均衡式读写特性（即出现读操作和写操作的概率近似相等），支持读写操作零延时切换的 ZBT SRAM 应运而生。不过，ZBT SRAM 的运行频率无法超过 200MHz，随着系统的不断升级，ZBT SRAM 已无法满足某些更高性能系统的要求，由此又诞生了 QDR/DDR SRAM，随后，芯片厂商对 QDR/DDR SRAM 做了技术更新，这种新一代的 SRAM 称为 QDR II/DDR II SRAM，其中 DDR II SRAM 又分为 CIO（Common I/O）和 SIO（Separated I/O）两大类。

目前生产 QDR II/DDR II SRAM 的厂家有 Cypress、Samsung、IDT 等。



### 1) HSTL 电平

由于 QDRII 和 DDR II SRAM 接口电平为 HSTL 电平，首先简要地对该电平进行介绍。

HSTL (High Speed Transceiver Logic, 高速收发逻辑) 是由 JEDEC 定义的一种用于存储接口的电平，相对于 SSTL 电平 (SSTL-2 使用 2.5V 的接口电平，SSTL-18 使用 1.8V 的接口电平)，HSTL 的摆幅更低，为 1.5V，更适于高速的应用。

HSTL 并不要求芯片内核电源  $V_{DD}$  和芯片接口电源  $V_{DDQ}$  的电压相同。

HSTL 支持单端电平（与 SSTL 电平类似，由信号和  $V_{REF}$  构成差分对，实质上仍属于差分对电平）和差分对电平，HSTL 差分对电平主要应用在某些高速芯片之间的互连，而 QDR II/DDR II SRAM 一般采用单端电平，因此，本小节主要就单端电平展开讨论。

JEDEC 对 HSTL 输入端各电平的要求如下，一般，各厂家的器件均应符合以下要求：

$V_{DD}$ : 无要求；

$$V_{DDQ(\min)} = 1.4V$$

$$V_{DDQ(TYP)} = 1.5V$$

$$V_{DDQ(\max)} = 1.6V$$

$$V_{REF(\min)} = 0.68V$$

$$V_{REF(TYP)} = 0.75V$$

$$V_{REF(\max)} = 0.9V$$

$$V_{IH(DC)(\min)} = V_{REF} + 0.1$$

$$V_{IH(DC)(\max)} = V_{DDQ} + 0.3$$

$$V_{IL(DC)(\min)} = -0.3$$

$$V_{IL(DC)(\max)} = V_{REF} - 0.3$$

$$V_{IH(AC)(\min)} = V_{REF} + 0.2$$

$$V_{IL(AC)(\max)} = V_{REF} - 0.2$$

各项参数的定义与 SSTL-2 相同，此处不再赘述。

对输入信号，要求在信号摆幅的 20%~80% 区间内，变化沿速率不小于 1V/ns。

对输出端，JEDEC 定义了四种驱动模式：Class I~IV，其区别仅在于输出电流的不同：

Class I:  $I_{OH} \geq 8mA, I_{OL} \geq -8mA;$

Class II:  $I_{OH} \geq 16mA, I_{OL} \geq -16mA;$

Class III:  $I_{OH} \geq 8mA, I_{OL} \geq -24mA;$

Class IV:  $I_{OH} \geq 8mA, I_{OL} \geq -48mA.$

Cypress 等公司的 QDRII/DDRII SRAM 采用的驱动模式是 Class I。

对 HSTL Class I，匹配方式如图 7.50 所示。

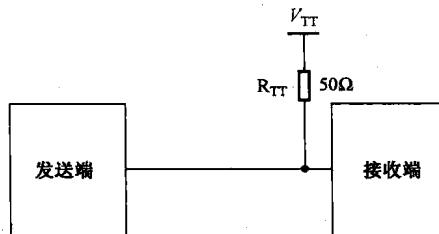


图 7.50 HSTL Class I 匹配电路

与 SSTL-2 匹配方法类似， $R_{TT}$  应布放于信号走线的末端，且靠近接收端。 $V_{TT}$  电平为  $V_{DDQ}$  的一半。

由于 DDR II CIO SRAM、DDRII SIO SRAM 与 QDR II SRAM 类似，首先重点介绍 QDR II SRAM。



## 2) QDR II SRAM

QDR 是指四倍数据速率 (Quad Data Rate), DDR SDRAM 的双倍数据速率是通过双边沿对数据采样而实现的, QDR 的数据采样同样基于双边沿, 且进一步将数据的读端口和写端口分开, 利用同一组地址和控制信号实现对这两个端口的访问, 输入和输出同时进行, 从而在实现四倍数据速率的同时, 消除了读、写操作之间的空闲周期, 提高了存储效率。

QDR II 相对 QDR I 的技术更新有以下两点:

一方面, QDR II 内部增加了 DLL。DLL 的正面作用在于, 其减小了  $T_{CO}$  时间 (输出数据 Q 相对时钟 C/C#的延时), 将  $T_{CO}$  从 QDR I 的 3ns 减小为 QDR II 的 0.5ns, 从而增大了数据有效窗口, 有利于存储器件最高工作时钟频率的提高。DLL 的负面作用在于, 其产生了额外半个时钟周期的延迟, 对 QDR I, 在地址和命令对应的 C/C# (在单时钟模式下, 为 K/K#) 时钟边沿一个时钟周期后, 输出数据出现在数据总线 Q 上, 而对 QDR II, 则需要一个半时钟周期。

另一方面, 同样基于 DLL, QDR II 能输出一个与输出数据 Q 同相的时钟 CQ/CQ#, 以便于接收端的精确采样。

以 Cypress 公司的 CY7C1411BV18 为例, 对 QDR II SRAM 进行详细介绍。

CY7C1411BV18 的存储容量为 32Mb (4M×8bit), 最高运行时钟频率为 300MHz, 由于采用了时钟的双边沿对数据进行采样, 单根数据信号线的最高数据传输速率可达 600Mbps。

QDR II SRAM 的关键引脚定义如下:

K/K#: 差分对时钟, 为输入信号。

C/C#: 差分对时钟, 为输入信号。

D[7:0]: 输入数据。在写操作时, 存储器利用外部输入的时钟 K/K#实现对 D[7:0]的采样。

Q[7:0]: 输出数据。在读操作时, 存储器基于外部输入的时钟 C/C# (在单时钟模式, 即外部仅提供 K/K#时钟的情况下, 采用 K/K#) 驱动数据输出到 Q[7:0]上。

CQ/CQ#: 回应时钟 (Echo Clock), 为输出信号。

A: 地址总线, 为输入信号。在输入时钟 K 的上升沿, 对 A 进行采样, QDR II SRAM 对地址总线的线序没有要求, 设计中可根据 PCB 设计的要求而任意交换顺序。CY7C1411BV18 的地址总线宽度为 20, 可组合的地址数目为  $2^{20}=1\text{M}$ 。CY7C1411BV18 的读写操作以长度为 4 字节的突发传输为一个单位, 因此一个地址对应 4 字节数据, 从而实现了以 1M 的地址数目, 对片内 4M 地址空间的寻址。此处需要注意, 不同芯片的突发长度不一定相同, 例如, Samsung 公司 K7R320982C 的突发长度为 2, 而不是 4。

WPS#: 写使能, 为输入信号。

RPS#: 读使能, 为输入信号。

ZQ: 输出阻抗配置, 为输入信号。QDR II SRAM 通过该引脚实现对输出阻抗的调节, 在 ZQ 引脚与 GND 之间连接电阻  $R_{ZQ}$ , 则 CQ/CQ#、Q[7:0]的输出阻抗将被配置为  $0.2 \times R_{ZQ}$ , 例如, 为配置 CQ/CQ#、Q[7:0]引脚的输出阻抗为  $50\Omega$ , 应选择  $R_{ZQ}$  电阻的阻值为  $250\Omega$  (选择常用的阻值  $249\Omega$  即可)。

DOFF#: DLL 关闭, 为输入信号。当 DOFF#信号接地时, 内部 DLL 被关闭, 工作为



QDR I 的模式，在 QDR I 的模式下，数据有效窗口减小，最高工作时钟频率只能达到 167MHz（工作于 QDR II 模式时，CY7C1411BV18 的最高工作时钟频率可达 300MHz）。

$V_{REF}$ ：参考电平。电平值为  $V_{DDQ}$  的一半，即 0.75V，与 DDR SDRAM 的  $V_{REF}$  产生方法相同。

$V_{DD}$ ：内核电源。对 CY7C1411BV18，内核电源的电压要求为 1.8V。

$V_{DDQ}$ ：接口电源。根据 HSTL 电平标准，接口电源的电压应为 1.5V。

由于 CY7C1411BV18 在输入、输出方向上各有八位数据总线，且采用双边沿采样，因此其峰值带宽计算为： $300\text{MHz} \times 8 \times 2 \times 2 = 9.6\text{Gbps}$ 。

CY7C1411BV18 的基本结构图如图 7.51 所示。

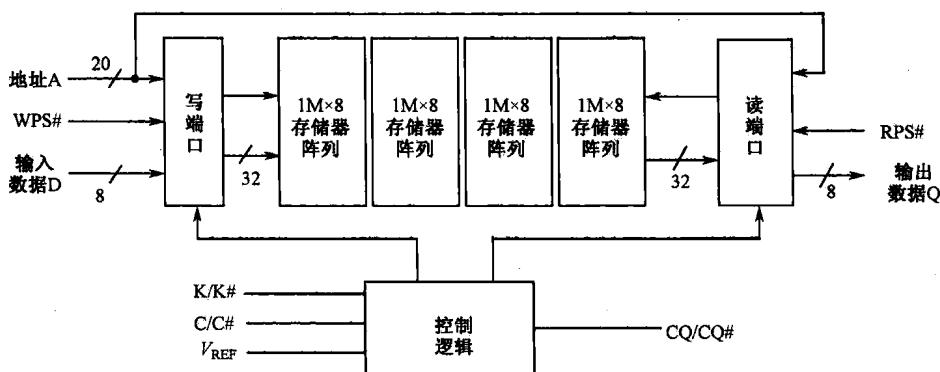


图 7.51 QDRII SRAM 基本结构图

对 QDRII SRAM 的地址、数据采样归纳如下：

**地址 A 的采样：**利用 K 的上升沿。

**输入数据 D 的采样：**利用 K/K#的边沿交叉点。

**输出数据 Q 的参考：**基于 C/C#的边沿交叉点，在单时钟模式，即外部不提供 C/C#输入时钟的情况下（此时 C/C#应上拉到  $V_{DDQ}$ ），输出数据 Q 将参考 K/K#的边沿交叉点。

**回应时钟 CQ/CQ#的使用：**在读数据的操作时，QDR II SRAM 基于内部的延迟锁相环 DLL，输出一对相位与 Q 完全相同的差分对时钟信号 CQ/CQ#，以构成源同步时序，简化接收端对数据 Q 的采样。

根据突发长度的不同，QDR II SRAM 分为两类，一类的突发长度为 2，一类为 4。例如，Cypress 公司 CY7C1411BV18 的突发长度是 4，而 Samsung 公司 K7R320982C 的突发长度是 2。对这两类 SRAM，操作方式略有不同，以下仅以突发长度为 4 的 QDR II SRAM 进行介绍，如图 7.52 所示。

在读操作时，时钟 K 的上升沿采到有效的 RPS#信号，这标志着读操作的开始，地址总线上提供地址信息，在下一个 K 上升沿之后的第一个 C#上升沿（在单时钟模式下，采用 K#的上升沿）将触发输出第一个数据（从采样到读命令开始，至第一个有效数据的发出，需 1.5 个时钟周期），随后，由 C 的上升沿触发输出第二个数据，直到四个数据发送完成，即一次读操作需占用两个时钟周期。由图 7.52 可知，读操作时，CQ/CQ#与 Q 的相位完全相同。

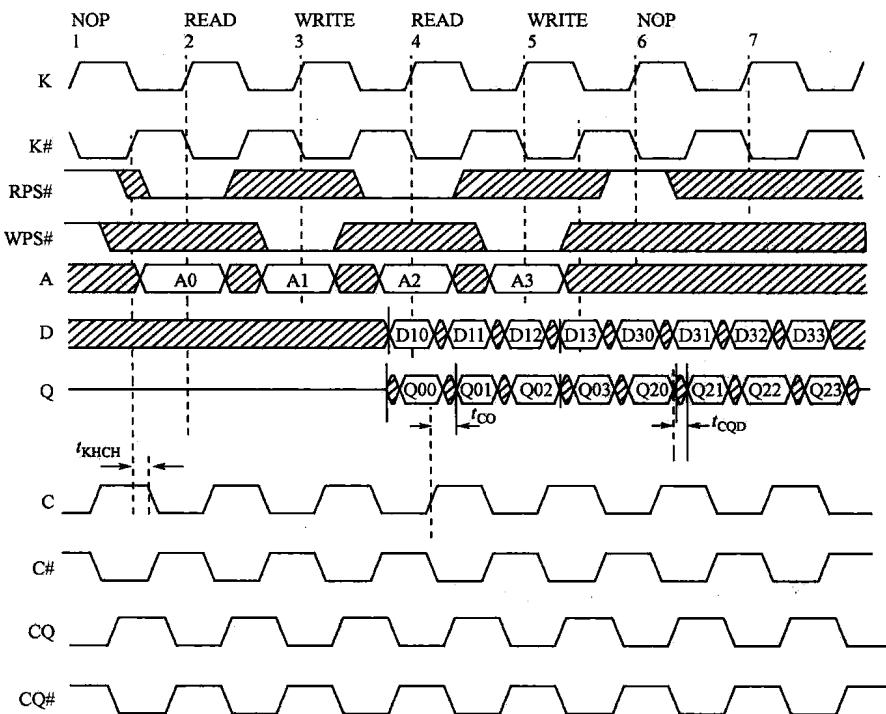


图 7.52 突发长度为 4 的 QDR II SRAM 波形示意图

在写操作时，时钟 K 的上升沿采到有效的 WPS#信号，这标志着写操作的开始，地址总线上提供地址信息，SRAM 利用下一个时钟 K 的上升沿采样第一个数据（从采样到写命令开始，至第一个有效数据的采样，需 1 个时钟周期），随后，利用 K#的上升沿采样第二个数据，直到四个数据采样完成，同样，一次写操作需占用两个时钟周期。

图中有几个延时参数需进行说明：

$t_{KHCH}$ : K/K#边沿与 C/C#边沿之间的相位差，在某些设计中，这两对信号通过不同的时钟源驱动，此时，需注意设计应满足该参数的要求。

$t_{CO}$ : 输出数据 Q 相对时钟 C/C#的延时。

$t_{CQD}$ : CQ/CQ#与 Q 之间的相位差，该参数很小，但在使用回应时钟对 Q 采样的设计中，该参数必须被考虑到时序分析中。

### 3) DDR II CIO SRAM、DDR II SIO SRAM

DDR II CIO（共用输入/输出端口）与 QDR II 类似，不同点仅在于 DDR II CIO 的读端口和写端口引脚是复用的，数据传输率为 QDR II 的一半。

DDR II SIO（独立输入/输出端口）与 QDR 及 DDR 都具有某些共同点。与 QDR II 类似，其读端口和写端口是分离的；与 DDR II CIO 类似，每一次只能处理一个读或写操作。因此 DDR II SIO 的数据传输率仍然只有 QDR II 的一半。DDR II SIO 相对 DDR II CIO 的优势在于，前者的读、写端口分离，读写操作之间可以无缝切换（与 ZBT SRAM 类似），而后的读、写操作之间必须插入一个空闲周期。

选型时需注意，虽然在性能上 QDR II SRAM、DDR II SIO SRAM 显得更加优异，但在很少发生读、写操作切换的场合下，它们的性能与 DDR II CIO SRAM 类似。例如，查找表



的应用，以读操作为主，仅在更新表的时候才涉及写操作，在这种场合，选择 QDR II SRAM 或 DDR II SIO SRAM 则无法体现它们的优势；又如，以太网交换芯片的数据包缓冲，读、写操作基本平衡，在这种场合，宜选择 QDR II SRAM。

### 3. QDR II SRAM 时序设计<sup>[43]</sup>

QDR II SRAM 有三对差分时钟信号对 K/K#、C/C#、CQ/CQ#，写操作时，SRAM 一侧的采样都是通过 K/K#实现的，而在读操作时，存储器控制器对数据的采样，则有以下四种方法：

方法一，使用存储器控制器的主时钟，SRAM 的输入时钟有 K/K#。

方法二，使用存储器控制器的主时钟，SRAM 的输入时钟有 K/K#、C/C#。

方法三，使用存储器控制器发出的、经绕线后回到存储器控制器的 K/K#信号，SRAM 的输入时钟有 K/K#、C/C#。

方法四，使用 SRAM 发出的 CQ/CQ#信号。

1) 使用存储器控制器的主时钟，SRAM 的输入时钟为 K/K#

如图 7.53 所示为 QDR II SRAM 时钟模式 1。

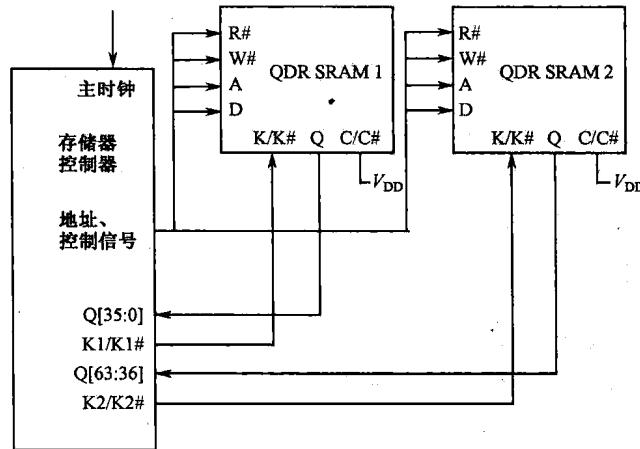


图 7.53 QDR II SRAM 时钟模式 1<sup>[43]</sup>

假定主时钟频率为 133MHz（时钟周期 7.5ns），存储器控制器的内部延迟为 2ns，在 PCB 上，存储器控制器到 SRAM1 和 SRAM2 的走线延时都是 0.5ns，SRAM 的  $T_{CO}$  时间为 0.5ns，则时序设计如图 7.54 所示。

图 7.54 中，①为存储器控制器内部延时 2ns 加上存储器控制器到 SRAM 的走线延时 0.5ns，共 2.5ns，即 2.5ns 延时后，K 上升沿到达 SRAM 输入端，等待 1.5 个时钟周期（见②），即 11.25ns 后 SRAM 准备输出数据，等待  $T_{CO}=0.5\text{ns}$ （见④）后，输出数据 Q0 出现在总线上，经过走线延时 0.5ns 后，到达存储器控制器输入端。因此，从第一个主时钟上升沿输出到数据 Q0 回到存储器控制器，延时共 14.75ns，在存储器控制器端，利用主时钟对 Q0 采样，建立时间  $T_{SU}=0.25\text{ns}$ 。

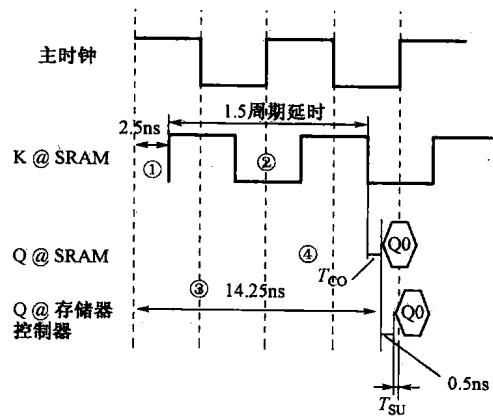
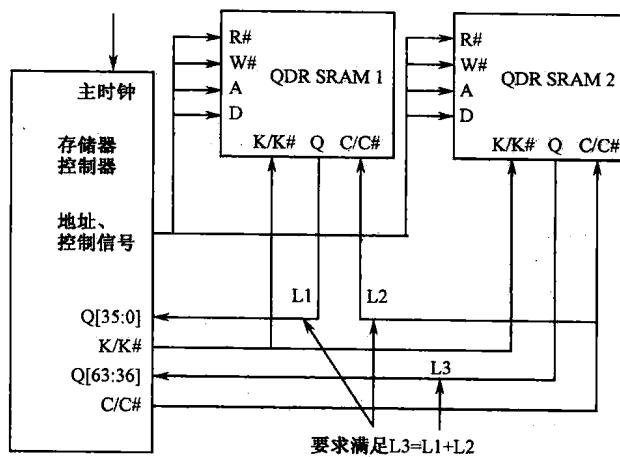


图 7.54 QDR II SRAM 时钟模式 1 时序图

2) 使用存储器控制器的主时钟, SRAM 的输入时钟为 K/K# 和 C/C#  
如图 7.55 所示为 QDR II SRAM 时钟模式 2。

图 7.55 QDR II SRAM 时钟模式 2<sup>[43]</sup>

假定主时钟频率为 166MHz (时钟周期 6ns), 存储器控制器的内部延迟为 2ns, 在 PCB 上, 对数据 Q 而言, 存储器控制器到 SRAM1 以及 SRAM1 到 SRAM2 的走线延时都是 0.5ns, SRAM 的  $T_{CO}$  时间为 0.5ns, 且满足以下两点以便实现 SRAM1 和 SRAM2 的输出数据同时到达存储器控制器:

第一点,  $L_3 = L_1 + L_2$ ;

第二点, 在 PCB 上, C/C#走线成菊花链状, 先到达距离存储器控制器最远的 SRAM2, 然后再连接到距离存储器控制器最近的 SRAM1。

时序设计如图 7.56 所示。

在主时钟第一个上升沿 2.5ns 后, C 到达 SRAM2 的输入端, 再过 0.5ns 后, C 到达 SRAM1 的输入端 (C/C#的走线先到 SRAM2, 再到 SRAM1), 各自延迟 1.5 个时钟周期加上  $T_{CO}$ , 即 9.5ns 后, Q02 和 Q01 出现在数据总线上, 并分别经过 PCB 上的走线延时 1ns 和 0.5ns 后, 到达存储器控制器的输入端。因此, 从第一个主时钟上升沿到数据 Q01 和 Q02 到



达存储器控制器，延时共 13ns，在存储器控制器的输入端，利用主时钟对 Q01 和 Q02 采样，建立时间  $T_{SU}=2\text{ns}$ 。

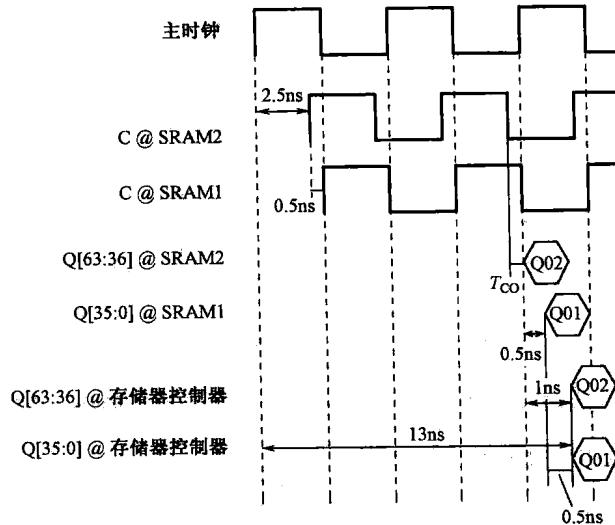


图 7.56 QDR II SRAM 时钟模式 2 时序图

相对时钟模式 1，时钟模式 2 通过对 C/C#走线长度的调整，使所有读取到的数据同时到达存储器控制器的输入端，有利于获得最佳的时序裕量。

### 3) 使用绕线后回到存储器控制器的 K/K#信号

如图 7.57 所示为 QDR II SRAM 时钟模式 3。

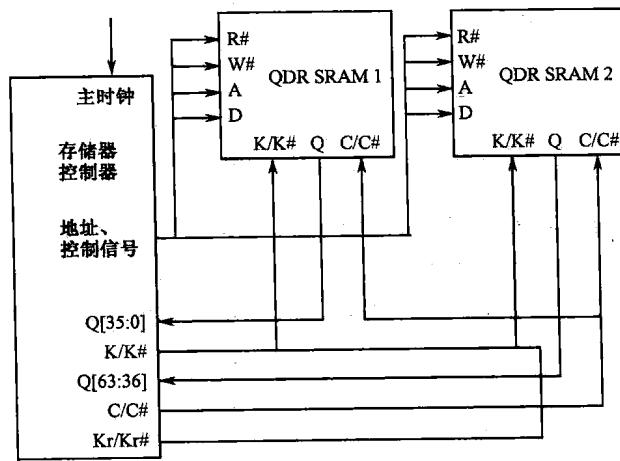


图 7.57 QDR II SRAM 时钟模式 3<sup>[43]</sup>

对于模式 3，将 K/K#送往 SRAM 的同时，通过在 PCB 上绕线回到存储器控制器的 Kr/Kr#引脚。假定主时钟频率为 250MHz（时钟周期 4ns），存储器控制器的内部延迟为 2ns，在 PCB 上，对数据 Q 而言，存储器控制器到 SRAM1 以及 SRAM1 到 SRAM2 的走线延时都是 0.5ns，SRAM 的  $T_{CO}$ 时间为 0.45ns。在 PCB 上，K/K#到 Kr/Kr#的走线延迟时间为 8.95ns。

相对前两种模式，模式 3 的优势在于通过调整 K/K#到 Kr/Kr#的走线延迟，可将 Kr/Kr#



的上升沿与到达存储器控制器的数据 Q 的中央对齐，以实现最佳的时序裕量。

如图 7.58 所示，在主时钟第一个上升沿 2.5ns 后，C 到达 SRAM2 的输入端，再过 0.5ns 后，C 到达 SRAM1 的输入端（C/C# 的走线先到 SRAM2，再到 SRAM1），各自延迟 1.5 个时钟周期加上  $T_{CO}$ ，即 6.45ns 后，Q02 和 Q01 出现在数据总线上，并分别经过 PCB 上的走线延时 1ns 和 0.5ns 后，到达存储器控制器的输入端。从第一个主时钟上升沿的发出到数据 Q01 和 Q02 回到存储器控制器的输入端，延时共 9.95ns。在存储器控制器端，利用 Kr/Kr# 对 Q01 和 Q02 采样，建立时间  $T_{SU}=1\text{ns}$ 。

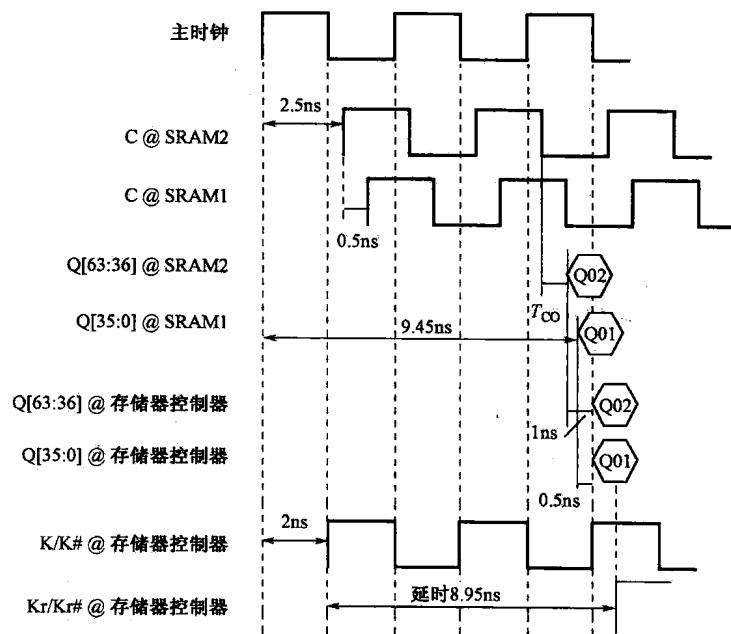


图 7.58 QDR II SRAM 时钟模式 3 时序图

#### 4) 使用 SRAM 发出的 CQ/CQ# 信号

如图 7.59 所示为 QDR II SRAM 时钟模式 4。

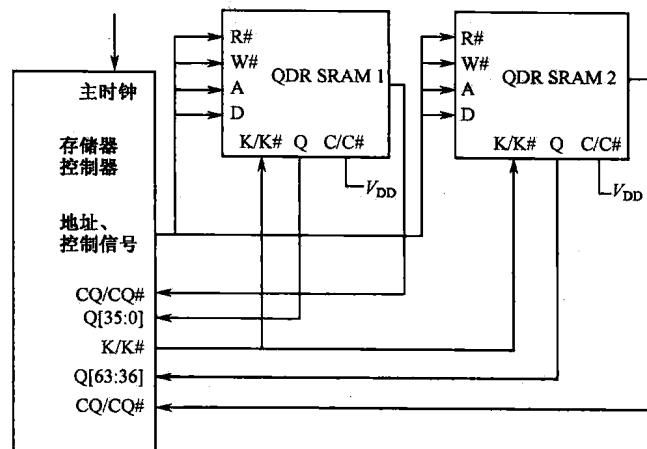


图 7.59 QDR II SRAM 时钟模式 4<sup>[43]</sup>



对于模式 4，在存储器控制器一侧，利用 SRAM 发来的 CQ/CQ#实现对数据 Q 的采样，由于 CQ/CQ#与 Q 相位相同，在 PCB 上，应通过绕线将 CQ/CQ#延迟四分之一个时钟周期（当工作于 250MHz 时，为 1ns），使采样边沿与 Q 的中央对齐。设计时需注意，某些存储器控制器支持对接收到的 CQ/CQ#自动延时四分之一个时钟周期，在这种情况下，应利用该特性，避免通过 PCB 上的绕线实现延时。

假定主时钟频率为 250MHz（时钟周期 4ns），存储器控制器的内部延迟为 2ns，在 PCB 上，对数据 Q 而言，存储器控制器到 SRAM1 以及 SRAM1 到 SRAM2 的走线延时都是 0.5ns，SRAM 的  $T_{CO}$  时间为 0.45ns。

对于模式 4，SRAM1 和 SRAM2 的时序基本类似，因此，仅以 SRAM1 的时序为例。

如图 7.60 所示，在主时钟第一个上升沿 2.5ns 后，K 到达 SRAM1 的输入端，延迟 1.5 个时钟周期加上  $T_{CO}$ ，即 6.45ns 后，Q01 出现在数据总线上，并经过 PCB 上的走线延时 0.5ns 后，到达存储器控制器的输入端。因此从第一个主时钟上升沿的发出到数据 Q01 回到存储器控制器的输入端，延时共 9.45ns。在 SRAM1 发送端，CQ/CQ#和 Q01 相位相同，在 PCB 上，通过绕线使 CQ/CQ#相对 Q01 延时 1ns，在存储器控制器的输入端，利用 CQ/CQ#对 Q01 采样，由于 CQ/CQ#的边沿位于 Q01 的中央，因此时序裕量最佳，建立时间  $T_{SU}=1\text{ns}$ 。

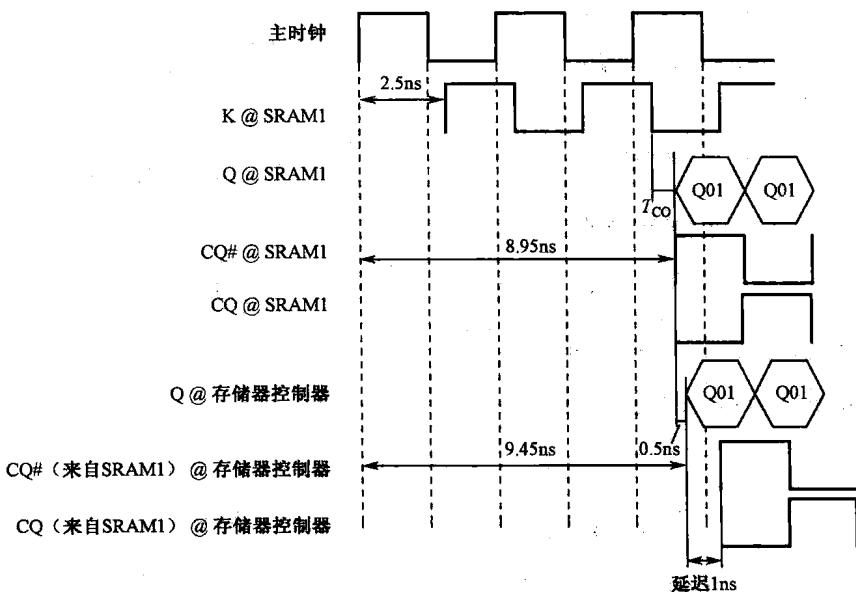


图 7.60 QDR II SRAM 时钟模式 4 时序图

作为归纳总结，简要地对比以上四种时钟模式：

模式 1，随着工作时钟频率的提高，时序裕量将不断减小，因此，模式 1 仅适用于时钟频率低于 167MHz 的场合。

模式 2、3，需通过在 PCB 上的绕线，补偿时钟信号的延时，由于这种延时的精度较差，只适用于时钟频率低于 200MHz 的场合。

模式 4，在存储器控制器的输入端利用 CQ/CQ#对数据采样，实现了源同步的时序设计，根据第 5 章的知识，这种设计与时钟频率完全无关，适用于任何场合。



## 理解要点：

- ① QDR II SRAM 和 DDR II SRAM 采用的电平方式是 HSTL。
- ② DDR II CIO SRAM、DDR II SIO SRAM、QDR II SRAM 在应用和存储效率上的区别。
- ③ QDR II SRAM 的四种时钟模式及其在应用上的区别。

## 7.2.6 FLASH 与 EEPROM 介绍

### 1. FLASH 介绍

在电路设计中，一般采用 FLASH 存储大容量的底层驱动程序或软件程序。例如，为 Pentium X86 系统架构存储配置信息的 BIOS 以及为 Power PC CPU 存储引导程序的 BOOT FLASH，采用的都是 FLASH 芯片。

目前常用的 FLASH 芯片有 NOR 和 NAND 两种规格。

NOR FLASH 于 1988 年诞生于 Intel 公司，而 1989 年，东芝公司开发出 NAND FLASH。

将 NAND FLASH 和 NOR FLASH 的区别列举如下：

(1) 信号线区别：NOR FLASH 有独立的地址、数据引脚，与 SRAM 类似；而 NAND FLASH 的地址、数据引脚是复用的。

(2) 读取方式：NOR FLASH 的应用特点是片上运行，即，由于其读取方便（地址、数据引脚分开），程序可直接在 FLASH 中运行，而无需导入 SDRAM 等高速存储器件，适于引导程序的存储。NAND FLASH 的应用特点是高密度大容量，适于大规模软件的存储，如上层应用软件的存储，但由于其地址、数据引脚复用在一起，操作时，需使用专门的驱动代码将读取指令转换为 NAND FLASH 可以识别的指令，读取操作复杂，运行时，需将软件程序导入 SDRAM 等器件后再执行。

(3) 编程方式：NOR FLASH 的擦除和写入速度较慢，达到秒级；而 NAND FLASH 的擦除和写入速度快，仅为毫秒级；NOR FLASH 和 NAND FLASH 均可对片内某个块（Block）单独擦除，同时保留其他地址空间的存储内容，不过，NAND FLASH 的擦除单元块相对更小。

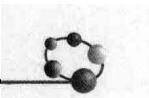
(4) 存储容量：基于同样的价格，NAND FLASH 的容量更大。

### 【案例 7-6】热插拔导致单板 FLASH 损坏

某业务板的引导程序存储在主控板的 FLASH 中，在业务板插入机框并被主控板识别后，通过主控板上的 FLASH 完成其引导过程。业务板 CPU 和主控板 FLASH 之间的信号线通过背板相连。对业务板做热插拔强度测试发现，有时，主控板上的 FLASH 被损坏。

### 【讨论】

业务板热插拔时，通过示波器测量主控板 FLASH 信号线的波形，发现信号过冲很大。FLASH 电源为 3.3V，而信号过冲达到了 5.6V。由于 FLASH 属 CMOS 器件，I/O 接口电平超过电源电平时，将被闩锁，严重时可能导致器件的损坏。



改板设计时，在FLASH信号线上串接 $33\Omega$ 电阻，问题得到解决。

### 【拓展】

FLASH是易损器件。除本案例提到的闩锁问题外，设计中还需注意以下两个问题：

(1) ESD。调试和生产时，若不采取防静电措施，FLASH器件极易遭到损坏，设计时，应尽量使FLASH远离单板边界。

(2) 机械损坏。由于FLASH器件较薄，且横截面积相对较大，容易遭受机械损坏，设计时应注意FLASH器件不能布放在单板易弯曲处。

## 2. EEPROM 介绍

EEPROM 常用于单板信息（如单板名称、厂家名称、单板版本号、单板序列号等）的存储，高密度单板上的温度检测芯片内部也使用 EEPROM 存储温度阈值等信息。EEPROM 在应用上的特点是：容量小（SDRAM 的存储容量一般为几百兆至几吉比特位，FLASH 的存储容量一般为几百兆位，而 EEPROM 的存储容量一般仅为几千比特位）、非易失、读取方便（使用 I<sup>2</sup>C 总线）。

对 EEPROM 的应用重点应把握两点：寻址和 I<sup>2</sup>C 总线读写操作。以下就 ATMEL 公司的 AT24C 系列 EEPROM 器件，分别进行讨论。

### 1) 寻址

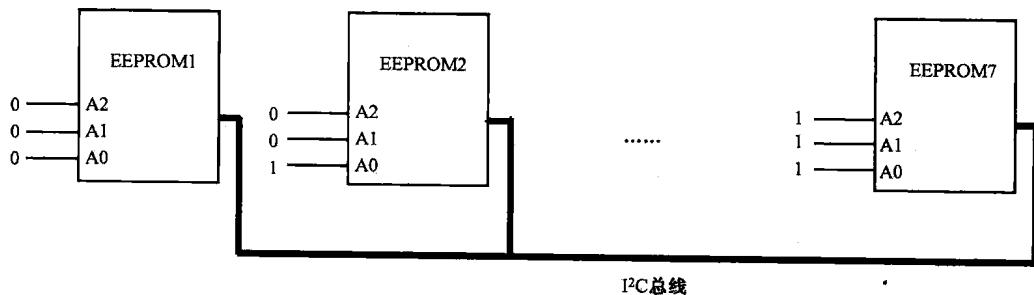
AT24C 系列 EEPROM 按存储容量分为五个型号：AT24C01、AT24C02、AT24C04、AT24C08、AT24C16，存储容量分别为 1Kbit、2Kbit、4Kbit、8Kbit、16Kbit。该系列器件提供三个地址引脚 A[2:0]，寻址方式如图 7.61 所示。

1K/2K	1	0	1	0	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	R/W
MSB							LSB	
4K	1	0	1	0	A <sub>2</sub>	A <sub>1</sub>	P0	R/W
8K	1	0	1	0	A <sub>2</sub>	P1	P0	R/W
16K	1	0	1	0	P2	P1	P0	R/W

图 7.61 AT24C 系列 EEPROM 寻址方式

AT24C 系列 EEPROM 利用八位地址位寻址，其中高四位（第 7~4 位）固定为“1010”，最末位（第 0 位）指示该操作是属于读或写。对 1Kbit、2Kbit 容量的型号，A[2:0]引脚作为地址位的第 3~1 位，参与寻址。对 4Kbit 容量的型号，A[2:1]引脚作为地址位的第 3~2 位，参与寻址，第 1 位由程序指定，用于选择器件内部的页地址。对 8Kbit 容量的型号，A[2]引脚作为地址位的第 3 位，参与寻址，第 2~1 位由程序指定，用于选择器件内部的页地址。对 16Kbit 容量的型号，A[2:0]都不参与寻址，第 3~1 位由程序指定，用于选择器件内部的页地址（单片器件存储容量越大，页数越多）。

一条 I<sup>2</sup>C 总线上所连接的 EEPROM，必须拥有不同的地址。如图 7.62 所示，AT24C01、AT24C02 有三个地址引脚可用，因此，一条 I<sup>2</sup>C 总线上最多可挂八个器件，依次类推，对 AT24C16，由于无外部地址引脚可用，则一条 I<sup>2</sup>C 总线上最多只能挂一个器件。

图 7.62 多片 EEPROM 共用一条 I<sup>2</sup>C 总线

控制器（如 CPU）往往只提供一个 I<sup>2</sup>C 接口，而受地址引脚数目以及引脚容性负载的限制，同一条 I<sup>2</sup>C 总线上所连接的 EEPROM 器件数目有限，为连接尽可能多的 EEPROM 器件，可以使用 I<sup>2</sup>C 接口扩展芯片，如 Philips 公司的 PCA9545 等。

## 2) I<sup>2</sup>C 总线操作

I<sup>2</sup>C (Inter-Integrated Circuit) 总线是 Philips 公司开发的，由两根信号线（时钟 SCL、数据 SDA）组成的串行总线，用于控制器与外围设备之间的互连。通过 I<sup>2</sup>C 总线，控制器可以配置、读取外围设备的工作参数，总线上的每个设备都有唯一的地址标识（对使用 I<sup>2</sup>C 接口扩展芯片的情况，相当于使用了二级地址，头一级地址是 I<sup>2</sup>C 接口扩展芯片的地址，第二级地址才是待操作设备的地址），且每个设备都可作为发送器或接收器。

I<sup>2</sup>C 总线有如下特点：

(1) 使用串行总线。采用两条信号线，即可将多个设备互连，PCB 设计时，走线应成菊花链。

(2) 属于多主机总线。当总线上有两个以上的设备申请总线的主控权时，可通过仲裁决定最终的主控方。

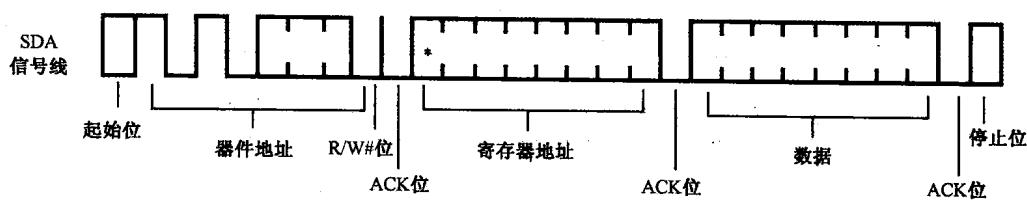
(3) 标准运行速率为 100Kbps，最高可达 1Mbps 以上。

(4) 电源电压范围宽、功耗低。

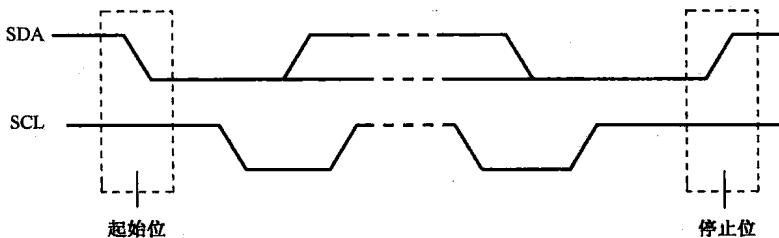
(5) I<sup>2</sup>C 的信号线 SCL、SDA 属于 OD (Open Drain, 漏极开路) 电路，在电路设计上需做上拉处理。

以下以写操作为例，对 I<sup>2</sup>C 总线时序进行介绍。

为方便起见，图 7.63 中只列出 SDA 信号，而 I<sup>2</sup>C 操作中，SDA 信号需与 SCL 信号结合，才具有特定的意义。

图 7.63 I<sup>2</sup>C 写操作<sup>[54]</sup>

各 I<sup>2</sup>C 操作之间以“起始位”和“停止位”作为间隔，如图 7.64 所示。当 SCL 处于高电平时，SDA 的下降沿表示起始位，上升沿表示停止位。

图 7.64 I<sup>2</sup>C 操作的起始位和停止位

当 SCL 处于低电平时，SDA 的变化沿表示有效的地址或数据。

起始位之后，控制器发出待操作的从设备地址，以 A[2:0]=001 的 AT24C02 为例，SDA 信号线上的地址信息为 10100010，最末一个“0”表示此次操作为写。

接到控制器发出的设备地址后，作为从设备的 AT24C02 返回一个响应，即 ACK 位；接着，控制器发出待操作的从设备寄存器地址，发送完成，从设备再次返回一个 ACK 位。

最后，控制器发出需写入该寄存器的数据，发送完成，从设备同样返回一个 ACK 位。最后由控制器发出停止位，本次操作完成。

例如，控制器向从设备地址为 0xA2，寄存器地址为 0x04 的寄存器写入数据 0x55，则 SDA 信号线上的数据依次为：起始位→0xA2→ACK 位→0x04→ACK 位→0x55→ACK 位→停止位。

由以上过程可知，在实质上，I<sup>2</sup>C 操作是一个主、从设备交互的过程。

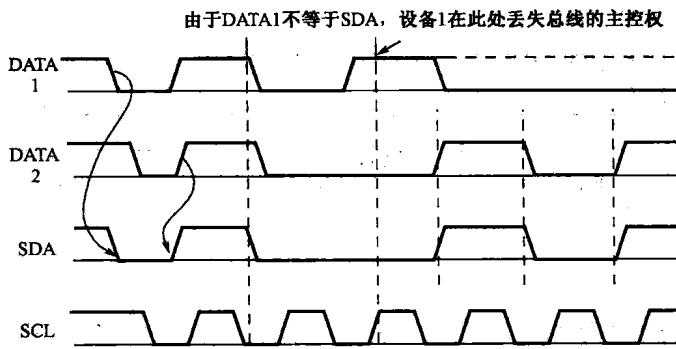
I<sup>2</sup>C 总线能同时连接多个设备，当存在两个以上的设备同时申请，希望成为主设备时，需通过仲裁来决定谁能最终成为主设备。

I<sup>2</sup>C 总线仲裁的原理如下：

由于 SCL 和 SDA 信号都为漏极输出，当信号线被多个主设备驱动时，信号线最终的逻辑状态为这些主设备输出逻辑线与后的结果，即仅当所有的主设备都驱动信号线为高电平时，信号线才能表现为高电平逻辑，假如其中有一个主设备驱动输出低电平，则信号线表现为低电平逻辑。

I<sup>2</sup>C 总线的仲裁是在 SCL 高电平时，通过比较 SDA 的逻辑状态而完成的。

如图 7.65 所示，设备 1 和设备 2 在驱动 SDA 信号线的同时，在 SCL 处于高电平的时间段内，不断读取 SDA 信号线的状态，当发现 SDA 信号线的状态与自己的驱动逻辑状态不同，则停止对总线的控制。

图 7.65 I<sup>2</sup>C 仲裁<sup>[54]</sup>



### 【案例 7-7】 读取百兆光模块信息出错

某传输产品光接口板上，光模块 SFP 的信息存储在 SFP 内部的 EEPROM 里，该信息可通过 CPLD 与 SFP 之间的 I<sup>2</sup>C 总线接口进行读取。在测试中，通过 CPLD 多次读取 SFP 的 EEPROM，偶尔会出现读取失败的现象。

#### 【讨论】

测试读取失败时 I<sup>2</sup>C 总线的波形，发现在 EEPROM 收到 CPLD 发出的地址信息后，时钟信号 SCL 的波形变为半电平状态，如图 7.66 所示。



图 7.66 读取失败时 SCL 处于半电平状态

I<sup>2</sup>C 规范提到，当 I<sup>2</sup>C 从设备在收到主设备的地址信息后，如果无法立即发起或响应传输，可通过将 SCL 拉低以将此情况通知主设备，主设备得知后，应等待一段时间，才能继续传输。

以上功能并没有实现在 CPLD 的代码中。在逻辑代码的设计里，SCL 将一直由 CPLD 驱动，以至于作为从设备的 EEPROM 驱动 SCL 为低电平后，作为主设备的 CPLD 仍然继续驱动 SCL 信号，导致 SCL 信号线上出现冲突，读取失败。

EEPROM 无法立即对传输作出响应的原因有两个：其一，I<sup>2</sup>C 时钟速率过高；其二，EEPROM 自身存在缺陷。在调试中，修改 CPLD 逻辑代码，一方面将 I<sup>2</sup>C 时钟速率由 400kHz 调整为 100kHz，另一方面在发出地址信息后，等待一段时间，再驱动 SCL 信号以继续数据的传输。修改后，问题得到解决。

#### 理解要点：

- ① NOR FLASH 和 NAND FLASH 的区别。
- ② FLASH 一般用于存储大容量的底层驱动程序或软件程序，而 EEPROM 常用于单板信息等的存储。
- ③ 理解 EEPROM 的寻址方式，I<sup>2</sup>C 总线的操作方式等。

# 第8章 高速电路中的PCB及其完整性设计

在高速电路设计中，原理图设计的完成仅仅只是成功设计的一小部分，随着设计频率的提高，PCB设计中信号完整性、电源完整性、EMC、防护等对成功设计的重要性越来越高。本章标题的“完整性”不仅包括信号完整性、电源完整性，还包括EMC、防护、热设计、结构、易测试性等与PCB设计相关的内容，本章将基于这些要点，重点讨论如何成功地进行高速电路中的PCB设计。

## 8.1 与PCB及完整性设计相关的经典案例

### 【案例8-1】回流路径缺陷对高速信号质量的影响

测试时，发现某单板上250MHz的高速时钟信号CLK1有明显的振铃现象。

#### 【讨论】

本案例中CLK1信号上的振铃虽不至于影响数据信号的时序裕量，但出于设计的严谨性，仍有必要研究清楚信号振铃的来源。

CLK1信号由带有PLL功能的时钟驱动芯片IC1生成，IC1同时输出与CLK1同频同相的时钟信号CLK2和CLK3，这两个信号在接收端都没有出现振铃现象，可以基本确认CLK1上振铃的产生与IC1无关。

检查PCB设计图，该单板的PCB分16层，其中，CLK1走线在第7层（信号层），相邻层中，第6层是信号层，第5层是完整的GND层，第8层是完整的电源层（3.3V电源平面），且第7层与第6层相距较远，因此，第7层的信号将选取第8层作为参考层。在PCB上，同时打开第7、8两层及只打开第7层的情况，分别如图8.1所示。

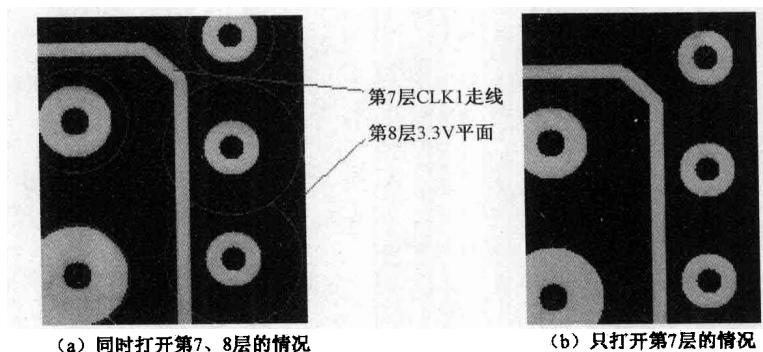


图8.1 CLK1信号回流路径存在的缺陷

CLK1信号附近存在大量的信号过孔，这些过孔将实现从第1层直到第16层的连通，



在第8层（在其他电源层或地层也是如此），为避免信号过孔与电源平面短路，信号过孔外还增加了一圈反焊盘（Anti-pad），反焊盘不含任何电气属性。

如图8.2所示为过孔的截面图。在钻孔的内径 $d_1$ 外壁上铺铜箔，实现各层的导通，直径 $d_2$ 为焊盘的外径， $d_2$ 和 $d_3$ 之间的空心圆即为反焊盘，不具备任何电气连通性。

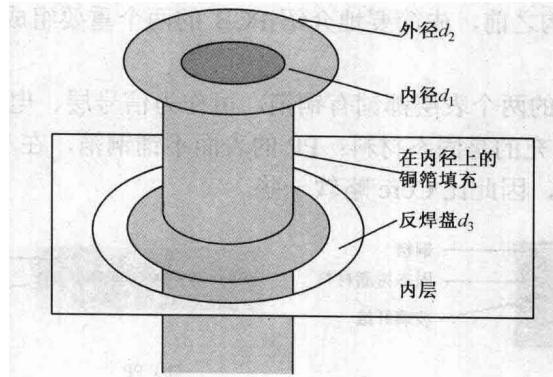


图8.2 过孔截面图

信号CLK1以相邻的第8层电源平面作为参考层，构成回流路径时，由于反焊盘的存在，将使该路径增长，造成回流路径阻抗的不连续，从而对信号质量构成影响。

在设计时，PCB设计工程师为CLK1信号绕线时，只打开了第7层，如图8.1(b)中的情况，无法检查回流路径的完整性，只有同时打开走线层和参考层，如图8.1(a)中的情况，才能清晰地发现问题。

需补充的是，有时反焊盘在设计中也能起到奇效。在高密度设计中，经常发生同一段走线宽度发生改变的情况，如图8.3所示，由于信号线需要穿越BGA封装器件的下方，B段走线比A段稍细一些。



图8.3 信号走线宽度发生变化的情况

由于线宽的变化，信号阻抗将随之而改变，可能影响到信号的完整性，此时，若在参考平面上与走线对应的区域，有意地布置反焊盘，能起到保持整段走线阻抗基本不变的效果。

### 【拓展】

在对PCB设计图进行检查时，除在同一层内检查信号的走线、周围信号的干扰等外，还需同时打开本层与相邻层，重点检查以下几点：

- (1) 回流路径是否完整。
- (2) 相邻层之间是否存在高速信号的长距离平行走线。

## 8.2 PCB 层叠结构与阻抗计算

### 8.2.1 Core 和 PP

在介绍 PCB 层叠结构之前，先简要地介绍 PCB 的两个重要组成部分：Core 和 Prepreg（半固态片，简称 PP）。

如图 8.4 所示，Core 的两个表层都铺有铜箔，可作为信号层、电源层、地层等导电层，Core 的上、下表层之间填充的是固态材料；PP 的表面不铺铜箔，在 PCB 中起填充作用，其材质是半固态的树脂材料，因此比 Core 略软一些。

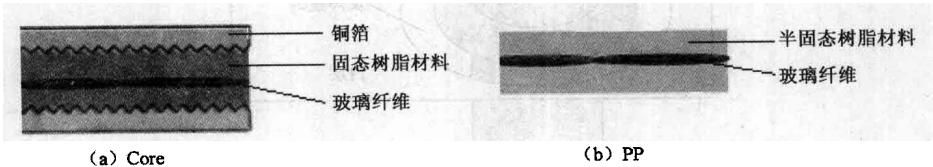


图 8.4 Core 和 PP

在制作多层板时，需配合使用 Core 和 PP，一般在两个 Core 之间应选用 PP 作为填充物。根据层叠结构的不同，Core 和 PP 有多种厚度可供选择。

### 8.2.2 PCB 的层叠结构和阻抗设计

#### 1. 层叠结构设计的先决条件

层叠结构的设计，需预先获取以下信息：

- ① 单板总层数，包括信号层、电源层、地层的数目。
- ② 单板厚度。
- ③ 单端信号和差分信号的目标阻抗。
- ④ PCB 的介电常数  $E_r$ 。

##### 1) 单板层数的确定

在 PCB 设计之前，设计者需根据单板尺寸、单板规模，如信号数目、电源种类等，以及 EMC 的要求粗略估计单板的信号层、电源层、地层的数目，从而获得单板的总层数。

总层数越多，布线越方便，EMC 性能越好，但成本也相应提高，因此，总层数的确定是系统权衡的过程。一般在 PCB 的设计过程中，首先需进行布局设计，布局完成后，根据 PCB 上关键器件的摆放位置，打开 PCB 设计软件的飞线显示功能，可以粗略估计这些关键器件之间的信号线密度，以便对信号层的数目进行评估。在确定信号层的数目之后，根据电源的种类、信号层隔离的要求等，可以评估所需电源层、地层的数目。

##### 2) 单板厚度

在机框式通信产品中，单板沿导轨插入机框，因此厚度与导轨宽度有关，同时单板的厚度还取决于总层数等因素。例如，14 层以内的单板厚度可以选择为 1.6mm，而 16 层以上的单板厚度需在 2mm 以上。在某些设计中，受限于导轨宽度，而单板总层数又不能减少，



在这种情况下，可以采取削边的方式，将单板与导轨接触的区域削薄，而单板总层数和厚度仍然保持不变，从而，既满足了单板的层数，又可顺利插入机框。在这种设计中，需注意削边的区域内不得有信号线。

### 3) 目标阻抗

从信号完整性考虑，要求在信号传输路径上实现阻抗的匹配，关于这一点，将在后续章节讨论。那么在传输路径上，阻抗设置为多少合适？从减小传输线损耗的角度考虑，一般取单端信号对地阻抗为  $50\Omega$ ，而差分对信号间阻抗为  $100\Omega$ 。

### 4) PCB 材质的选择

(1) 介电常数。介电常数是表征电磁场在特定材质中导通能力的参数，介电常数越大，则电磁场在该材质中导通的能力越强。

应用中，一般采用相对介电常数  $E_r$ 。 $E_r$  的定义是，材质介电常数与真空介电常数的比值。真空中  $E_r=1$ ，而常用的 PCB 材质 FR4 的  $E_r$  取值一般在  $3.5\sim4.5$  之间，即，电磁场在 FR4 中的导通能力比真空强，这也是高速电路在工作时，电磁场仍主要集中在 PCB 内的原因。

在 PCB 设计中，所选材质  $E_r$  的值，对信号完整性有很大的影响。 $E_r$  越高，高频信号越容易通过，即高频的损耗越大<sup>[56]</sup>。常见的 FR4 的  $E_r$  参数取值在  $4.2\sim4.3$ ，而在高速板的设计中，为减小高频损耗，往往取 FR4 的  $E_r$  值为  $3.5\sim3.8$ 。

应用中需注意， $E_r$  的值随频率有略微的变化。

(2) 材质正切值。材质正切值  $\tan\delta$  也称为材质损耗正切值，与  $E_r$  相同，它也是一个与信号完整性相关的参数。

$\tan\delta$  等于流经材质的损耗能量与流经材质的无损能量的比值， $\tan\delta$  值越大，则信号的损耗越大。

与  $E_r$  不同， $\tan\delta$  的值基本不随频率而变化。

在高速电路设计中，应尽量选择  $E_r$  和  $\tan\delta$  小的材质，当然， $E_r$  和  $\tan\delta$  越小，PCB 的成本也越高。

## 2. 层叠结构与阻抗设计的流程

在获得以上几项先决参数后，可以开始层叠结构的设计。层叠结构设计的目标是确定以下几项参数：

- ① 信号层、电源层、地层的排列。
- ② 信号层、电源层、地层、以及填充层的厚度。
- ③ 在信号层上，单端信号的线宽，差分对信号的线宽以及对内信号线的间距。

### 1) 信号层、电源层、地层的排列

在多层板中，信号层、电源层、地层的排列顺序，对信号完整性有很大的影响。如图 8.5 所示，列出了两种六层板的层叠结构，这两种结构都由四层信号层与一层电源层、一层地层构成，但两种结构信号层的信号完整性性能却完全不同。

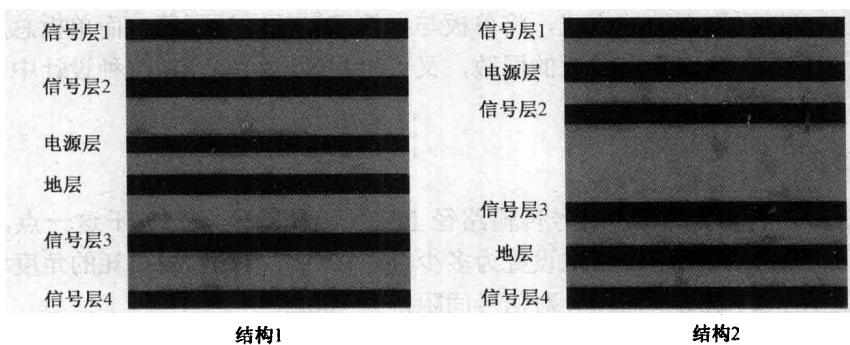


图 8.5 两种六层板层叠结构

### (1) 对结构 1 的分析。

① 电源层与地层相邻，且距离较近，可以很好地实现电源与地之间的耦合。电路设计中，在器件的电源引脚和地引脚之间都并联有许多电容，其目的之一就是为了减小电源平面与地平面之间的阻抗，以便使电源平面所受到的干扰更容易地泄放到相对稳定的地平面上。而层叠结构设计中，电源平面与地平面之间的紧密耦合，可理解为在两者之间寄生了大量的小电容，因此对降低电源平面与地平面之间的阻抗有极好的作用。

② 信号层 3 与地层相邻，以完整的地层作为参考平面，因此信号完整性最好。

③ 信号层 2 与电源层相邻，若电源层是完整的平面，则同样也能获得较好的信号完整性，但若电源种类不止一种，则电源层需分块，不完整的参考平面会导致信号回流路径不顺畅，对信号完整性存在一定影响。

④ 信号层 1、4 与信号层 2、3 相邻，很容易受到相邻信号层的影响，因此完整性最差。

### (2) 对结构 2 的分析。

① 电源层与地层不相邻，耦合较差，无法形成有效的寄生小电容。

② 信号层 1、2、3、4 相邻层都能找到地层或电源层作为参考平面，信号质量相对结构 1 更好一些，其中，信号层 1 和 4 位于表层，而表层的阻抗控制比内层更难，因此，从信号完整性而言，信号层 2 和 3 要好于 1 和 4。

通过以上对两种结构的讨论可知，各层的排列对信号完整性有很大的影响，在高速电路中，既存在高速的关键信号线，又存在相对低速的非关键信号线，前者应走线在完整性最好的层（如结构 1 和结构 2 的信号层 3），而后者的走线应选择在不同于前者的层上，对阻抗控制要求不严的信号线，可选择在表层（如结构 1 和结构 2 的信号层 1、4）走线。

## 2) 线宽与层厚

线宽与层厚是决定信号阻抗的两个关键因素。信号的阻抗可利用 Polar Instruments 公司开发的 Polar Si6000 等工具计算。

为获得某一特定的目标阻抗，信号线宽与信号所在层距离其相邻参考层的距离成正比，因此单板的厚度对线宽和层厚存在约束关系。信号线越宽，信号层与参考层之间的距离越大（即层的厚度越大），则总厚度可能超过前面提到的关于单板厚度的先决条件，反之亦然。在某些情况下，信号线宽和信号层与参考层之间的距离无法改变，此时，为保证单板的总厚度，可调整电源层与地层之间的间距，例如，在图 8.5 的结构 1 中，电源层与地层之间



的距离不影响各信号层的阻抗，为满足线宽、信号层与参考层之间的距离、以及单板总厚度这三项要求，可略微调节电源层与地层之间的距离。

### 3. 层叠结构与阻抗设计的示例

本小节将以一个十六层板为例，对层叠结构和阻抗设计进行详细介绍。

本示例的要求是设计一块高速电路板，信号最高频率要求达到 400MHz。

#### 1) 先决参数值的确定

在设计前，首先需确定四项先决参数。

(1) 单板层数：根据布局以及关键器件之间的信号线密度，需要 8 层信号层；该单板有六种电源，其中 3.3V 和 2.5V 分布很广，遍布整板，而其他四种电源只是在局部使用，因此，需要 3 层电源层，其中 3.3V 和 2.5V 各单独使用一层，为完整的电源层，其他四种电源共同使用一层电源层，该层上存在电源分割；使用 3 层地层；表层只用做 BGA 器件或贴片器件的信号线扇出，不用于长距离的走线。综合上述，本单板共 16 层，其中信号层 10 层（包括两个表层），电源层 3 层，地层 3 层。

(2) 单板厚度：2mm。

(3) 目标阻抗：单端信号为  $55 \pm 15\Omega$ ，差分信号为  $100 \pm 15\Omega$ 。

(4) 材质选择：选择 FR4， $E_r=4.2$ ，该材质的  $\tan\delta=0.002$ 。

#### 2) 层叠结构和阻抗设计

如图 8.6 所示为该十六层板的层叠结构图，图中列出了各层材质，信号层、电源层、地层的排列，以及各层厚度。PCB 的表层，即第一层（TOP 层）和第十六层（BOTTOM 层）直接采用铜箔，而内层则采用 Core 的铜箔，Core 之间用 PP 填充。

由于 Core 内部用固态材料填充，而 Core 之间用半固态材料 PP 填充，在多层 PCB 压制成型的过程中，Core 不易被压缩而 PP 则容易受到压缩而变形，因此相对 PP，Core 更适于相邻层的阻抗控制。

同时，由图 8.6 可以看出，PCB 的层叠结构在材质、厚度上是完全对称的。例如，第二、三两层处于同一个 Core，则对称的第十四、十五层也处于同一个 Core，且厚度完全相同。

线宽和各层厚度的确定过程如下：

根据单板厚度为 2mm、层数为 16 层（其中信号层 10 层，电源层和地层各 3 层），初步确定各层的厚度。

在初步确定各层厚度后，下面详细讨论如何计算信号层走线的宽度。

##### (1) 表层单端信号

在 Si6000 软件中选择 Surface Microstrip（表面微带线，将在后续章节介绍），参见图 8.7，输入以下参数（除目标阻抗的单位是  $\Omega$  外，其他参数的单位都是 mil）： $Z_0=55$ （目标阻抗）， $E_r=4.2$ （相对介电常数）， $T=0.69$ （线厚）， $H=3.94$ （到参考平面的距离），计算可得线宽  $W=6.254$ ，取  $W=6\text{mil}$ ，重新计算  $Z_0=55.22\Omega$ ，符合阻抗要求。因此，表层（第一层和第十六层）的单端信号线宽可确定为 6mil。



材质	层数	层定义	厚度 (mils)
铜箔	第一层	信号层	0.69
PP			3.94
铜箔	第二层	地层/电源层	0.69
Core			3.94
铜箔	第三层	信号层	0.69
PP			5.90
铜箔	第四层	信号层	0.69
Core			3.94
铜箔	第五层	地层/电源层	0.69
PP			3.94
铜箔	第六层	信号层	0.69
Core			5.90
铜箔	第七层	信号层	0.69
PP			3.94
铜箔	第八层	地层/电源层	1.38
Core			3.94
铜箔	第九层	地层/电源层	1.38
PP			3.94
铜箔	第十层	信号层	0.69
Core			5.90
铜箔	第十一层	信号层	0.69
PP			3.94
铜箔	第十二层	地层/电源层	0.69
Core			3.94
铜箔	第十三层	信号层	0.69
PP			5.90
铜箔	第十四层	信号层	0.69
Core			3.94
铜箔	第十五层	地层/电源层	0.69
PP			3.94
铜箔	第十六层	信号层	0.69

图 8.6 十六层板层叠结构示例

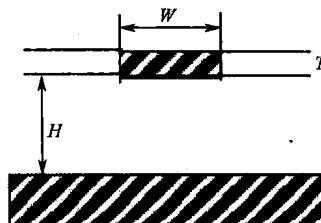


图 8.7 表层微带线

对表层，只考虑单端信号而不考虑差分信号，原因在于表层的阻抗控制效果较差。表层信号处于 FR4 与空气这两种介质之间，空气的相对介电常数略大于 1，而设计中选定的 FR4 的相对介电常数为 4.2，即表层信号所处介质的相对介电常数介于 1 和 4.2 之间，这个值不好确定，而计算过程中，选用的  $E_r$  值是 4.2，将使计算结果存在一定偏差，这也是表层阻抗控制效果差的原因。

事实上，在高速电路设计中，一般不会在表层做长距离的走线，而只用作为信号线从器件引脚的短距离扇出，一旦扇出后，就立刻通过过孔进入阻抗控制相对较好的内层，再继



续走线。

### (2) 内层单端信号

以信号层第三层为例，第三层附近有两个地层/电源层可供选择为参考层：第二层和第五层。由层叠结构图可知，第三层和第二层的距离是 3.94mil，和第五层的距离是 10.53mil，与第二层相距更近，即第三层的信号将主要选择第二层以构建回流路径。

在计算第三层信号阻抗时，信号层与相邻最近参考层之间的距离，以及两参考层之间的距离是必需的参数。

在 Si6000 软件中选择 Offset Stripline (非对称带状线)，参见图 8.8，输入以下参数： $Z_0=55$ ,  $E_r=4.2$ ,  $T=0.69$ ,  $H=15.16$  (参考层第二层和第五层之间的距离),  $H_1=3.94$  (第三层到参考层第二层的距离)，利用软件计算可得线宽  $W=3.8$ ，取  $W=4\text{mil}$ ，重新计算后得到  $Z_0=51.93\Omega$ ，符合阻抗要求。因此第三层的单端信号线宽被确定为 4mil。其他信号层单端信号的线宽可用同样的方法计算。

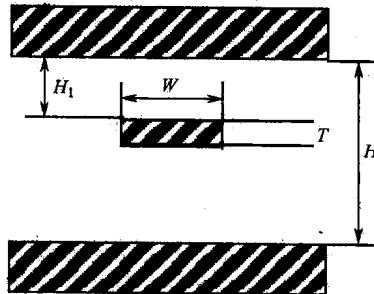


图 8.8 内层单端带状线

由以上的过程可知，信号层第三层与相邻最近的参考层第二层之间的距离对阻抗的影响更大，这两层之间应使用固态材质，以获得稳定的阻抗。即，信号层与其主要的参考层最好位于同一个 Core 的两面，两层之间以固态材质而不是 PP 材质作为填充物。

### (3) 内层差分信号

仍以信号层第三层为例，参见图 8.9，利用 Si6000 软件，可计算得到当线宽  $W=4\text{mil}$ ，线间距  $S=6\text{mil}$  时，差分对阻抗为  $Z_0=92.56\Omega$ 。

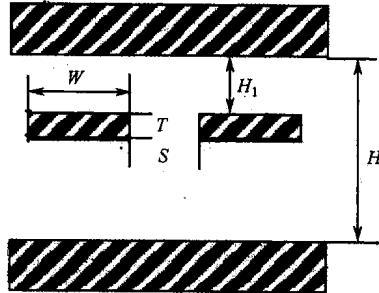


图 8.9 内层差分带状线

在这一步中，根据预先确定的各层厚度，利用工具软件，可得表层单端信号的线宽为 6mil，内层单端信号的线宽为 4mil，内层差分信号的线宽为 4mil，线间距为 6mil。这些线宽都符合 PCB 生产厂家的走线线宽要求，因此，上述层厚、线宽值的确定是正确的。需说



明的是，在设计中，层厚、线宽的确定往往不能做到一次成功，而需多次反复地调整。

### 3) 电源层、地层的确定

图 8.6 中已经列出了供电源层或地层使用的六层，这一步将进一步确定电源层和地层分别位于哪些层。

第八、九层位于 PCB 的中央，紧密相邻，一层作为电源层，另一层作为地层，能起到很好的耦合效果。考虑到需分割的电源层（由四种电源共用）的电源平面较零碎，更需要与完整的地平面的耦合，因此，可确定第八层为地层、第九层为分割的电源层。

第二、十五层直接与表层相邻，从 EMC 的角度考虑，应选择为地层。

第五、十二层用作为 2.5V 和 3.3V 的电源平面。

在确定好电源层和地层后，还需相应地为信号层制定如下规则：

① 第十层的主要参考平面是第九层，而第九层是分割的电源层，对信号回流的影响较大，因此不建议在第十层走高速信号，对于一些非重要的信号，如控制信号、JTAG 信号等，由于它们的阻抗控制要求较弱，可走在第十层。

② 第七层的主要参考平面是第八层，第八层是完整的地平面，可为第七层提供很好的回流路径，但这两层之间填充的材质是 PP，PCB 制成后，在阻抗控制上可能存在一定偏差，因此，第七层可走高速信号，但对一些非常关键的高速信号，如单板上速率达到 400MHz 的差分对总线 SPI4.2，不建议走在第七层。

③ 第三层的主要参考平面是第二层，而第二层是完整的地平面，且两层之间采用固态材质填充，阻抗控制较好，适于走高速关键信号，同理，第十四层也适于走高速关键信号。

④ 第四层的主要参考平面是第五层，第五层是完整的 2.5V 电源平面，两层之间用固态材质填充，可将高速关键信号走在第四层，同时在本设计中，有大量的 DDR SDRAM 接口信号线，其中，DDR SDRAM 的地址、控制信号等都以 2.5V 为参考，建议将这些信号也走在第四层。

⑤ 第十三层的主要参考平面是第十二层，第十二层是完整的 3.3V 电源平面，两层之间用固态材质填充，高速关键信号可走在第十三层，同时，建议将由 3.3V 供电的许多单端信号，如时钟信号等，走在第十三层。

⑥ 第六、十一层的主要参考平面分别是第五、十二层，与参考平面之间用 PP 填充，阻抗控制可能存在偏差，因此，在这两层上可走高速信号，但不建议走非常关键的高速信号。

⑦ 设计时需注意，第三、四层，第六、七层，第十、十一层，第十三、十四层，这四对信号层彼此相邻，存在互相干扰的可能，因此在走线时，相邻信号层应正交走线，如第三层走线方向成横向，则第四层走线应成纵向。

#### 理解要点：

- ① 制作多层板时，需配合使用 Core 和 PP 这两种材质。
- ② 层叠结构设计的先决条件有：层数、厚度、信号目标阻抗、材质介电常数。
- ③ 层叠结构设计的目标有：其一，获得信号层、电源层、地层的排列顺序；其二，获得信号层、电源层、地层、以及填充层的厚度；其三，获得单端信号的线宽，差分对信号的线宽以及对内线间距。



## 8.3 高速电路 PCB 设计要点

### 8.3.1 PCB 设计与信号完整性

随着电子技术的发展，电路的规模越来越大，单个器件集成的功能越来越多，速率越来越高，而器件的尺寸越来越小。由于器件尺寸的减小，器件引脚信号变化沿的速率变得越来越高，以致 SI (Signal Integrity, 信号完整性) 问题成为高速电路设计中必须面对的主要问题。

一般而言，SI 与以下几个因素有关：反射、串扰、辐射。反射是由信号传输路径上的阻抗不连续造成的；串扰与信号的间距有关；而辐射则与高速器件自身以及 PCB 设计均有关。

以下将分几点探讨如何保证高速电路设计的信号完整性。

#### 1. 信号的阻抗匹配

信号的阻抗匹配是影响信号完整性最主要的因素。

首先讨论什么样的信号需要考虑阻抗匹配。在第 1 章已经提到，信号的有效频率  $F_{\text{knee}}$  取决于信号的边沿速率，当信号的有效频率  $F_{\text{knee}}$  比较低，使得信号的有效波长  $\lambda_{\text{knee}}$  大于信号走线长度的 6 倍时，该信号线路可被视为集总式，即，在某一特定时刻，信号线上任一点的电平状态都近似相同，否则，该信号线路应被视为分布式，信号线的走线以传输线来对待。

#### 【案例 8-2】 传输线的判断

判断以下信号的走线是否属于传输线。

信号 1：周期频率 100MHz，上升沿时间 2ns，走线长度 6in（英寸）。

信号 2：周期频率 10MHz，上升沿时间 0.5ns，走线长度 6in。

#### 【讨论】

根据第 1 章介绍的  $F_{\text{knee}}$  和  $\lambda_{\text{knee}}$  计算公式，可得：

对信号 1：

$$\begin{aligned} F_{\text{knee}} &= 0.5 / 2\text{ns} = 250\text{MHz} \\ \lambda_{\text{knee}} &= C / F_{\text{knee}} = (3 \times 10^8 \text{m/s}) / 250\text{MHz} = 1.2\text{m} = 47\text{in} \end{aligned} \quad (8.1)$$

对信号 2：

$$\begin{aligned} F_{\text{knee}} &= 0.5 / 0.5\text{ns} = 1000\text{MHz} \\ \lambda_{\text{knee}} &= C / F_{\text{knee}} = (3 \times 10^8 \text{m/s}) / 1000\text{MHz} = 0.3\text{m} = 12\text{in} \end{aligned} \quad (8.2)$$

其中，1m = 39.37in。

信号 1 走线长度为 6in，小于  $\lambda_{\text{knee}}$  的 1/6，因此可以视为非传输线。信号 2 走线长度同样为 6in，大于  $\lambda_{\text{knee}}$  的 1/6，在设计时，应视为传输线。

对于传输线，必须考虑在信号传输路径上阻抗不匹配而带来的反射。信号的反射可利用反射系数  $\rho$  计算：



$$\rho = (Z_2 - Z_1) / (Z_2 + Z_1) \quad (8.3)$$

式中  $Z_2$ ——反射点之后的线路阻抗；  
 $Z_1$ ——反射点之前的线路阻抗。

### 【案例 8.3】 反射的计算

信号的发送端在 A 点，接收端在 B 点，信号线为传输线，如图 8.10 所示，A 点到 B 点的走线传输延时为 5ns，信号输出电平为 3.3V。发送端器件的输出阻抗和传输线阻抗都是  $50\Omega$ ，则在接收端器件的输入阻抗为  $0\Omega$  和无穷大的两种情况下，A 点波形分别如何？



图 8.10 反射计算示例图

#### 【讨论】

在 A 点，由于发送端器件输出阻抗和传输线阻抗都是  $50\Omega$ ，因此在 A 点存在分压，信号电平为发送端输出电平的一半，即 1.65V。

当接收端器件的输入阻抗为  $0\Omega$  时，

$$\rho = (0-50) / (0+50) = -1 \quad (8.4)$$

$\rho=-1$ ，表示在 B 点，信号将以反向电平而全反射，即反射电平为 -1.65V。

反射信号回到 A 点后，

$$\rho = (50-50) / (50+50) = 0 \quad (8.5)$$

$\rho=0$ ，表示在 A 点，信号全部被吸收而不再发生反射。

因此，A 点波形图如图 8.11 所示。

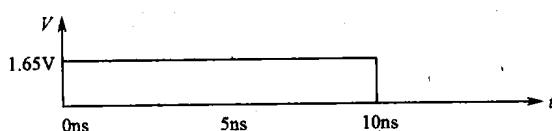


图 8.11 反射示例 A 点波形 1

当接收端器件的输入阻抗为无穷大时，

$$\rho = (\infty-50) / (\infty+50) = 1 \quad (8.6)$$

$\rho=1$ ，表示在 B 点，信号将以正向电平而全反射，即反射电平为 1.65V。

反射信号回到 A 点后，同样全部被吸收而不再发生反射。

因此，A 点波形图如图 8.12 所示。

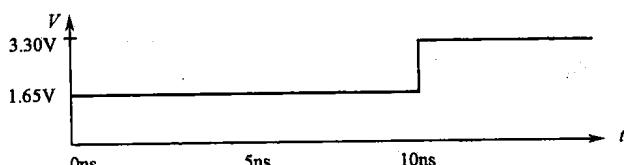


图 8.12 反射示例 A 点波形 2



始端、传输路径、终端阻抗的不匹配，都会造成信号的反射。为减小反射，需尽可能地减小反射系数 $\rho$ ，即要求 $Z_2$ 尽可能地等于 $Z_1$ 。通过在电路上增加元器件以减小 $\rho$ 的方法，称为阻抗匹配设计。电路设计中常用的匹配方式有五种：发送端串联匹配、接收端并联匹配、接收端分压匹配、接收端阻容并联匹配、接收端二极管并联匹配，如图 8.13 所示。

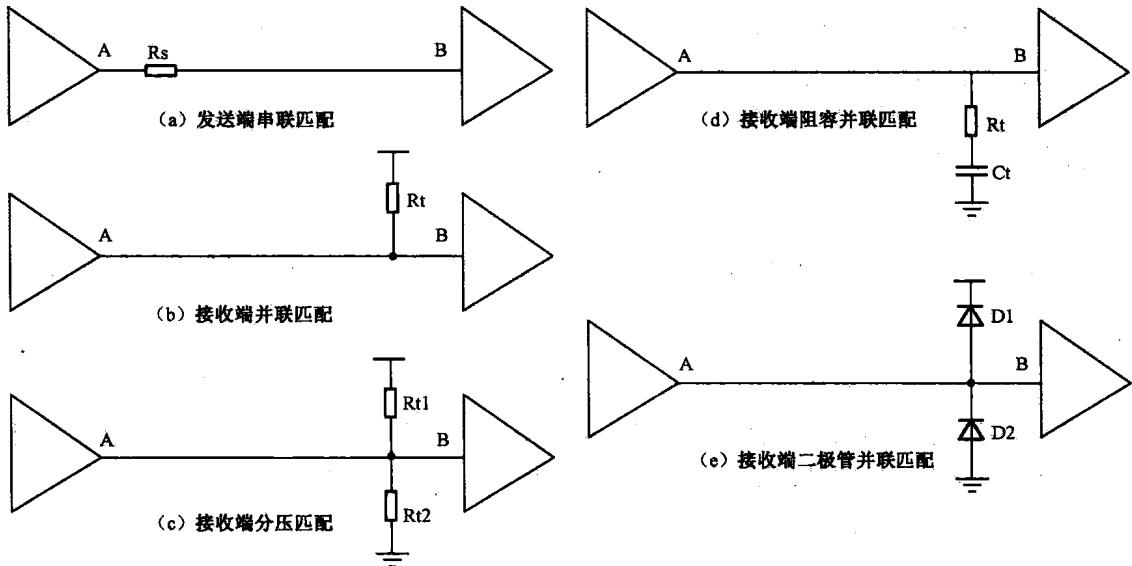


图 8.13 五种阻抗匹配方法

### 1) 发送端串联匹配

单点对单点的信号连接，应采用发送端串联匹配。该匹配方式使发送端器件输出阻抗与发送端匹配电阻 $R_s$ 的和，近似地等于传输线阻抗。这种匹配方式只是实现了发送端的匹配，由以上案例可知，信号传输路径上的电平约为驱动电平的一半，而接收端器件阻抗较大，反射系数 $\rho$ 近似为 1，从而造成在接收端的全反射，全反射后接收端电平正好等于发送端的驱动电平。

**优点：**发送端匹配不会引起额外的功耗；匹配方式简单，且不会增加信号线路的 stub (stub: 分叉)。

**缺点：**一般仅适用于点对点的信号；受发送端分压的影响，传输路径上的电平低于驱动电平，在接收端，必须依靠反射才能恢复电平；另一方面，匹配电阻 $R_s$ 的存在将使信号的边沿变缓，在时序裕量较小的场合下，应权衡选择 $R_s$ 的阻值。

需补充说明的是，若采用发送端串联匹配实现单点对多点的连接，走线应成菊花链式，如图 8.14 所示。

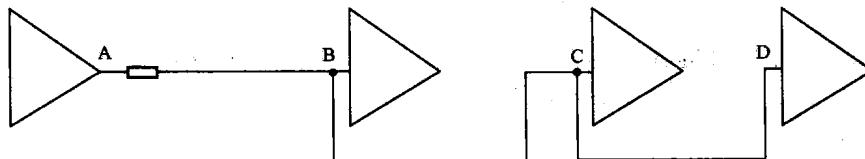


图 8.14 单点对多点的串联匹配方式



由于串联匹配需通过反射才能在接收端建立电平，图 8.14 中，D 点的电平最先建立，而 A 点最晚，从时序裕量的方面考虑，D 点最好，然后依次是 C、B。

### 2) 接收端并联匹配

接收端并联匹配适用于单点对多点的连接，与发送端匹配不同，接收端匹配无须借助反射以建立电平，通过使匹配电阻  $R_t$  的阻值等于传输线阻抗，可实现接收端的阻抗匹配。

**优点：**不会影响信号的边沿速率。

**缺点：**需要在电阻  $R_t$  上消耗一定的功率；在接收端，相对电平判决门限，很容易出现高、低电平不对称的现象。

### 3) 接收端分压匹配

这是 LVPECL 等高速电平常用的匹配方式，对匹配电阻  $R_{t1}$  和  $R_{t2}$  的取值，请参考第 3 章相关内容。

**优点：**不影响信号的边沿速率；较容易实现接收端高、低电平相对门限电平的对称分布；可满足接收端对共模偏置电平的要求。

**缺点：**需要在电阻  $R_{t1}$  和  $R_{t2}$  上消耗一定的功率，当采用接收端分压匹配方式的信号数目较多时，在功耗评估的过程中，不能忽略匹配电阻上的功耗。

### 4) 接收端阻容并联匹配

在图 8.13 (b)、(c) 的匹配方式中，接收端匹配电阻与电源或地之间直接相连，存在直流通路，产生了一定的功耗，而在阻容并联匹配中，电容  $C_t$  可阻断该通路，有效地减小了功耗，一般取  $R_t$  的阻值与传输线阻抗近似相等， $C_t$  选取几十至几百皮法的陶瓷电容即可。

**优点：**相对其他接收端匹配方式，功耗较小。

**缺点：**与图 8.13 (b) 中的匹配方式类似，同样存在接收端高、低电平不对称的问题；另一方面，由于  $C_t$  的存在，将使信号的边沿变缓。

### 5) 接收端二极管并联匹配

严格来说，二极管并联匹配只能实现对接收端器件的保护，而无法实现阻抗匹配。当在传输线路上存在阻抗不匹配时，接收端信号可能存在过冲，对器件的使用寿命构成影响。二极管能有效地对过冲电平进行钳位，从而实现了对接收端器件的保护。

一般而言，在许多器件的输入端，片内已内置了类似的并联二极管，在这种情况下，设计时，不再需要外加二极管。

**优点：**保护接收端器件的输入端口。

**缺点：**无法消除反射；且在功能上，受限于二极管的开关速度。

## 【案例 8.4】 DDR SDRAM 设计时，终端电阻 $R_{TT}$ 布放位置的选择

在第 7 章对 DDR SDRAM 的介绍中提到，地址、数据信号线在接收端需通过终端电阻  $R_{TT}$  上拉至电源  $V_{TT}$ ，那么， $R_{TT}$  应布放在接收端器件引脚之前还是之后？

### 【讨论】

本案例对  $R_{TT}$  布放位置的讨论，实际上是一个阻抗匹配的问题，如图 8.15 所示。在方



式1中,  $R_{TT}$ 的上拉路径对于信号线而言, 相当于 stub(走线分叉), 对信号完整性有一定影响; 在方式2中,  $R_{TT}$ 的上拉路径与信号线属于同一路径, 并不构成 stub, 且  $R_{TT}$ 作为路径的终端, 只要满足  $R_{TT}$ 与传输线阻抗相等的条件, 则不会发生反射, 不影响接收端的信号完整性。

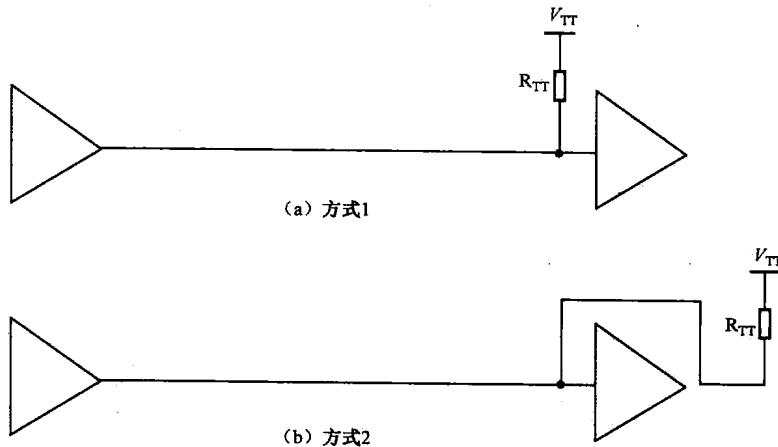


图 8.15  $R_{TT}$  布放位置的选择

## 2. 信号回路

在上一节的讨论中提到, 对层叠结构的设计, 很重要的一点就是要保证高速信号的回流, 本小节将就这一点展开深入的讨论。

如图 8.16 所示, 信号的传输路径是由两条方向相反的路径构成, 一条是驱动路径, 由发送端指向接收端, 一条是返回路径, 由接收端指向发送端。在发送端、传输路径、接收端测得的信号电平, 实质上是该信号在驱动路径和返回路径上对应位置的电压值, 由此可以看出, 对于信号完整性, 这两条路径同样重要。

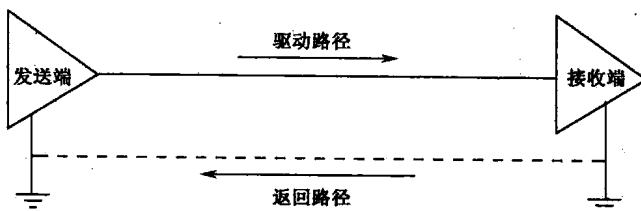


图 8.16 信号回路

信号传输时, 驱动路径即为信号的 PCB 走线, 返回时则选择与驱动路径阻抗最小的路径。需注意的是, 这里提到的是“阻抗”而不是“电阻”, 即, 返回路径选择的是满足式 8.7 最小值的路径, 对这条路径的选择, 除考虑直流电阻外, 还需考虑工作频率下回路的寄生电感和电容所产生的阻抗:

$$Z=R+j\omega L+1/(j\omega C) \quad (8.7)$$

返回路径的选择方式如图 8.17 所示。

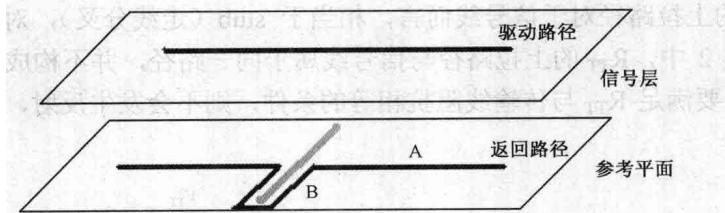


图 8.17 返回路径的选择

信号层的信号将寻找与自身阻抗最小的层作为参考平面，由上一节对阻抗的计算可知，与该信号层距离越近、且平面越完整的层，将被选为参考平面。在参考平面上，返回路径的选择仍将遵循与驱动路径阻抗最小的原则：

在 A 段，参考平面完整，返回路径完全平行于驱动路径。

在 B 段，参考平面存在一条间隙，该间隙与 A 段所处区域的电气性质不同，且与 A 区域之间通过无电气属性的材质隔离，这使得返回路径被迫绕道而行，因此，在 B 段，返回路径与驱动路径之间的阻抗将相对 A 段而增大，从而造成信号路径上阻抗的不连续。阻抗不连续的问题已经在前文讨论过，简要地说，阻抗不连续将造成信号电平的突变，而这种突变，又会带来信号完整性、EMI 等各方面的问题。除阻抗不连续外，B 段存在的另一个问题是信号返回路径上的串扰，由于间隙的存在，许多驱动路径与图示信号平行的其他信号，返回时阻抗最小的路径都是 B 段，使 B 段成为串扰的集中点，这同样不利于信号完整性。

信号回路与参考平面的选择密切相关，一般而言，高速信号应选择完整的地平面作为参考平面，如果受层叠结构的限制，高速信号所在层距离地层较远，也应选择完整的电源平面作为参考平面。若受布局和布线的限制，PCB 上无法提供完整的地平面或电源平面，那么至少应确保与高速信号驱动路径相对应的返回路径上无电气间断。

众所周知，完整的地平面是最好的参考平面，那么完整的电源平面是否可以起到同样的效果？

对多数信号而言，信号必须回到发送端器件的 GND 才能完成回路，若参考平面为电源平面，则信号的返回路径为电源层，到达发送端后，还需由电源平面回到地平面才能完成回路，若电源层与地层之间距离较近，耦合大且阻抗小（事实上，减小两层之间介质的厚度是减小阻抗最有效的方法），则这种回流方式与以地平面为回流的方式几乎没有差别，但若该电源层与地层之间的耦合较差，造成阻抗偏大（例如，该电源层与附近的地层相距较远），则该阻抗对信号的回流存在一定的影响，对于这种情况，以电源平面为回流的方式达不到以地平面为回流方式的效果。需要注意的是，这一规则存在某些特例，例如，某些高速总线，如 DDR SDRAM 的控制、地址信号，建议以 2.5V 电源而不是地平面作为参考。

对于差分对信号，对内两信号互为对方提供返回路径，因此差分对内两信号之间的耦合非常重要。既然如此，是否可以说差分对与附近参考平面之间无需紧耦合？答案是否定的，受限于器件工艺、PCB 走线等因素，对内两信号无法实现完全的对称，不可避免地存在共模分量，这部分共模分量需要通过参考平面实现回流，因此，对于差分对信号而言，与参考平面的紧耦合也同样重要。

以下继续讨论信号换层对返回路径的影响。

如图 8.18 所示，以一个十二层板为例，说明信号换层时返回路径的选择。

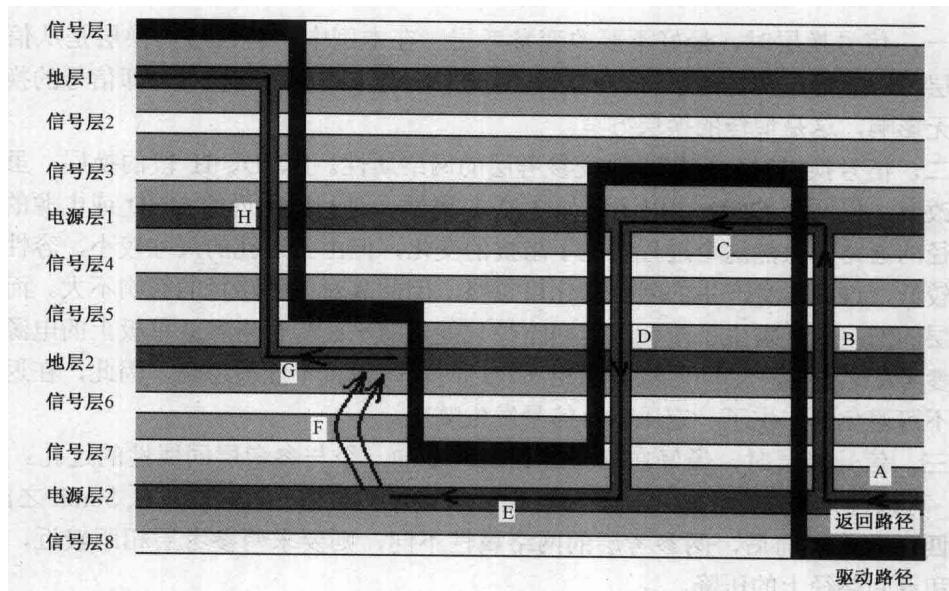


图 8.18 信号换层时返回路径示例

该板有八层信号层，另有两层地层和两层电源层，这是高速电路设计中常见的层叠结构。图示信号通过过孔共经过了四次换层，这也是高密度电路设计常见的。为简便起见，假设两个电源层的网络相同（例如，都是3.3V的电源平面），且电源层和地层都是完整、无分割的平面。

图8.18中，返回路径与驱动路径的方向相反，各段返回路径说明如下：

**A段：**驱动路径位于信号层8，其最近的参考层是电源层2，因此，返回路径A段位于电源层2。

**B段：**驱动路径发生了换层，由信号层3换到信号层8，与信号层3最近的参考层是电源层1，换层前后参考层的网络属性相同，因此，返回路径可借助信号驱动路径附近的电源过孔实现。

**C段：**驱动路径位于信号层3，电源层1作为其参考层。

**D段：**驱动路径发生了换层，由信号层7换到信号层3，与信号层7最近的参考层是电源层2，换层前后参考层的网络属性相同，与B段类似，返回路径借助驱动路径附近的电源过孔实现。

**E段：**驱动路径位于信号层7，电源层2作为其参考层。

**F段：**驱动路径发生了换层，由信号层5换到信号层7，与信号层5最近的参考层是地层2，换层前后参考层的网络属性不同，返回路径无法借助过孔实现，只能利用电源层2和地层2之间的平面耦合电容以及电源的去耦电容形成通路。

**G段：**驱动路径位于信号层5，地层2作为其参考层。

**H段：**驱动路径发生了换层，由信号层1换到信号层5，与信号层1最近的参考层是地层1，换层前后参考层的网络属性相同，与B段类似，返回路径借助驱动路径附近的地过孔实现。

由以上的讨论可以看出，信号换层时，其返回路径同样需要更换参考层，有以下要点需要注意：



**要点一**, 信号换层时, 最好不要改变参考层。在本例中, 若信号的换层是从信号层 1 换到信号层 2, 参考层都是地层 1, 在这种情况下, 返回路径无需换层, 即信号的换层对其返回路径无影响, 这是最佳的换层方案。

**要点二**, 信号换层时, 最好不改变参考层的网络属性。B、D、H 段的换层, 虽然参考层发生了改变, 但同为 GND 或电源(如 3.3V)属性, 可利用附近的 GND 或电源的过孔实现返回路径的通路, 虽然这个过程发生了阻抗的变化, 但由于过孔的尺寸较小, 容性、感性寄生成分较低, 过孔本身产生的阻抗变化可忽略, 因此其对返回路径的影响不大。而对于 F 段, 参考层的网络属性发生了改变, 返回路径只能借助平面耦合电容或单板上的电源耦合电容, 且两参考层之间存在层间阻抗, 当距离较远时, 该阻抗不能被忽略, 因此, 在返回路径通过时, 不可避免地产生了一定压降, 信号发生畸变。

**要点三**, 信号换层时, 最好在信号过孔附近增加一个与参考层同属性的过孔。在 B、D、H 段, 对该过孔的作用已做了讨论, 一般要求该过孔与信号过孔距离在 50mil 之内。

**要点四**, 若换层前后, 两参考层的网络属性不同, 则要求两参考层相距较近, 以减小层间阻抗和返回路径上的压降。

**要点五**, 当换层的信号较密集时, 附加的地或电源过孔之间应保持一定距离。在第三点提到, 信号换层时, 信号过孔附近应增加地或电源过孔, 当换层的信号很多时, 一个地或电源过孔是不够的, 需多打几个过孔, 若这些过孔相邻较近, 则信号回路上会产生串扰, 返回路径上的串扰和驱动路径上的串扰对信号完整性的影响是相同的。尤其需要注意的是, 由于信号的驱动路径是 PCB 上实际存在的走线, 设计者往往对驱动路径上的串扰分析得比较多, 而忽视了对返回路径的分析, 事实上, 信号的返回路径也是很容易出现信号完整性问题的地方。

### 3. 地弹

第 1 章已经提到, 高速领域应采用分布式的视角来看待器件、走线等。

如图 8.19 所示是某高速器件的引脚示意图。器件的核心单元称为 Die, Die 一般较小, 而器件所需的输入/输出接口数目较多, 因此, 在器件封装内, 由引线连接 Die 与器件的外壳。在许多器件的表面, 可以看到图中的这种引线。

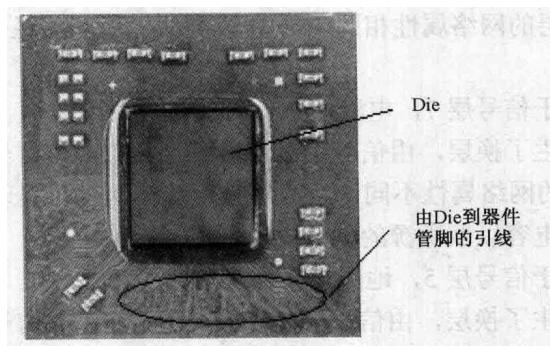


图 8.19 Die 以及 Die 到器件引脚的引线

在高速工作的条件下, Die 到器件引脚的这部分引线, 其寄生感性将表现出很强的阻抗, 频率越高, 阻抗越大。



如图 8.20 所示为高速器件电源和地引脚的寄生电感示意图。从器件内核 Die 到 PCB 的电源、地平面，器件封装内的引线电感  $L_{pkg}$ 、器件引脚到平面的走线电感  $L_{pcb}$  不可忽略，在工作频率很高的情况下，其表现出较大的阻抗，而电流的任何变化，将通过该阻抗转化为电平的波动。这种器件内核所感知到的电源或地相对 PCB 电源或地平面的电平波动称为地弹。由于地弹的存在，即便 PCB 上电源和地平面十分完美，器件内核的信号完整性仍然无法得到保证，更为重要的是，地弹是 EMI 的主要源头之一，若在电路设计中没有充分地考虑地弹的影响，到设计完成进行 EMC 测试时，往往你会发现，面对由地弹引起的 EMI 问题，需增加大量的抗干扰器件，不仅提高了成本，而且某些问题还需改板才能得到解决。

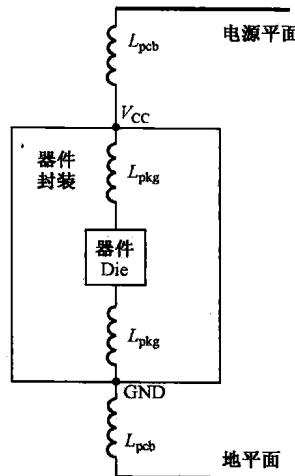


图 8.20 寄生电感引起的地弹

在高速设计时，电路设计者无法减小器件封装内部的引线阻抗，但仍可以通过以下措施减小地弹的影响。

**措施一**，对 BGA 封装的器件，在表层，通过极短的走线将器件的电源、地引脚扇出，再通过过孔与内层的电源、地平面相连；对表贴封装的器件，如 SO、TQSP 等封装，也应将电源、地引脚与电源、地平面就近相连，连接线应采用较粗的走线或是就近打过孔。

**措施二**，数据传输尽可能地采用扰码技术，避免出现多数数据引脚电平同时翻转的现象。器件高速工作时，若同时发生电平翻转的引脚很多，将产生很大的电流，而地弹电压波动等于电流与阻抗的乘积，电流越大，地弹越大，由多数数据引脚电平翻转造成地弹噪声，称为 SSO (Simultaneous Switching Noise，同步开关噪声)，通过扰码，可将接口信号调制成为杂乱无章的码型，达到减小 SSO 的效果。

**措施三**，返回路径的阻抗越大，地弹噪声越大。因此，保持信号回路的低阻抗，同样有利于减小地弹。

#### 4. 串扰

串扰 (Crosstalk) 是指信号线之间由互感、互容而引起的耦合，由于这种耦合的存在，当某一信号线发生电平的翻转时，在附近的信号线上将感应到一定程度的噪声。

在电路设计中，常用的抑制串扰的方法有以下几点。



### 1) 控制高速信号线之间的间距和平行走线的长度

多个高速信号长距离平行走线时，其间距应遵循 3W 原则，如图 8.21 所示。

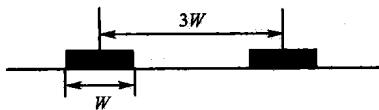


图 8.21 3W 原则

3W 原则指两相邻信号线的中心距不少于信号线宽度的 3 倍，当满足 3W 原则时，信号线之间由互感、互容而产生的互扰可减少 70%。

3W 原则不仅适用于对同一层信号线之间间距的约束，对相邻层的信号也同样适用，而这一点往往很容易被忽略的。为避免相邻层的信号走线间距过小，一般建议交叉走线，如图 8.22 所示。

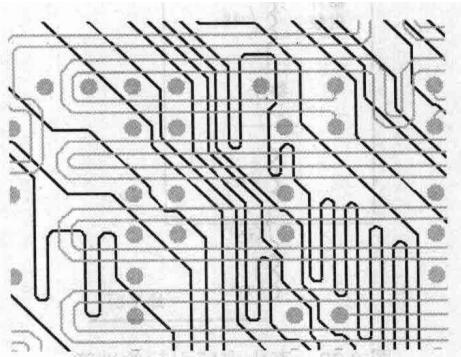


图 8.22 相邻层的交叉走线

事实上，随着电路板密度的增加，往往无法保证所有信号线之间的间距都满足 3W 原则，一般地，对速率极高、对干扰极敏感的信号，如高速时钟，其与附近信号的间距，必须满足 3W 原则，对无法满足 3W 原则的高速信号，应做仿真实验予以验证。

### 【案例 8.5】 大驱动电流信号对高速数据信号的串扰

某单板在测试时发现 CPU 与 DDR SDRAM 之间的存储接口数据出错，运行底层驱动程序，可证实出错的位是 DQ[19]。

#### 【讨论】

该单板为 16 层板，根据第 7 章的介绍，PCB 设计时应对 DDR SDRAM 的数据总线分组，同组信号走在同一层，DQ[19]所在的组是 DQ[16:23]，该组走线在第七层。在第七层附近，第六层是信号层，第八层是参考地平面。检查第七层的走线，DQ[19]信号的走线与该组其他信号类似，没有发现明显的区别，第八层是完整的参考平面，因此问题不在第七、八层。

同时打开第六、七两层，发现在第六层上，与第七层的 DQ19 平行地紧贴着，有一根 DC/DC 电源电路的栅极驱动信号，估计问题的根源正是该信号对 DQ19 的串扰。调试时，将栅极驱动信号的源端串阻去掉，从而阻断了 PCB 上的栅极驱动路径，取而代之的是，利用飞线连接电源芯片的 GATE 引脚与 MOSFET 的栅极，重新测试，不再出现存储错误。



## 【拓展】

设计者在对串扰问题的检查时，很容易忽略两点：

其一，只对同一层信号的间距进行检查，而忽视了相邻信号层的信号。

其二，只对高速信号的间距进行检查，忽视了低速但有较高驱动能力的信号。本例就是这样的一个案例，在第4章对MOSFET的介绍中已经提到，MOSFET的栅极驱动信号是有一定电流驱动能力的信号，且在DC/DC电源工作的过程中，该信号将以数百kHz的频率进行翻转，虽不属于高速信号，但由于该信号的驱动能力较强，其对附近其他信号的串扰不能忽略。

### 2) 降低信号的边沿速率

在第1章已经提到，高速信号的有效频率取决于信号的边沿速率而不是周期频率，因此信号边沿速率越高，相应地，有效频率也越高，而信号有效频率越高，越容易对附近信号产生耦合，进而造成串扰。

需补充说明的是，信号的边沿速率（或有效频率）不仅与串扰有关，还与信号完整性的其他方面以及EMC密切相关。

其一，现实中的信号由多种频率分量构成，在这些分量中，频率越高的分量，由PCB材质和趋肤效应引起的损耗越大，因此，在信号的传输过程中，高频分量的衰减远高于低频分量，从而，在接收端将出现信号边沿变缓的现象，如图8.23所示。



图8.23 信号的高频分量的衰减大于低频分量

信号的频率越高，设计时越不能忽略传输路径上损耗的问题。在图8.6所示的层叠结构示例中，内层差分对信号的线宽和线间距分别选择为4mil和6mil，普通的差分对信号可直接应用该规则，而对于极高频差分对信号，如3.125GHz的XAUI信号、10GHz的XFI信号等，出于高频损耗的考虑，应加大线宽（线宽越宽，衰减越小），为达到同样的目标阻抗，同时还应增大这类极高频差分对信号的线间距。即根据工作频率的不同，可为同一单板的差分对信号设置不同的线宽和线间距规则，在满足单板总厚度和目标阻抗的前提下，对普通差分对信号，从节省PCB面积的方面考虑，可选择较窄的线宽和线间距，对极高频的差分对信号，从高频信号衰减的方面考虑，应选择宽一些的线宽和线间距。因此，初学者有时候会发现，在一块PCB上，高频差分对信号的线间距反而比普通差分对信号的线间距大，正是这个原因。

其二，信号的有效频率越高，产生EMI问题的可能性越大。

其三，由第1章可知，判断信号线是否属于传输线的依据是信号的有效频率，而信号的有效频率取决于边沿速率。因此，信号的边沿速率越高，越容易产生传输线效应，进而影响信号的完整性。

其四，信号边沿速率过高，产生过冲的可能性也越大，信号过冲超过一定范围，可能损坏器件或使CMOS工艺的器件闩锁。



基于以上原因，从信号完整性以及 EMC 等方面考虑，希望信号的边沿速率低一些，但边沿速率的降低，又会导致时序裕量的减少，所以从时序方面考虑，又希望信号的边沿速率高一些。

许多高速器件，如 DDR SDRAM 等，内部有寄存器以设置不同的边沿速率，在设计中，需均衡考虑信号完整性、EMC、时序等方面，以正确地选择边沿速率。

需要说明的是，对于信号边沿速率，设计者往往关注的都是上升沿，事实上，信号的下降沿速率一般要高于上升沿。其原因在于，CMOS 器件的输出端一般由 NMOS 和 PMOS 互补地搭建而成，输出信号上升沿，即电平由低变高时，NMOS 关断而 PMOS 导通，反之，在输出信号的下降沿，NMOS 导通而 PMOS 关断，由于 NMOS 比 PMOS 导通的速度更快，因此信号的下降沿速率一般高于上升沿。从这一点来看，信号的下降沿更容易出现信号完整性的问题。<sup>[57]</sup>

### 【案例 8-6】 高速接口器件批次更换造成辐射超标

某单板上接口器件的批次被更改后，EMC 测试发现辐射超标。

#### 【讨论】

利用示波器测量新批次接口器件的信号，发现信号的边沿速率快于以前的批次，使得接口部分的 EMC 性能发生恶化。

#### 【拓展】

对于高速电路设计，由于工艺升级而造成的器件批次更新，测试时需仔细验证电源、信号的完整性，对于用户接口器件，还需进行 EMC、防护等测试。

#### 3) 降低阻抗

减小信号层与参考层之间的阻抗、实现高速信号的阻抗匹配，同样有助于减小信号间的串扰。

## 5. 微带线和带状线的应用

微带线（Microstrip）指走线在 PCB 表层，且仅与一个参考层相邻的信号线。

带状线（Stripline）指走线在 PCB 内层，位于两个参考层之间的信号线。

图 8.6 中第一层和第十六层的走线为微带线，其参考层分别为第二层和第十五层，而第六层就属于带状线，其参考层为第五、八层。

微带线介于两种材质之间，一种是空气，其  $E_r$  值略大于 1；另一种是 PCB 材质， $E_r$  值一般处于 3.5~4.5 之间。

#### (1) 微带线的特性。

① 层叠结构的设计无法准确地保证对微带线的阻抗控制。

② 介电常数越小，支持的信号传输速率越高，因此，微带线的传输速率略高于带状线。

③ 微带线直接走线于表层，无法有效地避免其对外界的辐射，同时以微带线走线的信号，抗干扰能力也较弱。

#### (2) 带状线的特性。



- ① 易于实现对信号的阻抗控制。
- ② 信号传输速率略低于微带线。
- ③ 带状线处于两个参考层之间，能有效地屏蔽辐射，且信号的抗干扰能力更强。

在设计中，高速信号的走线应尽量采用带状线而不是微带线。同时，若信号的驱动路径既包含微带线又包含带状线，需注意，微带线的传输速率略高一些，在时序裕量较小的场合，应对微带线部分和带状线部分分别计算走线延时。

## 6. 盲孔、埋孔技术

### 1) 盲孔、埋孔的优势

如图 8.24 所示，相对于通孔（Through hole via），盲孔（Blind via）、埋孔（Buried via）有如下优势。

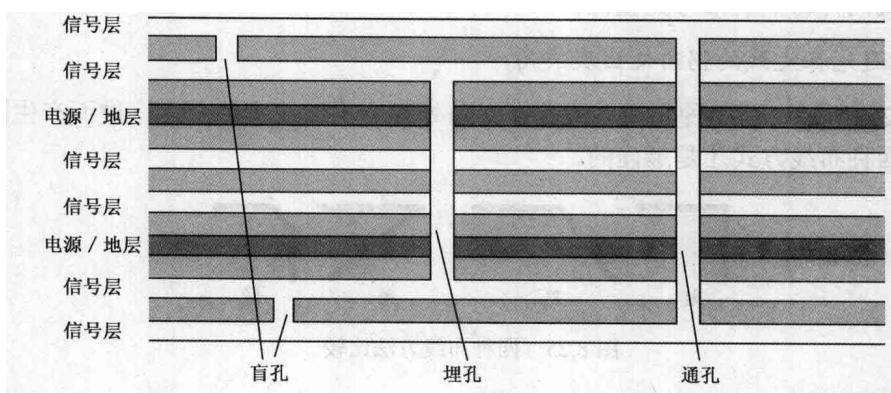


图 8.24 盲孔、埋孔和通孔

(1) 盲孔、埋孔的出现，使更高密度的单板成为可能。随着器件性能的不断提高，高速器件的信号接口越来越复杂，引脚数在 1000 以上的器件比比皆是，若使用传统的通孔作为信号过孔，则要求较多的层数，而一般而言，单板的厚度都有一定的限度，因此，在总厚度一定的前提下，信号层的层数不可能无止境地增加。而基于盲孔、埋孔，在信号层上，能走线的区域得以增加，层数可以相对地减少，在总层数一定的前提下，单板所能支持的设计复杂度得到增加。

(2) 盲孔、埋孔有助于提高信号完整性。原因有二：其一，过孔都存在一定的感性、容性等寄生参数，相对于通孔，盲孔、埋孔的孔径、深度都较小，因此，寄生参数也比较小，仿真可验证，信号过孔采用盲孔、埋孔后，其寄生的感性、容性参数尚不及通孔的十分之一，能极大地减小高频下过孔的阻抗，更好地保持信号传输路径阻抗的连续性；其二，盲孔、埋孔有助于减小信号线的 stub（分叉）；其三，盲孔、埋孔有助于获得更完整的电源、地参考平面。

### 2) 在盲孔、埋孔的应用中需要注意的问题

(1) 对盲孔、埋孔的应用，并不能随心所欲，必须与 PCB 生产厂家沟通可生产性以及成本。图 8.24 以八层板为例，若该单板同时要求 1~6 层的盲孔以及 3~8 层的盲孔，在 PCB 生产方面，将存在很大的难度。



(2) 盲孔、埋孔有助于减少单板的总层数，但不一定能降低总成本，相反，由于盲孔、埋孔对生产的工艺和流程有特殊的要求，很可能需要增加成本。

(3) 应用盲孔、埋孔时，稍有不慎，反而可能对信号的完整性构成影响。在常规设计中，器件的电源、地引脚需通过通孔与内层的电源、地平面相连，这种做法，虽影响了平面的完整性，但却有利于各层电源或地的紧耦合。图 8.6 示例的十六层板，第二、八、十五层都是地层，虽然它们的网络属性相同，却还需依赖过孔才能实现这三层的同一性，使用盲孔、埋孔后，表层器件的某些地过孔只需要通过 1~2 层的盲孔与第二层地平面相连，从而减少了连接二、八、十五层的过孔，在极端情况下，三个地层之间可能出现松耦合，进而影响以地层为参考层的信号的完整性。

## 7. 布线

布线方式同样影响着信号完整性。

### 1) 尽量避免在走线的拐角处出现尖角

如图 8.25 所示，前三种布线方式，在拐角处都会出现线宽的变化，进而产生阻抗的变化，只有第四种布线方式才是最佳的。

图 8.25 四种布线方法比较

另外，布线中的这种尖角，在信号速率极高（如 3.125GHz 的 XAUI、10GHz 的 XFI 等信号）的应用中，将构成 EMI 的源头。

### 2) 尽量避免布线过程中线宽的变化

线宽的变化会造成阻抗的不连续，但在某些走线过程中不得不减小线宽，例如，走线从 BGA 封装的器件扇出时，线宽无法达到根据阻抗计算得出的宽度，只有走线出 BGA 区域后，才能恢复宽度，这就存在一个线宽变化的问题。

一般而言，若扇出时的走线长度较短，且信号速率不是特别高，则影响可忽略。但对极高速信号（如 3.125GHz 以上的信号），应寻找最近的路径扇出，且厂家在芯片设计时，一般也会注意将极高速信号的引脚排列在芯片的边缘，减少扇出的路径长度。

### 3) 蛇形线

在设计时，为了满足时序的要求，经常需绕线以满足信号的长度。蛇形线是绕线时常用的手段。图 8.22 中的信号的走线就采用了蛇形线。

应用蛇形线时，需重点关注两个要素：平行线段的长度和线段之间的间距。这两个要素对信号完整性和时序都有影响。

平行线段之间会产生耦合，距离越近，平行长度越长，耦合越强，在前面对串扰的讨论中，已经介绍了这种耦合对信号完整性的影响。同时，信号的一部分高频分量将选择与蛇形线绕线垂直的方向传输，导致这部分分量提前到达终端，对接收端的时序和信号完整性造成影响。



因此，对蛇形线的应用，需注意两点，其一，仍然要求满足 3W 原则；其二，高频关键信号尽量不走蛇形线。

#### 4) 谨慎控制高速信号过孔的数目

过孔本身也是一种容性负载，信号线上过孔过多，会降低信号的边沿速率，产生时序方面的问题。同时，过孔也是造成阻抗不连续的因素之一。因此，高速信号走线时，应尽量减少换层的次数。

#### 5) 走线分叉——stub

在阻抗匹配一节，已经提到 stub 会给信号带来反射，为减小 stub，需注意以下几方面。

(1) 信号分叉处用电阻间隔。如图 8.26 所示，FPGA 有两个可选的时钟源：CLK\_1 和 CLK\_2，通过电阻 R1 和 R2 进行选择。由于 R1 和 R2 只有一个能进入 BOM (Bill of Material, 物料清单)，在 PCB 设计时，R1 和 R2 之间的走线将成为 stub，因此，要求尽量地减小 R1 和 R2 之间走线的长度。

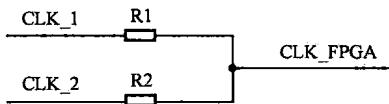


图 8.26 FPGA 的两个备选时钟电路图 1

在设计时比较容易忽略的是，设计者基于串阻靠近发送端的原则，将 R1 和 R2 分别靠近各自的时钟驱动器输出端，当两个时钟驱动器相距较远时，R1 和 R2 之间也相距较远，在这种情况下，可在分叉处增加两个  $0\Omega$  电阻 (R3 和 R4)，如图 8.27 所示。

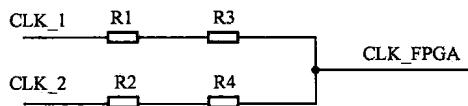


图 8.27 FPGA 的两个备选时钟电路图 2

采用电路图 2 后，只需保证 R3 和 R4 之间的连线较短即可。

#### (2) 高速信号线上过孔引入的 stub

当信号速率达到 10GHz，如 XFI 信号，极短的 stub 也会给信号带来严重的完整性问题。类似 10GHz 这种高速信号，拓扑结构往往是单点对单点，那么在走线上是否不存在任何 stub？

答案是否定的。事实上，只要信号利用过孔换层，就可能存在 stub。以某支持 XFI 接口的器件为例，其封装为 BGA，根据层叠结构设计，单板为 16 层，XFI 信号线在内层走线，可供选择的内层是第三层和第十四层，这两层的阻抗和 EMC 屏蔽效果完全相同，以下讨论对于 XFI 信号，哪一层是最佳的走线层。

信号从 BGA 扇出后，需要利用过孔，从第一层转入内层，本设计中，过孔类型为 1~16 层的通孔，若选择第三层为走线层，则过孔的 3~16 层部分将表现为 stub，若选择第十四层为走线层，则过孔的 14~16 层部分将表现为 stub。

十六层单板的总厚度一般为 2mm (约 80mil)，3~16 层的厚度约为 70mil，14~16 层的



厚度约为 10mil，因此，若选择第三层为走线层，由于过孔的存在，相当于在信号线上增加了一段长度为 70mil 的 stub，对设计者而言，当 70mil 的 stub 出现在信号的走线路径上，很容易受到重视，但对这种由于过孔而引起的 stub，则往往容易被忽略，其实，这两种情况都会对信号完整性构成影响，都需要得到同等的重视。

显然，在本例中，应选择第十四层作为走线层。

为减小由高速信号过孔产生的 stub，另一种方法是采用背钻技术（Back Drill），如图 8.28 所示。

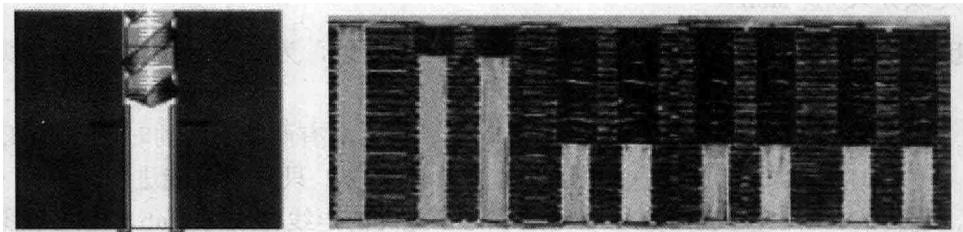


图 8.28 背钻技术<sup>[58]</sup>

在前面的案例中，若选择第三层为走线层，利用钻头将过孔 3~16 层的金属部分钻除，同样也能起到减小 stub 的作用。

### 【案例 8.7】 TCK 信号出现回沟导致无法通过 JTAG 接口对 CPLD 进行加载

某单板在调试中发现无法通过 JTAG 接口（对该接口的讨论将在 8.3.7 节进行）加载 CPLD。

#### 【讨论】

利用示波器测试 JTAG 接口的四个信号：TCK、TMS、TDI、TDO，发现在 TCK 信号上存在回沟，如图 8.29 所示。

图 8.29 TCK 信号上的回沟

TCK 信号电平为 LVTTL，高电平阈值为 2V，而回沟正好处于 2V 附近，出现了一次 TCK 上升沿触发两次数据采样的情况。

该设计中，将 12 个器件的 JTAG 接口串成一条边界扫描链路，链路如图 8.30 所示。TCK 信号的拓扑结构是单点对多点，以菊花链式连接多个器件，在源端串接  $33\Omega$  电阻。阻抗匹配一节已经讨论过，发送端串联匹配不适用于单点对多点的应用，信号上的回沟应是反射引起的。调试时，将串阻的阻值由  $33\Omega$  更改为  $0\Omega$ ，使回沟处的电平提高到 2.6V，避开了阈值门限，可以临时地解决该问题。

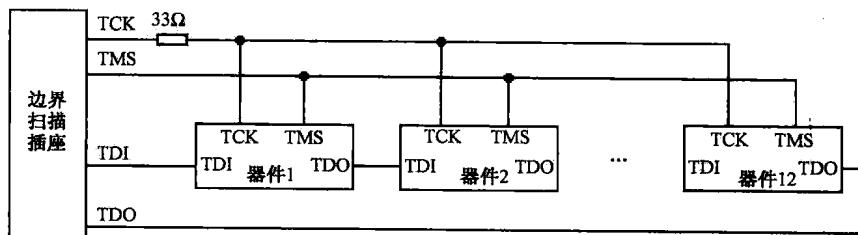


图 8.30 边界扫描链路

TCK 是 JTAG 接口中最关键的信号，虽然速率不高，但当负载数目过多时，仍然会产生完整性问题，对此，改板中做了以下改进。

一方面，更改 TCK 的匹配方式，采用接收端阻容并联匹配，即在器件 12 的 TCK 引脚与 GND 之间并联一个阻容电路，其中，电阻取值  $51\Omega$ ，电容取值  $220\text{pF}$ 。

另一方面，减少单条 TCK 链路的负载数目，在源端，先通过 74LVC244 将一个 TCK 信号驱动为四个信号，使得驱动后，每个 TCK 信号的负载减少为三个，信号负载减少后，同样有助于信号边沿的完整性。

#### 理解要点：

- ① 信号完整性的设计需关注的要点有：阻抗匹配、回路的连续性和无阻隔性、地弹、串扰等。
- ② 高速信号采用带状线。在成本允许的情况下，采用盲、埋孔技术，有利于获得更好的信号完整性。
- ③ 在布线的过程中，应注意避免出现尖角和线宽的变化，绕蛇形线时同样应满足 3W 原则。
- ④ 不能忽略过孔引入的 stub。

### 8.3.2 PCB 设计与电源完整性

在高速设计中，器件的低电压、高电流成为一种趋势。

定义电源平面的目标阻抗为：

$$Z_0 = \Delta V / \Delta I \quad (8.8)$$

式中  $\Delta V$ ——纹波电压的波动范围；

$\Delta I$ ——动态电流的波动范围。

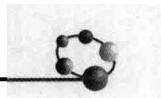
电源完整性设计的目标就是使单板上各处电源与地平面之间的阻抗低于目标阻抗  $Z_0$ ，因此，如何控制电源与地平面之间的阻抗，是电源完整性设计的关键。

利用电源完整性仿真工具软件，输入器件功耗、工作频率、电容容值、电容模型、电容布放位置、过孔模型、单板层叠结构等参数，可对单板上各处电源的阻抗进行仿真，根据仿真结果，可判断哪些地方可能存在电源完整性的问题，哪些地方电容布放得过多，哪些地方电容布放得不够，哪些地方的平面需要改进等。

本小节并不讨论如何应用软件进行电源完整性仿真，而将重点介绍在 PCB 设计中，针对电源完整性设计要点。

#### 1. 电源与地层之间的间距

减小电源层与地层之间的间距，有利于减小电源平面的阻抗。当二者之间间距较小



时，电源平面与地平面之间的层间寄生电容能发挥非常有效的滤波作用。

## 2. 电容的引脚引线

在高速电路中，电容有两个主要的作用：其一是为噪声等干扰提供到地的低阻抗通路；其二是为电流波动较大的器件提供本地电源“小池塘”。电容能否有效地发挥这两个作用，取决于电容能在多大的频率范围内保持较好的容性。

第 2 章提到，在低于谐振频率的频段内，电容表现为容性，反之则表现为感性。而电容引脚的引线长度在很大程度上决定了谐振频率点的位置。引线越长，电感性越大，则谐振频率点越低。

如图 8.31 所示，图 8.31 (a) 中的电容引脚引线太长，在低频段就表现出感性，更为严重的是，在低频段（即有效信号频段）还可能产生谐振，不仅没起到去耦的作用，反而影响了电源的完整性。一般而言，要求电容的谐振频率高于电路的有效频率（由信号上升沿速率决定），因此，高速设计中应尽量避免类似 A 这样的长引线。需注意的是，有的设计者试图通过加粗引线来减小阻抗，事实上，引线宽度加粗 1 倍，阻抗减小的比例不到 20%，而引线长度则与阻抗基本成线性关系。

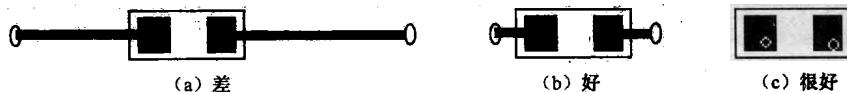


图 8.31 去耦电容的引线

图 8.31 (b) 是推荐的方案。

图 8.31 (c) 是使用盲孔、埋孔的设计方案。由于盲孔、埋孔的尺寸远小于通孔，便于实现焊盘上的过孔 (via on pad)，这种过孔不需要引线，能有效地避免由于 PCB 走线对谐振频率点的影响。

为进一步减小电容引脚引线的影响，在每个电容引脚上，可以接两个过孔；在使用盲孔、埋孔的场合，由于其过孔的尺寸相对较小，可在电容引脚焊盘上直接打多个过孔。这两种情况分别如图 8.32 (a) 和图 8.32 (b) 所示。

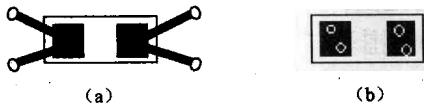


图 8.32 增强的去耦电容引脚引线方法

## 3. 花焊盘的使用

电源过孔应尽量采用花焊盘过孔，相对于普通信号过孔，花焊盘过孔的优势在于，一方面有利于提高通流能力，另一方面能有效地散热。

## 4. 通流能力的计算

针对通流能力，需考虑两点：电源过孔的通流能力、电源平面的通流能力。

计算通流能力的参考公式如下：

$$I_{\max} = K * T^{0.44} * A^{0.725} \quad (8.9)$$



式中  $I_{max}$ ——最大通流，单位为安培（A）；

$K$ ——降额参数，外层取值 0.048，内层取值 0.024；

$T$ ——通流路径上最大容许的温升，单位是 $^{\circ}\text{C}$ ；

$A$ ——通流路径的横截面积，单位是平方米尔 ( $\text{mil}^2$ )。

米尔是电路设计中常用的长度单位，米尔和毫米的转换关系是  $1\text{mil}=0.0254\text{mm}$ 。

### 1) 电源过孔的通流能力

如图 8.33 所示为某 DC/DC 电源电路输出端的 PCB 设计图，电路的输出端经电感后，形成输出电源  $V_{CC}$ ，A 区域为 PCB 表层的  $V_{CC}$  电源平面，通过五个过孔与 PCB 内层的  $V_{CC}$  电源层相接。满负荷时，流过电源  $V_{CC}$  的电流将达到 4.5A，A 区域五个过孔的作用即为将 DC/DC 电路输出的电源电流导入内层的  $V_{CC}$  电源层，以下将验证这些过孔的通流能力是否满足设计的要求。

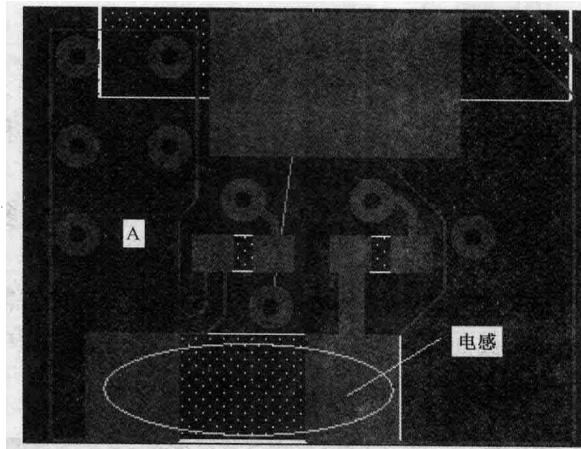


图 8.33 电源过孔通流能力计算示例

过孔的截面图参见图 8.2。A 区域过孔的规格是：外径 25mil，内径 10mil。其中内径是钻孔区，外径为焊盘区，铜箔填充于内径的壁上，厚度由 PCB 生产厂家控制，对该种过孔，取铜箔填充厚度为 1.5mil。

公式的各项参数取值如下：

$$K=0.048$$

$$T=10^{\circ}\text{C}$$

$$A=3.14 \times 10\text{mil} \times 1.5\text{mil}=47.1\text{mil}^2$$

因此有  $I_{max} = 2.1\text{A}$ 。降额 30% 后，取最大通流为 1.5A。设计中采用了五个过孔，其总通流能力能达到 7.5A，超过了电源  $V_{CC}$  的电流要求，因此，能满足设计的要求。

### 2) 电源平面的通流能力

式 (8.9) 同样适用于平面的通流能力计算。

PCB 设计中，对各层的厚度，一般采用 mil (米尔) 或 oz (盎司) 为单位，二者之间的换算关系是  $1\text{oz}=1.44\text{mil}$ 。盎司本身是质量的单位， $1\text{oz}=31.1\text{g}$  (g: 克)，在 PCB 上，一平方英寸的铜箔，当厚度为 1.44mil 时，其质量为 1oz，因此盎司经常被用于衡量铜箔的厚度。



以第 2 章 2.3 节的案例 2-14 为例，电源平面位于内层，宽度 550mil，厚度 1oz，则计算公式的各项参数取值为：

$$K=0.024$$

$$T=5^{\circ}\text{C}$$

$$A=550\text{mil} \times 1.44\text{mil}=792\text{mil}^2$$

因此有： $I_{\max} = 6.1\text{A}$ 。

### 3) 计算通流能力的注意事项

在大功耗电路设计中，通流能力的考量是非常重要的步骤。不论电源过孔，或是电源平面，一旦出现通流能力不足的情况，可能导致以下问题的出现：

**问题一**，电源平面过热，影响电源完整性；

**问题二**，接收端器件的电源输入端欠压。

本小节介绍了计算通流能力的公式，在应用中需注意以下几点：

- (1) 公式只能用于参考，必须充分降额后才能用于对设计的指导。
- (2) 谨慎地对各项参数取值。最高容许温升  $T$  的取值，分内层和外层两种情况，一般内层的最高容许温升低于外层。
- (3) 过孔的存在将减少通流路径的横截面积，当路径上存在较多其他信号的过孔时，应相应地增大路径的宽度。
- (4) 参考图 8.2，过孔常用两个参数定义：外径和内径。计算时需注意，不能使用外径与内径之间的面积作为通流横截面积，原因是，在 PCB 制作的过程中，过孔内的铜箔仅是贴在内径上的薄薄一层，并非在外径和内径之间都铺有铜箔。

#### 理解要点：

- ① 电源完整性设计的目标就是使单板上各处电源与地平面之间的阻抗低于目标阻抗  $Z_0$ 。
- ② 对通流能力的计算，应预留一定的裕量。

## 8.3.3 PCB 设计中的 EMC

### 1. PCB 设计中的 EMC 问题概要

EMC (Electromagnetic Compatibility)，即电磁兼容性，指在特定电磁环境下，电子设备（或电子元器件）之间相互协调工作的能力。目前，针对 EMC，国际组织已经建立起各种标准，电子产品必须符合相应标准后才能出售。

EMC 包括 EMI 和 EMS 两项。

EMI (Electromagnetic Interference)，即电磁干扰，指电子设备（或电子元器件）在工作时，产生的不利于其他设备（或元器件）的电磁能量。EMI 的测试项目包括传导干扰 (CE)、辐射干扰 (RE)、谐波干扰等。

EMS (Electromagnetic Susceptibility)，即电磁敏感度，指电子设备（或电子元器件）在工作时，应能承受的外部其他设备（或元器件）的电磁干扰能量。EMS 的测试项目包括传



导敏度 (CS)、辐射敏度 (RS)、静电放电 (ESD)、浪涌 (Surge)、电压跌落测试 (DIP) 等。

EMC 和信号完整性，针对的都是干扰，那么二者有什么区别？

(1) 设计关注点不同

信号完整性针对的电压波动量级是毫伏级，应用的原理是传输线效应原理。其设计关注点为反射、串扰、辐射等。

EMC 针对的电压波动量级是微伏级，应用的原理是传输线效应原理和天线原理，其设计关注点为传导、辐射、瞬态干扰等。

(2) 设计方法不同

信号完整性的设计方法包括：阻抗匹配，信号回路的连续性，地弹、串扰的避免，高速信号走线采用带状线，盲、埋孔技术的应用，布线技巧的应用等。

EMC 的设计方法可分为以下四点：屏蔽、隔离、滤波、接地。

(3) 解决问题的成本不同

在很多情况下，针对信号完整性出现的问题，能通过改变电路的电阻阻值、电容容值、增加电容、减缓信号边沿速率等方式解决。

EMC 出现的问题，则往往需要改板，甚至更改系统机框才能予以解决。在复杂高速单板的设计中，做计划时，往往需要预留最后一版的时间给 EMC 工程师。

(4) 相关工程师开始参与的阶段不同

EMC 是一项系统工程，根据产品出售的区域所要求的 EMC 标准不同，在需求分析阶段就必须考虑产品如何满足相应 EMC 标准的要求。

信号完整性更多地侧重于单板级，一般在概要设计阶段开始即可。

(5) 测试方法不同

信号完整性的测试，采用的仪器主要有：示波器、信号发生器、网络分析仪、TDR 测试仪、BERT 等。

EMC 测试，需要在暗室中进行，并借助各种天线、接收机、功率放大器、静电发生器、电流探头等仪器。

## 2. 解决 EMC 问题采用的设计要点

本小节不讨论如何进行 EMI 和 EMS 的测试，仅讨论高速电路设计中，解决 EMC 问题应注意的要点。

解决 EMC 问题应着重在三个方面入手：隔离干扰源、切断干扰传输路径、保护受扰体。以下的各个设计要点，均将围绕这三个方面来讨论。

### 1) 20H 原则和 3H 原则

为了减小单板的边缘辐射，要求电源层相对地层内缩一定距离，假定电源层与最近的地层之间的材质厚度是  $H$ ，则内缩距离要求为  $20H$ ，这就是 20H 原则，如图 8.34 所示。符合 20H 原则的单板，电磁能量的 70% 将被限制在板内，从而有效地减少了对外界的辐射。

3H 原则是指，长距离平行走线的信号线之间的间距应达到  $3H$ ，信号线走线距离参考平面的边界应达到  $3H$ ，其中，参数  $H$  是指信号层到参考层之间的材质厚度。

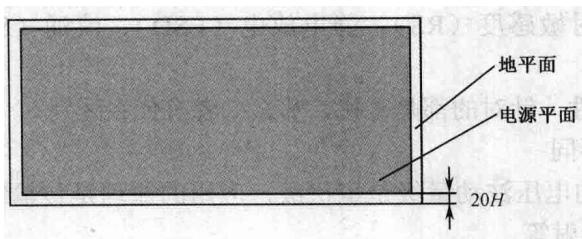


图 8.34 20H 原则

### 2) 法拉第电笼

在单板的边缘，每隔 100~200mil，打一个与内层地平面相连的地孔，从而为单板构筑一个法拉第电笼，该电笼能起到一定的屏蔽作用。为有效地发挥电笼的屏蔽作用，走线时需注意，不能将信号走线到电笼之外。法拉第电笼如图 8.35 所示。在表层推荐用一条宽度为 200~400mil 的地线将这些地过孔连接，在信号层，推荐用一条宽度为 20~40mil 的地线将地过孔连接，但不建议连线成环路。



图 8.35 法拉第电笼

### 3) 表层铺地

高速电路设计中，一般不推荐在表层走线，为充分地利用表层，推荐在表层做大面积铺地，以起到对第二层及倒数第二层的电磁屏蔽作用。

表层铺地时，必须充分地打地过孔，严禁出现孤立的铜箔。原因在于，当表层铜箔接地不充分时，将表现为天线，不仅没起到屏蔽的作用，反而加强了对外的辐射。

### 4) 散热片的接地

对含有高速接口（如 XAUI、XFI、SPI4.2 等）的器件，尤其是提供用户面板接口的器件，应对其散热片接地。散热片的接地，同样要求在接地铜箔上充分地打地过孔，以防散热片成为对外辐射的天线。

### 5) 晶振的处理

晶振等时钟源是产生辐射的重要源头，PCB 设计时需注意将其与单板上的其他线路进行隔离。有以下要点需注意：

**要点一，滤波。**使用磁珠与电容为晶振的电源引脚滤波，并使电容紧贴晶振等时钟器件的电源引脚放置。

**要点二，**在表层，晶振下方做挖空铜箔处理，不得走线或铺电源平面。

**要点三，**紧贴表层的第二层，若不是地层，则应在对应晶振的区域内做铺地处理，并用多个地过孔与地层相接。



### 6) 走线与安装孔等保持一定距离

单板上的安装孔、定位孔等是电磁能量向外辐射的通道，因此需使走线尽量地远离这些孔，推荐走线与安装孔等保持 30mil 以上的距离。

### 7) 避免走线上的尖角

这一点在信号完整性一节已经提到，除阻抗不连续外，尖角还能成为辐射的天线，因此，从 EMC 的角度而言，也应避免尖角的出现。

### 8) 在 LC 滤波电路上增加串阻，以减小电路的品质因数 $Q$

这一点已经在前面的章节提到过， $Q$  值与滤波电路中的  $R$ 、 $L$ 、 $C$  关系如下：

$$Q = \omega L / R = 1/\omega RC \quad (8.10)$$

因此， $R$  越大，则  $Q$  越小，而  $Q$  值的降低，有利于减小电路的振荡。

## 3. 差模辐射的抑制

电流路径构成的环路，相当于差模辐射的天线，如图 8.36 所示。

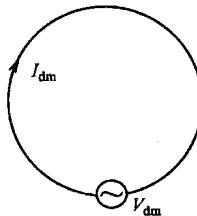


图 8.36 差模辐射示意图

由于环路的存在，空间中场强  $E$  的计算公式为：

$$E = k \times (F^2 \times A \times I) \times \sin\theta / R \quad (8.11)$$

式中  $k$ —差模辐射常数参量；

$E$ —场强强度，单位为 V/m；

$F$ —信号的有效频率，单位为 Hz；

$A$ —环路面积，单位为  $m^2$ ；

$I$ —电流，单位为 A；

$R$ —空间中的测试点距离环路的距离，单位为 m；

$\theta$ —测量点与环路所构成的角度。

由公式可知，差模辐射与信号的有效频率、环路的面积、电流的大小有关，尤其是，场强与信号有效频率的平方成正比，因此，减小差模辐射的要点有以下三项：

**要点一**，减小信号的频率。可以通过降频、延缓信号的边沿速率、滤波等途径实现。这是减小差模辐射最有效的途径。

**要点二**，减小环路的面积。在设计中，应尽量避免出现走线成环路的现象，同时，对差分对信号而言，缩小对内两信号之间的间距，也有助于减小环路的面积。

**要点三**，减小环路上电流的大小。针对这一点，选型时，在满足其他要求的前提下，应尽量选用弱驱动能力的芯片，在 FPGA 设计中，也应尽量配置引脚为弱驱动模式。



#### 4. 共模辐射的抑制

共模辐射同样是由环路引起的，与差模辐射不同的是，共模辐射中的环路由信号与周围的空间构成，表现为单向天线，如图 8.37 所示。

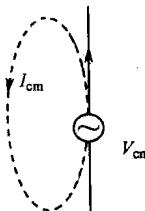


图 8.37 共模辐射示意图

共模辐射的计算公式为：

$$E = k \times (F \times L \times I) / R \quad (8.12)$$

式中， $L$  为共模电流路径的长度，单位为 m；除  $L$  外，其他参数的定义与差模辐射公式相同。

根据公式，共模辐射与信号的有效频率、走线长度、电流的大小有关，因此，减小共模辐射的要点有以下三项：

**要点一**，减小信号的频率。

**要点二**，减小信号的路径长度，这可以通过缩小信号层与参考层的间距、避免回路的间断等方式来实现。

**要点三**，减小路径上的电流，这可以通过提供“干净”的回流路径、降低器件的驱动能力等方式实现。

由于共模辐射常数参量远大于差模辐射常数参量，从量级上看，共模辐射远大于差模辐射，因此，对共模辐射的抑制是 EMC 设计的重点工作，同时，还要注意防止电路上的差模信号由于走线不对称而转换为共模辐射。

在第 1 章讨论高速信号的有效频率时提到，在有效频率以上的频段，信号的频域成分与频率的平方成反比，但由差模辐射和共模辐射的公式可看出，在有效频率以上，辐射的量值并不反比于频率，而是成正比关系，因此，在抑制辐射的设计中，滤高频和滤低频同样重要。

#### 【案例 8.8】 网口指示灯信号线引发的辐射问题

某以太网接口板在 EMC 测试中，发现辐射测试在 375MHz 超标。

##### 【讨论】

检查 PCB 设计文件，发现网口指示灯的信号走线跨越了电源分割面。对接口板，特别是电接口的单板而言，与用户接口的电路部分极容易出现 EMC、防护等方面的问题。

在本设计中，如图 8.38 所示，选用的电接口为带指示灯的 RJ45 接口，为避免板内电源的波动通过电缆传导出去，构成共模辐射，在 PCB 上，将 PHY 芯片的 2.5V 电源只铺到变压器一侧，变压器下做挖空处理，变压器的另一侧到电接口铺保护地。

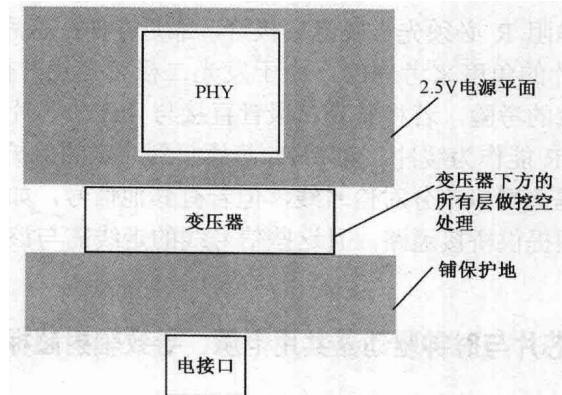


图 8.38 电接口平面分割

电接口的指示灯 LED 信号线由 PHY 芯片驱动，走线以 2.5V 电源平面为参考，跨越了分割平面，由于 LED 布放于用户面板处，因此，很可能是 LED 的走线将 2.5V 电源的噪声带到了面板处，并耦合到电接口上，最终由电缆传导出去。

在改板设计中，做以下两个改进。

**改进一**，将 LED 信号线的参考平面调整为地层，在单板信号地与保护地之间用电容桥接，并确保 LED 信号的回路能直接通过该电容桥，而无须绕到其他路径，如图 8.39 所示。

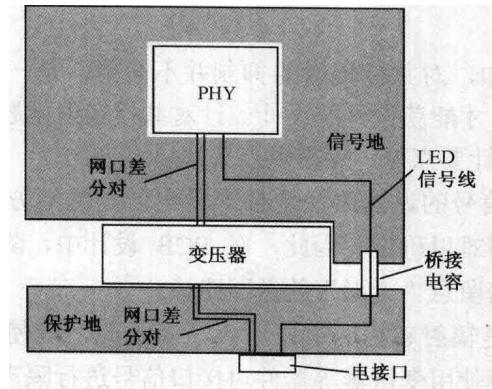


图 8.39 改进后的 LED 信号线走线

**改进二**，为 LED 信号线增加磁珠、电容等滤波器件。原理图如图 8.40 所示，其中，为 LED 供电的 2.5V 可由 2.5V 电源平面引粗线与磁珠相连，需注意，该 2.5V 的回流路径也必须与电容桥的位置重合。

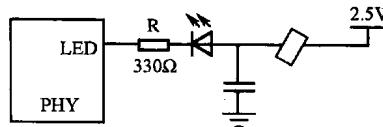


图 8.40 改进后的 LED 信号原理图

## 【拓展】

这是一个典型的共模辐射案例。在设计中，对所有靠近用户面板的信号线，都需要仔细地分析其 EMC 特性。在本案例 LED 信号线的处理中，还有以下要点需要注意：



**要点一**，信号线的串阻 R 必须先于发光二极管，靠近 PHY 芯片的 LED 引脚放置，这一点是从保护 PHY 芯片的角度来考虑的。由于发光二极管是用户面板器件，在防护测试中，需经受高压静电测试的考验，若将发光二极管直接与 PHY 芯片相连，测试时，很容易打坏 PHY 芯片，而串阻 R 能作为缓冲，对 PHY 芯片起到一定的保护作用。

**要点二**，变压器能隔离网口差分对信号线，但若有其他信号，如 LED 信号线，需直接连接到用户面板，则必须提供桥接通路，且这些信号线的走线需与该桥接通路重合，以提高回路的完整性。

### 【案例 8-9】 接口芯片与时钟驱动器共用电源，导致辐射超标

某单板做 EMC 测试，发现在 466MHz 附近辐射超标。

#### 【讨论】

接口芯片 U2 的供电电源有三种：内核电源 1.8V 和 1.2V，I/O 接口电源 3.3V。检查原理图，发现该接口芯片的 155.52MHz 时钟来自时钟驱动器 U1，且 U1 的供电电源 3.3V 与 U2 的 I/O 接口电源共用同一电源平面，因此，很可能是时钟驱动器 U1 对 3.3V 电源产生了干扰，进而 3.3V 电源上的干扰又影响了接口芯片 U2，最终通过接口芯片 U2 所连接的电缆将干扰传导出去。

改板时，增加磁珠以隔离 U1 和 U2 的 3.3V 电源，问题得到解决。

通过以上两个案例可知，对共模辐射的抑制并不简单，是一项系统工程，只有多多积累经验，不放过任何细节，才能获得好的设计。针对共模辐射问题，设计时，除需满足前面提到的针对 EMC 的各项设计要点外，还需重点关注以下方面：

- 针对共模辐射，信号的返回路径是最容易出问题的地方。当参考层出现间隙时，信号的返回路径将难以确定。因此，在 PCB 设计中，除关注“有形”的信号驱动路径外，还需加倍留意“无形”的返回路径。
- 接口信号受扰，是辐射超标的主要原因，基于此，应使信号波动较大的电路远离接口信号，并推荐使用变压器等器件对接口信号进行隔离处理。
- 尽量减少用户面板接口信号走线上的过孔。
- 对晶振、时钟驱动器、PLL 等器件的电源，必须通过磁珠等器件与其他器件的电源进行隔离。
- 在时钟信号线上使用串阻，并使串阻靠近发送端放置。
- 差分信号对称走线，以免产生共模分量，造成共模辐射。
- 尽量避免接口信号跨分割平面走线，若必须跨分割走线，则应在两分割平面间实现桥接，且使信号的返回路径与桥路重合，桥接的方式可采用电容、磁珠等。
- 推荐采用屏蔽电缆，应用时，需注意将屏蔽电缆的屏蔽层良好地接地。

#### 理解要点：

- ① EMC 和信号完整性在设计目标上的区别。
- ② EMC 设计，应着重在三个方面入手：隔离干扰源、切断干扰传输路径、保护受扰体。



### 8.3.4 PCB设计中的ESD防护

本小节介绍与 ESD (Electronic Static Discharge, 静电放电) 防护设计相关的器件选型以及设计要点。

#### 1. ESD防护器件

在单板的对外接口部分，常用的与防护设计相关的器件种类有 TVS 管、压敏电阻、气体放电管。

##### 1) TVS 管

TVS (Transient Voltage Suppressor) 管指电压型瞬态抑制二极管，一般并联在被保护线路之中。在功能上，TVS 管与稳压二极管相似，当输入电压突然增大，超过阈值电平时，TVS 管反向导通，并提供快速的电流泄放通道，从而将电压钳位在安全区域，后级电路得到保护，而当输入电压恢复正常后，TVS 管又能迅速地回到反向截止状态，不影响后级电路的正常工作。

与后面将要介绍的压敏电阻、气体放电管相比，TVS 管是响应最快，但也是通流能力最差的器件。

TVS 管 V-I 曲线如图 8.41 所示。

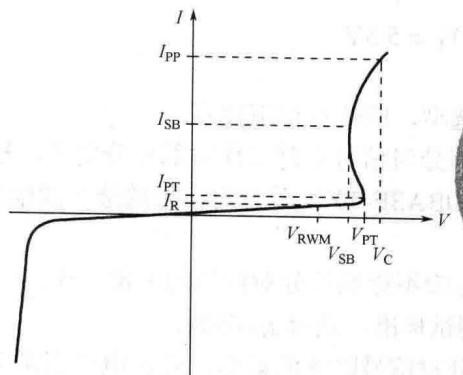


图 8.41 TVS 管的 V-I 曲线<sup>[47]</sup>

以 SEMTECH 公司的 SLVU2.8-4 为例，介绍 TVS 管的关键参数。

$V_{RWM}$ : 最高反向截止电压。当两端电压低于  $V_{RWM}$  时，TVS 管处于截止状态，管内仅有极小的反向漏电流  $I_R$  流过。

$V_{PT}$ : 最低导通电压。当两端电压高于  $V_{PT}$  时，TVS 管进入导通状态，此时管内流经的电流为  $I_{PT}$ 。

$I_{PP}$ : 峰值电流。TVS 管所能承受的最高电流，TVS 导通的电流达到  $I_{PP}$  时，两端电压达到最高钳位电压  $V_C$ 。

$C_J$ : 寄生电容。

$V_{SB}$ : 某些 TVS 管导通后，在一定的导通电流区间，随着电流的增大，两端电压反而减小，这种特性由  $V_{SB}$  和  $I_{SB}$  定义。 $V_{SB}$  和  $I_{SB}$  不属于关键参数，本小节不做过多的讨论。



一片 SLVU2.8-4 由 4 个 TVS 管组成，以百兆以太网电口差分对信号为例，说明对 TVS 管的应用。

百兆电口的信号由一收一发两对差分对构成（TX+/-、RX+/-），与 TVS 管的连接原理图如图 8.42 所示。每对差分对使用两个 TVS 管，目的是实现正向、负向过压的保护。

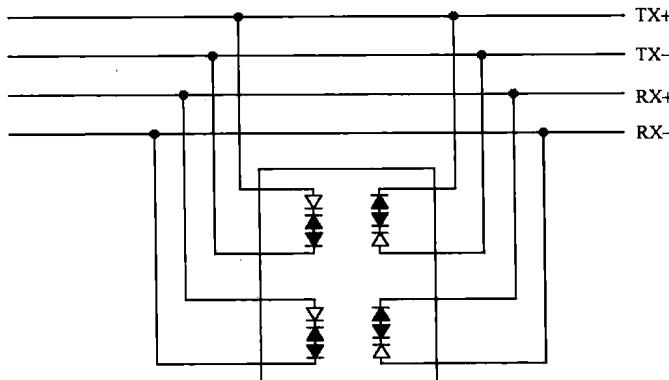


图 8.42 SLVU2.8-4 原理图<sup>[47]</sup>

对 SLVU2.8-4 而言，各项参数值如下：

$$V_{RWM} = 2.8V \quad I_R = 1\mu A;$$

$$V_{PT} = 3V$$

$$I_{PP} = 24A \quad V_C = 5.5V$$

$$C_J = 5pF$$

本例中，对 TVS 管的选型，应注意以下要点：

**要点一**， $V_{RWM}$  应高于差分对信号正常工作时的差分电平。根据 IEEE（电气电子工程师协会）规范，百兆电口（100BASE-TX）差分对信号的最高摆幅为 1.05V，2.8V 的  $V_{RWM}$  能满足该要求。

**要点二**，反向漏电流  $I_R$  应不影响差分对信号的正常工作。

**要点三**，根据产品的测试标准，选择  $I_{PP}$  参数。

**要点四**，权衡  $C_J$  对差分对信号眼图的影响。百兆电口正常工作时，TVS 管的  $C_J$  参数将对信号质量构成一定的影响，例如，由于容性的存在，眼图边沿速率将降低，同时电口的回损等参数也会受到影响。因此，在 TVS 管选型以及测试中，应结合多方面的要求，确定适合的器件。

### 【案例 8-10】 TVS 管布放位置不合理导致静电放电测试失败

某电接口板 TVS 管放置位置如图 8.43 所示。

测试发现，该单板无法通过静电放电的测试。

#### 【讨论】

在该设计中，设计者认为电接口信号速率较低（仅 2MHz），线路上的 stub 影响不大，同时受限于 PCB 的布局，用户面板附近器件太密，这使得 TVS 管与被保护的差分对信号线距离较远，以致保护失效。

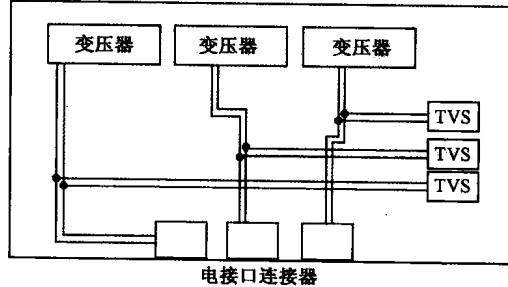


图 8.43 错误的 TVS 管放置位置

对接口电路的处理，需考虑的因素比较多，如前面提到的平面分割、EMI 抑制，以及本小节提到的 ESD 保护，同时接口部分的信号速率往往较高，因此，在 PCB 设计时，需要做出一定的权衡。如在本案例中，接口差分对信号上还连接有电容、电感等调节回损、眼图的器件（未显示在图上），出于布局的限制，TVS 管放置得较远，忽略了 TVS 管靠近主线放置的原则，导致问题的出现。

## 2) 压敏电阻

压敏电阻（VDR，Voltage Dependent Resistor），是指在一定电流和电压范围内，阻值随两端电压而变化的器件。压敏电阻一般并联在电路中，其保护机理与 TVS 管类似，当输入电压突然增大且超过阈值时，压敏电阻能将电压钳位到某稳定的电压值。

压敏电阻响应时间为纳秒级，略慢于 TVS 管，但远快于气体放电管，通流能力介于 TVS 管和气体放电管之间。

在应用中需注意，压敏电阻的寄生电容相对较大，不建议用于高速接口。

## 3) 气体放电管

气体放电管一般并联于接口信号的前端，其工作原理是，当放电管两端的电压超过阈值时，放电管击穿导通，两端电压降低，电荷快速地通过管体，从而实现了对后级电路的保护。两端电压恢复正常后，气体放电管恢复为断路，不对后级电路的工作造成影响。

气体放电管的响应速度较慢，为微秒级，但通流能力远高于 TVS 管和压敏电阻。另外，与 TVS 管和压敏电阻相比，气体放电管的寄生电容和反向漏电流最小，因此，对高速信号的影响也是最小的。

## 4) ESD 保护器件总结

TVS 管、压敏电阻、气体放电管三者的特性总结如下。

**响应速度：**由高到低分别是 TVS 管、压敏电阻、气体放电管。

**通流能力：**由高到低分别是气体放电管、压敏电阻、TVS 管。

**寄生电容：**由高到低分别是压敏电阻、TVS 管、气体放电管。

**反向漏电流：**由高到低分别是压敏电阻、TVS 管、气体放电管。

若结合三者同时实现对后级电路的保护，应遵循以下原则：

**原则一**，使响应速度最快的 TVS 管最靠近被保护的器件，而通流能力较强的气体放电管和压敏电阻则放置在接口的前端。即由接口的前级到后级分别放置：气体放电管、压敏电阻、TVS 管。



**原则二**，高速设计中应考虑保护器件的寄生电容对高速信号的影响。一般不建议在高速信号上使用压敏电阻。是否使用 TVS 管，需仿真其寄生电容对接口信号眼图、回损等参数的影响。

**原则三**，保护器件应就近放置于接口信号的主线路上，不能通过长引线连接到接口信号上。

## 2. 防护设计要点

### 1) 高、低压电路之间的爬电距离

在分布式电源架构中，通常由-48V（或 50V 等）电源作为单板的总电源，经一级隔离电源电路得到中间电源 IBV 后，再通过第二级非隔离电源电路获得板内器件所需的各种电源。在这种电源架构中，-48V 属于高压电源，其他电源可归为低压电源，在高、低压电源的布局和布线设计上，应注意有爬电距离的要求。

爬电距离指电平相差较大的导电体（如器件、PCB 走线等）之间应保持的最小距离。电路设计上应保证爬电距离的原因在于，电路工作时，导电体周围的 PCB 材质将被电极化，当相邻导电体的压差较大时，通过电极化后的 PCB 材质，能形成一条导电的通路，使得相邻导电体之间存在短路的危险。

在 PCB 上，高压电路（仅指与-48V、50V 等电源相关的电路，不包括 220V 交流电等）与其他低压电路之间的爬电距离要求为 1.4mm。在对爬电距离规则的应用中，有以下几个常见的误区：

**误区一**，只有-48V 电源才是高压电路。事实上，除-48V 电源外，-48V 电源的返回路径（称为高压电路的地，本书以 HV\_GND 代表）、-48V 缓启电路、-48V 滤波电路、-48V 的电压电流监控电路等，都应归为高压电路。

**误区二**，只在同一层上保证 1.4mm 的爬电距离。事实上，对多层板的层叠结构而言，两相邻层之间的距离一般都远远小于 1.4mm，因此，对处在相邻层之间的高、低压电路，同样要求满足爬电距离。

**误区三**，用 GND（单板上的普通信号地）对高压电路进行隔离。GND 属于低压电路，其与高压电路之间同样要求满足 1.4mm 的爬电距离。因此，在高压电路下的内层，建议将对应的电源平面、地平面做挖空处理。

**误区四**，既然在机框上将 GND 和 HV\_GND 连在一起了，那么单板上可以将这两个地合成一个。事实上，机框上将普通信号地和高压地连在一起，是基于 EMC、防护等多方面的因素，若在单板上直接将这两种地连在一起，则无法对低压电路起到保护作用。

### 【案例 8-11】 GND 和 HV\_GND 混用导致电源控制电路失效

某产品的业务板为-48V 电源电路添加了关闭功能，关闭信号由主控板输出，但测试发现，在业务板上，该关闭功能无法实现。

#### 【讨论】

关闭信号由主控板上的 FPGA 输出，该信号的参考回路是 GND，而-48V 电源电路的参考回路是 HV\_GND，HV\_GND 和 GND 在该产品上没有短接，导致关闭信号和电源电路的参考电平不同，关闭功能无法实现。



## 2) 单板与机壳地的搭接

静电放电测试一般在面板接口部分进行，因此，在面板接口处加强电荷的泄放路径有利于对内部电路的保护。RJ45是常见的用户接口，在面板上，通过簧片使RJ45接口与金属机壳可靠搭接，可有效地实现第一级电荷泄放。

在单板上，利用金属化过孔使单板地与金属机壳可靠搭接，同样有助于防护。

单板与机壳搭接的设计中，常见的错误有两个：其一是使绿油阻焊剂上金属化过孔，其二是在金属机壳上涂漆。这两种做法都将妨碍单板与机壳之间的可靠搭接，无法发挥防护的效果。

## 3) 对用户面板上按钮等器件的保护

电子产品的用户面板上，往往提供有供用户使用的按钮，以实现复位等功能。由于按钮与面板间不可避免地存在间隙，导致静电冲击极易通过该间隙泄放到电路上，因此，对按钮等器件的保护也是防护设计的一项重要课题。

有三项措施可用于该项保护：

**措施一**，使用气体放电管等ESD防护器件。

**措施二**，在按钮的信号线上，靠近面板处放置一个耐高压电容，如额定电压为2000V的1000pF电容。

**措施三**，在与按钮相连接的器件端，靠近器件放置一个 $330\Omega$ 的串联电阻。

## 4) 变压器的应用

在电子产品中，变压器被广泛地用做隔离防护器件。除防护功能外，变压器还能实现电压变换、阻抗变换、信号驱动能力的提高、信号质量的改善等功能。

如图8.44所示，以以太网电接口的发送端为例，对变压器的应用要点进行介绍。

图8.44中，PHY芯片输出的差分对信号TX+/-与变压器的初级相连，变压器的次级与RJ45连接器相连。在初级一侧，R1和R2为差分对信号提供 $100\Omega$ 的终端匹配，C1的作用是为差分对信号的共模分量提供回路，变压器初级的中央抽头连接到2.5V，作用是为差分对信号提供2.5V的直流偏置。

在次级一侧，TD+/-信号与RJ45连接器相连，变压器次级的中央抽头和RJ45连接器的空闲引脚需通过Bob Smith电路连接到保护地（用PGND代表）。

Bob Smith电路由 $75\Omega$ 电阻和高额定电压的电容组成，其作用是，一方面实现信号的阻抗匹配，另一方面为共模噪声提供到PGND的回路。该电路能有效地降低接口部分的EMI。

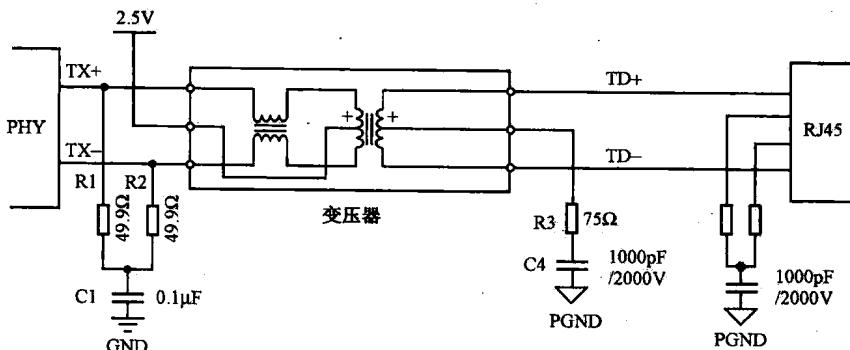


图8.44 以太网电接口发送端部分电路图<sup>[48]</sup>



在以上电路中，有以下要点需要注意：

**要点一**，在选型中，需关注变压器初、次级之间的绝缘耐压度，如 PULSE 公司的 H1200 变压器的耐压度为 1500V。在应用中，应根据隔离的要求针对该参数进行选型。同时，还需关注变压器的插损和回损参数，这些参数对接口的眼图、回损等性能指标都有一定影响。

**要点二**，信号地 GND 和保护地 PGND 应在变压器处进行分割，变压器下方的各层均应做挖空处理。变压器初级侧电路的参考为 GND，而次级侧电路的参考为 PGND，以变压器为界限，初级电路和次级电路应严格分开，不能交会走线。要求 PGND 与金属机壳可靠搭接。

**要点三**，Bob Smith 电路中的电阻，应选择通流能力强的型号，电路中的电容，应选择高额定电压的型号。在静电放电测试中，该电阻和电容将作为电荷的重要泄放通路，因此，对其通流能力和额定电压都有一定的要求。在 PCB 设计中，Bob Smith 电路的走线应加粗，且走线长度应尽量地短。推荐将电容的接地端直接与单板的金属安装孔相连，以便充分地发挥安装孔的放电通路作用。

**要点四**，Bob Smith 电路属于高压电路，电路中的电阻、电容的焊盘及其走线等，应远离 LED 指示灯等低压电路信号线。此处需特别注意的是，电阻和电容的焊盘尖角，是放电的重要路径，因此，必须使低压电路远离 Bob Smith 电路的电阻、电容的焊盘。

**要点五**，不可将多个电接口的 Bob Smith 电路合并成一个，以避免在静电放电测试时，出现各接口间相互干扰的情况。

**要点六**，变压器初级的中央抽头与 2.5V 的连线应加粗。

**要点七**，从防护的角度看，变压器与 RJ45 连接器之间的距离越近越好（某些 RJ45 内置有变压器）。但在某些单板上，PHY 与 RJ45 连接器之间的距离较远（例如，PHY 位于业务板，而 RJ45 连接器位于另一块接口板的情况下），此时，需借助变压器实现对差分对信号的驱动，在这种情况下，又希望变压器与 PHY 离得近一些，因此对 PHY 芯片、变压器、RJ45 连接器三者的布局，应权衡考虑。

**要点八**，在 GND 与 PGND 之间，至少应保证 100mil 以上的距离，两者之间可通过高額定电压的电容等器件形成桥接，在 GND 和 PGND 之间保持一定的距离，其目的是避免在静电放电测试时，出现绝缘层击穿而短路的现象。

**要点九**，在变压器次级，可根据信号速率、防护等级，相应地增加 TVS 管、压敏电阻、气体放电管等防护器件。

#### 理解要点：

- ① 常用的 ESD 防护器件有：TVS 管、压敏电阻和气体放电管等。
- ② 防护设计中，应注意高低压电路的隔离、单板与机壳的搭接、变压器等防护器件的应用。

### 8.3.5 PCB 设计与结构、易用性

结构设计是硬件设计的一个专业领域，本小节并不介绍与结构设计相关的专业知识，而是从电子设计工程师的角度出发，探讨在 PCB 设计中，针对结构与易用性方面，应考虑的问题。由于结构设计的专业性较强，本小节不再罗列设计要点，而是以案例为出发点，结合具体案例进行探讨。



### 【案例8-12】 网口指示灯排列顺序出错

某以太网接口板的网口采用指示灯与 RJ45 连接器分离的设计，设计完成后发现，指示灯的排列顺序与 RJ45 连接器的排列顺序不对应，如图 8.45 所示。

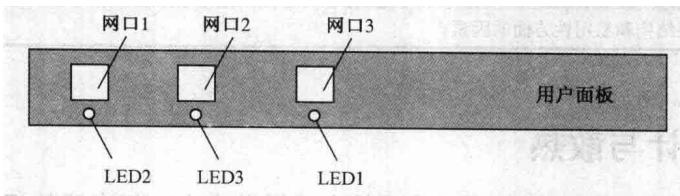


图 8.45 以太网 RJ45 网口与其对应的指示灯排列错误

RJ45 网口信号线与 LED 信号线由同一个 PHY 芯片驱动，但在 PCB 布局中，设计者没有考虑到二者之间的对应关系，仅仅因为小小的指示灯，就导致了 PCB 的改板。

#### 【讨论】

对产品结构的忽略，是电子设计初学者常犯的毛病。在本案例中，面板上 RJ45 网口连接器与指示灯的位置由结构工程师定义，但其排列顺序以及与单板上信号线的对应，却是电子设计工程师的职责。出现类似问题另一个可能的原因是，原理图设计者没有很好地与 PCB 设计者进行沟通，如像第 1 章提到的，在原理图上对应位置添加注释，应能避免该类问题的出现。

#### 【拓展】

类似的问题还有很多，以下再增加几例。

- (1) 用户接口的排列顺序与用户说明书不符合。
- (2) 用户接口的序号与用户应用软件不符。面板上往往提供用户接口的序号，用户应用软件中，对接口也有对应的序号，这两个序号是否相同？有时会出现面板上用户接口的序号从 0 开始增长，而用户软件中，接口的序号却是从 1 开始增长，这种情况应注意避免。
- (3) 用户接口的排列方式与产品中同系列的其他单板不同。

### 【案例8-13】 网口连接器堆叠方式与易插拔特性

堆叠式的 RJ45 网口连接器如图 8.46 所示，该设计体现了易插拔的特性。在 RJ45 连接器上有一个缺口，用于容纳电缆水晶头的卡钩，对堆叠式连接器而言，两 RJ45 连接器背对背的设计方法，有利于电缆的插拔。

#### 【讨论】

易用性是 PCB 设计的一个基本要求，以下再举几个例子：

- (1) 在调试阶段，某些设计上采用了跳线以选择不同的电路工作模式，在高密度板上，需注意，在这些位置，跳线帽是否容易插拔。
- (2) 在调试阶段，某些器件（如电阻、电容等）需要经常更换，则这些位置是否便于

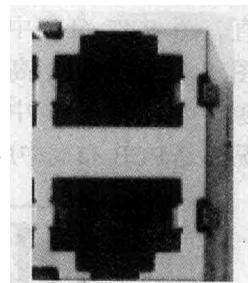


图 8.46 堆叠式 RJ45 网口连接器



电烙铁焊头的可靠接触。

(3) 某些经常使用的测试点，是否被器件的散热片覆盖，使得探头无法接触。

**理解要点：**

在 PCB 设计中，不能忽略结构和易用性方面的因素。

### 8.3.6 PCB 设计与散热

器件工作时，功耗的绝大部分将以热量的方式散发出去。每个器件都有一个稳定工作的温度范围，在器件资料中以结温或壳温定义，一旦超过这个范围，器件的性能将受到影响。

在高速电路设计中，对散热的考虑应结合几个要点：器件自身的功耗、器件功耗对周围器件的影响、散热通道。以下分别进行讨论。

#### 1. 器件自身的功耗

在概要设计阶段，设计者应对板上关键器件的最大功耗进行估计，根据该估计值，评估风扇风力、散热片是否足够。

某些高速器件片内带有温度传感器，温度超出阈值后，可输出告警信号，推荐将这种告警信号连接到控制器件的中断处理引脚。

在测试时，应利用温度探头监测器件外壳的温度，确保器件工作时，表壳温度处于器件资料所定义的范围之内。

#### 2. 器件功耗对周围器件的影响

晶振、存储器、Y5V 型的电容等器件，都属于温度敏感器件，在设计时，应尽量远离电源模块、LDO、高功耗器件等热源。

#### 3. 散热通道

如图 8.47 所示，列举几个散热通道不好的例子。图 8.47 (a) 中，散热片的齿型突起与风向垂直。图 8.47 (b) 中，连接器的排列方向与风向垂直，这两种布局都将构成对风道的阻挡。图 8.47 (c) 中，高功耗的器件处于进风口，对下风向的器件而言，其散发的热量等同于热源。图 8.47 (d) 中，高个器件位于进风口，对下风道的矮个器件起到阻挡作用。这四种情况都是 PCB 布局中应避免的。

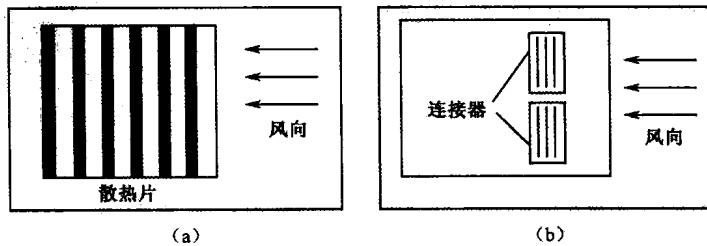


图 8.47 影响散热通道的 PCB 布局示例

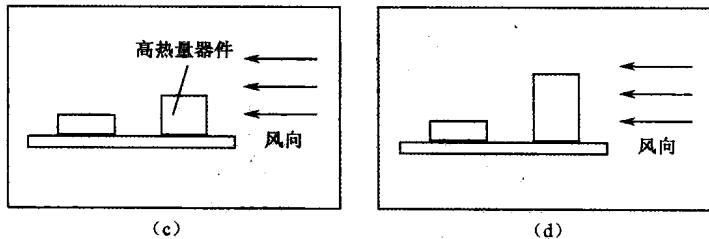


图 8.47 影响散热通道的 PCB 布局示例（续）

**理解要点：**

在 PCB 设计中，需从器件自身的功耗、器件功耗对周围环境的影响、散热通道等几个方面对散热进行考虑。

### 8.3.7 PCB 设计与可测试性

“可测试性”包括两个方面的内容，其一，生产的可测试性，其二，设计验证的可测试性。

#### 1. 生产的可测试性

生产可测试性的目的是检查单板加工过程中可能出现的短路、断路、虚焊、误焊、漏焊、错料等情况。单板越复杂，器件密度越高，可测试性的要求也越高。

单板设计中与可测试性相关的技术包括边界扫描、ICT 等。

##### 1) 边界扫描

边界扫描基于芯片的 JTAG 接口，将具有 JTAG 接口的芯片连成一条链路，通过该链路，可验证链路上各芯片之间的连接是否正确。

JTAG 是 Joint Test Action Group（联合测试行为组织）的缩写，现在已成为国际组织 IEEE 定义的边界扫描测试的标准接口，其标准编号为 IEEE1149。JTAG 接口不仅可用于器件引脚之间的连通性验证，还被广泛地用于可编程器件（如 CPLD、FPGA 等）的程序加载。

JTAG 接口包括五个信号：TCK、TDI、TMS、TDO、TRST，其中，TCK 为时钟输入信号，TDI 为数据输入信号，TMS 为模式选择信号，TDO 为数据输出信号，TRST 为复位输入信号。链路方式参见图 8.30。

对于支持 JTAG 接口的器件，其内部边界扫描单元如图 8.48 所示。

边界扫描单元为器件的每个 I/O 引脚各增加了一个边界寄存器（BR），并将这些边界寄存器连成链路，链路的输入端接 TDI 引脚，输出端接 TDO 引脚，从而构成边界扫描通道。测试数据由 TDI 输入，经器件内部边界寄存器链路后，从 TDO 输出，该链路的时序参考为 TCK，模式选择由 TMS 提供。

由于链路上所有的器件通过 JTAG 接口构成了一条完整的通路，通过 TDI 输入数据控制下的边界寄存器，即可发送测试数据到相邻的器件，同时又可接收来自相邻器件的测试数据，通过核对收发数据是否匹配，即可验证相邻器件之间的连接是否正确。

器件正常工作时，边界扫描功能被复位，边界寄存器被旁路，因此，边界扫描功能的存在，对器件的正常工作并不构成任何影响。

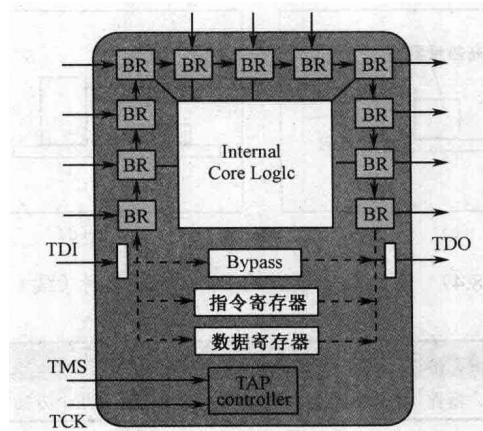
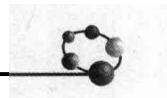


图 8.48 器件内部边界扫描单元的架构<sup>[59]</sup>

**JTAG 接口的应用要点如下：**

**要点一，** 测试数据从 TDI 输入，由 TDO 输出。TDI 接口输入的数据参考 TCK 的上升沿，TDO 接口输出的数据参考 TCK 的下降沿。TDO 接口最先输出的数据来自链路上最后一个器件。因此，在 JTAG 链路调试时，若发现在某器件处链路中断，一般可得出结论，即在链路中，该器件所处位置之后的链路是正确的。TMS 信号的参考为 TCK 的上升沿。TRST 为低电平有效的信号。

**要点二，** 为保证器件的正常工作，JTAG 接口信号应作上下拉处理。

TCK 下拉  $1k\Omega$  电阻（当链路上共用 TCK 信号的器件较多时，需相应地减小下拉电阻的阻值，但建议下拉电阻阻值不低于  $220\Omega$ ），将 TCK 下拉处理的原因是，防止在 TCK 引脚上产生有效的上升沿，进而误触发对 TDI 和 TMS 的采样。

TMS 上拉  $4.7k\Omega$  电阻（同理，当链路上共用 TMS 信号的器件较多时，需相应地减小上拉电阻的阻值，但建议上拉电阻阻值不低于  $0.5k\Omega$ ），将 TMS 上拉处理的原因在于，在 TMS 连续若干周期保持为高电平的情况下，JTAG 接口将进入旁路状态，以便保证对器件的正常工作不造成任何影响。

TDI 上拉  $4.7k\Omega$  电阻，且靠近输入端放置，将 TDI 上拉处理的目的是，在器件正常工作时，使 JTAG 接口能可靠地处于旁路状态。

由于发送端器件的 TDO 信号与接收端器件的 TDI 信号直接相连，无需再对 TDO 做上下拉处理。

TRST 下拉  $1k\Omega$  电阻（同理，链路上共用 TRST 信号的器件较多时，需相应地减小下拉电阻的阻值，但建议下拉电阻阻值不低于  $220\Omega$ ），对 TRST 作下拉处理的目的是，在器件正常工作时，使 JTAG 接口进入旁路状态。

在设计中需注意，某些器件的 JTAG 接口已经内置了上下拉电阻，则无需再进行外部上下拉。

**要点三，** 各个器件的 JTAG 接口电平标准可能不同，此时，需利用 74LVC125 等逻辑器件进行电平的转换。

**要点四，** 为方便链路调试，建议在相邻器件的 TDO-TDI 链路上串接  $0\Omega$  电阻，如图 8.49 所示。对于边界扫描链路上彼此相邻的三个器件，若怀疑链路的某处可能存在故障，为定位问题，可将 R1 和 R2 断开，用飞线将第一个器件的 TDO 引脚和第三个器件的



TDI 引脚连接，若链路恢复，则故障可定位到中间的器件。

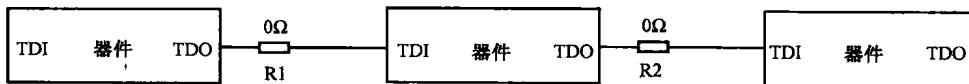


图 8.49 相邻器件的 TDO-TDI 链路用 0Ω 电阻串接

**要点五**，若 CPU 选用了 Freescale 公司的 PowerPC，需注意 CPU 的调试接口与 JTAG 接口存在复用的关系，例如，MPC8XX 系列 CPU 的 BDM（后台调试接口）和 JTAG 接口是复用的，而 MPC8XXX 系列 CPU 的 COP（片上处理器调试接口）和 JTAG 接口是复用的，在边界扫描测试时需注意将接口配置为 JTAG 模式。

## 2) ICT 测试

虽然边界扫描具有高效、标准化的优势，但其也存在以下局限性。

**局限性一**，测试只能在支持 JTAG 接口的器件之间进行，对不支持该接口的器件则无能为力。

**局限性二**，测试必须在单板上电后才能进行，若单板本身无法上电，则测试无法进行。

**局限性三**，通过边界扫描测试，无法获得两器件之间串阻的阻值、电容的容值等信息。

边界扫描的以上局限性，使其无法成为高密度单板唯一的测试方法，需配合其他的测试方法，共同实现生产中的可测试性。

ICT 则基本克服了边界扫描测试的局限性。ICT 指在线测试 (In Circuit Test)，是生产中最常用的测试方法。

与边界扫描相比，ICT 不仅能实现对短路、断路、虚焊等故障的检查，还能实现对电阻、电容等器件参数的测试。另外，与边界扫描相同，ICT 也能实现对可编程器件的程序加载。

ICT 测试通过针床夹具来实现与单板测试点的接触，一次只能并行测试有限的若干点，通过飞速地移动针头，以便在短时间内完成对全板的测试。ICT 测试夹具的设计需针对单板而进行，不同单板之间不能套用同样的夹具。因此，ICT 测试主要的缺陷是：一方面，夹具的成本相对较高；另一方面，ICT 程序的编写和夹具的设计需要一定的开发时间，且程序和夹具往往不具备通用性。

以下以电路中串阻阻值的测试为例，简单地介绍 ICT 的测试方法，如图 8.50 所示。

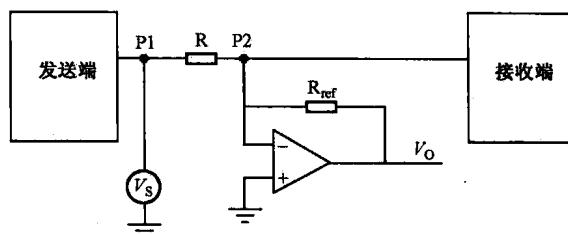


图 8.50 ICT 测试电阻阻值的原理图

电阻  $R$  是串联在发送端和接收端之间的匹配电阻，可利用放大器实现对  $R$  阻值的测量。如图 8.50 中，使 ICT 夹具的两个针头  $P_1$ 、 $P_2$  与  $R$  两端的 ICT 测试孔接触，同时，基于夹具提供的电压源  $V_s$  和参考电阻  $R_{ref}$ ，可由式 8.13 获得电阻  $R$  的阻值：



$$R = R_{\text{ref}} \times V_s / V_o \quad (8.13)$$

### 3) 测试的覆盖率

边界扫描和 ICT 是针对生产的两种测试手段，在单板的详细设计阶段，就需要评估这两种测试方法对单板信号的覆盖率。

为了实现 ICT 测试，在 PCB 设计时，需为对应的过孔加 ICT 测试属性，在 PCB 设计完成后，可获得一份 ICT 测试覆盖率的表格，根据这份表格，检出无法添加 ICT 测试孔的信号，并判断这些信号能否被边界扫描测试覆盖。结合 ICT 覆盖率和边界扫描覆盖率，就可以获得整个单板的测试覆盖率。一般而言，对复杂的单板，测试覆盖率应在 90% 以上。

## 2. 设计的可测试性

电路的设计是否成功，需通过周密的测试以验证。在详细设计阶段，设计者就需要考虑如何对设计进行验证。

对单板板内电气性的测试，包括以下项目：信号完整性测试、信号时序测试、电源纹波和噪声的测试、强度测试。

对前三项测试，前面章节已经有过详细的介绍，这里补充对强度测试进行简单的介绍。强度测试是指，通过人为引入的故障，加强电路的耐受力，以验证电路在极端情况下是否能正常工作。以下是几种常见的强度测试方法：

**方法一**，电源电路的强度测试，可在输入端人为地增加干扰，验证输出端的抗扰性。

**方法二**，时钟驱动器的强度测试，时钟驱动器对输入时钟的占空比、精度、抖动等都有一定要求，可通过频率发生器产生输入时钟，同时外加抖动，以使该时钟的参数达到时钟驱动器所要求的极限，以验证时钟驱动器在极限条件下是否能正常工作。

**方法三**，对数据总线的强度测试，可用金属片轻轻划正常工作中器件的数据引脚，以验证在短暂的数据出错后，器件能否恢复正常工作。

为了提高设计的可测试性，在 PCB 设计中，有以下要点需要注意：

**要点一**，对所有的关键信号，是否都有测试点，并且能有效地被探头接触？此处，有两点容易被忽略。其一，由于单板上其他器件（如散热片、较高的电源模块等）的存在，使得探头无法接触到测试点，而这种情况又难以从 PCB 设计图中发现。建议在 PCB 设计时，对关键的部分，应立体地思考问题；其二，在 BGA 封装的器件上，总线的某些控制信号可不连接，设计者可能忽略对该信号做 BGA 扇出处理，但在时序测试中却发现，这些信号对数据类型的判断起着重要的作用。因此，建议对 BGA 封装器件的所有信号，都做扇出处理。

**要点二**，在信号测试点附近，是否有地孔可被探头利用？高速信号测试中，探头地线的长短对测量结果有重要的影响，为测得真实的信号质量，应缩短地线的长度，避免地线成环，这就要求被测信号附近有地孔，以便探头的就近接地处理。

**要点三**，是否预留有强度测试的输入端。某些器件有专门的引脚，用于连接外界强度测试的输入，对于这些引脚，应连接有过孔以方便接触。

#### 理解要点：

- ① 在 PCB 设计阶段，需考虑边界扫描和 ICT 测试对单板信号的覆盖率。
- ② 在详细设计阶段就应考虑如何对电路进行测试，并在 PCB 设计中预留测试点等。

## 参 考 文 献

- [1] Howard Johnson, Martin Graham. High-Speed Digital Design-A Handbook of Block Magic. Englewood Cliffs, NJ: Prentice Hall PTR, 1993.
- [2] Kendall Castor-Perry, Tamara Schmitz. Know the sometimes-surprising interactions in modelling a capacitor-bypass network. USA: Intersil, 2008.
- [3] AVX. TPS Series, Low ESR. 2005.
- [4] Panasonic. Aluminum Electrolytic Capacitors/FC. 2005.
- [5] Linear. LT3080-1 datasheet, 2008.
- [6] TDK. SMD Inductors(Coils) For High Frequency(Multilayer), 2009.
- [7] INTEL. 3 Volt Intel StrataFlash Memory Datasheet, 2003.
- [8] CYPRESS. CY28405-3 datasheet, 2003.
- [9] GALILEO. GT48510A Network Switch Processors, 2000.
- [10] GALILEO. Design Considerations When Connecting a GalNet-3 Device to the SDRAM, 2000.
- [11] SANYO. SEPC Series, 2006.
- [12] FREESCALE. MPC8548E PowerQUICC III Integrated Processor Hardware Specifications, 2006.
- [13] TDK. SMD Inductors(Coils) For Signal Line(Multilayer, Magnetic Shielded), 2009.
- [14] TDK. SMD Inductors(Coils) For Power Line(Multilayer, Magnetic Shielded), 2009.
- [15] TDK. EMC Components Ferrite Beads SMD, 2002.
- [16] FREESCALE. MPC8280 PowerQUICC II Family Hardware Specifications, 2004.
- [17] PHILIPS SEMICONDUCTORS. PCA9555 16-bit I2C and SMBus I/O port with interrupt, 2002.
- [18] VECTRON. Absolute Pull Range Definition, 2006.
- [19] CYPRESS. CY2305 CY2309 3.3V Zero Delay Clock Buffer, 2008.
- [20] CYPRESS. CY2305 and CY2309 as PCI and SDRAM Buffers, 1997.
- [21] FREESCALE. MPC8280 PowerQUICC II Family Reference Manual, 2004.
- [22] TEKTRONIX. A Guide to Understanding and Characterizing Timing Jitter, 2005.
- [23] MAXIM. MAX3624 DATASHEET, 2007.
- [24] ANALOG DEVICES. ADM706 DATASHEET, 2007.
- [25] TEXAS INSTRUMENTS. Application Report SCLA015, Bus-Hold Circuit, 2001.
- [26] TEXAS INSTRUMENTS. Application Report SZZA036B, Understanding and Interpreting Standard-Logic Data Sheets, 2003.
- [27] TEXAS INSTRUMENTS. SN74LVC125A DATASHEET, 2005.
- [28] TEXAS INSTRUMENTS. SN74LVTH125 DATASHEET, 2005.
- [29] TEXAS INSTRUMENTS. CMOS Power Consumption and Cpd Calculation, 1997.

- [30] TEXAS INSTRUMENTS. Logic in Live-Insertion Applications With a Focus on GTLP, 2002.
- [31] TEXAS INSTRUMENTS. Power-Up 3-State(PU3S) Circuits in TI Standard Logic Devices, 2002.
- [32] TEXAS INSTRUMENTS. SN74ABT125 Datasheet, 2005.
- [33] MICRON. LVTTL DERATING FOR SDRAM SLEW RATE, 2000.
- [34] CYPRESS. Introduction to Cypress SRAMs, 2008.
- [35] MICRON. 512Mb:x4, x8, x16 SDRAM Features, 2000.
- [36] MICRON. General DDR SDRAM Functionality, 2001.
- [37] MICRON. 1Gb: x4, x8, x16 DDR SDRAM Features, 2003.
- [38] MAXIM. MAXIM 1510 Datasheet, 2006.
- [39] MICRON. DDR2 SDRAM Offers New Features and Functionality, 2006.
- [40] JEDEC. PC1600 and PC2100 DDR SDRAM Unbuffered DIMM Design Specification, 2001
- [41] JEDEC. 184PIN, PC1600/2100 DDR SDRAM REGISTERED DIMM DESIGN SPECIFICATION, 2003.
- [42] GSI. GS8128Z18/36B-250/200/167, 2006.
- [43] CYPRESS. AN4065, 2007.
- [44] LINEAR. LT1963A Series, 2005.
- [45] IRF. IRF6727MPbF Datasheet, 2009.
- [46] LINEAR. LTC3704 Datasheet, 2005.
- [47] SEMTECH. SLVU2.8-4 Datasheet, 2002.
- [48] PULSE. 10/100BASE-TX DUAL PORT TRANSFORMER MODULES, 2007.
- [49] 王剑宇. 以太网流控机制及其基于 VSC7323 的实现. 北京: 电子产品世界, 2008.
- [50] MAXIM. 深入理解 LVDS 失效保护电路, 2006.
- [51] NI. LVDS 用户手册, 2008.
- [52] MAXIM. HFAN-01.0: LVDS、PECL 和 CML 介绍, 2004.
- [53] 王剑宇. DDR2 SDRAM 介绍及其基于 MPC8548 CPU 的硬件设计. 北京: 电子产品世界, 2008 精选实用电子设计 100 例, 2008.
- [54] 周立功单片机发展有限公司. I<sup>2</sup>C 总线规范, 2004.
- [55] Abraham I. Pressman. 开关电源设计. 王志强. 北京: 电子工业出版社, 2005.
- [56] 久保寺忠. 高速数字电路设计与安装技巧. 冯杰等. 北京: 科学出版社, 2006.
- [57] Eric Bogatin. 信号完整性分析. 李玉山, 李丽平. 北京: 电子工业出版社, 2006.
- [58] 孔令文等. 大尺寸高多层背板的开发与产业化. 2006 春季国际 PCB 技术/信息论坛, 2006.
- [59] 孙颂伟等. 边界扫描测试的原理及应用. 现代表面贴装咨询, 2006.
- [60] 安田克治. 反射并吸收噪音的磁珠. TDK 株式会社, 2006.
- [61] David Ritter, Tamara Schmitz. 关于旁路电容的深度对话 (第一部分). [http://www.analog-eetchna.com/ART\\_8800533274\\_2600005\\_TA\\_346f6b13.HTM](http://www.analog-eetchna.com/ART_8800533274_2600005_TA_346f6b13.HTM), 2008.

[ G e n e r a l  
I n f o r m a  
t i o n ]

书名 = 高速电路设计实践

作者 = 王剑宇编著

页数 = 2 8 0

S S 号 = 1 2 5 9

4 5 2 2

出版日期 = 2 0 1

0 . 0 2

出版社 = 电子工业  
出版社

原书定价 = 42 .

00

参考文献格式 = 王  
剑宇编著 . 高速电  
路设计实践 . 电子  
工业出版社 , 20

10 . 02 .

内容提要 = 本书从  
设计实践角度出发  
, 介绍了在从事高  
速电路设计的工作  
中需要掌握的各项  
技术及技能 , 并结

合工作中的具体案例，强化了设计中的各项要点。详细研究了相关具体案例。在本书的编写过程中，作者避免了纯理论的讲述，而是结合设计实例叙述经验，将复杂的高速电路设计，用通俗易懂的语言陈述给读者。

封面  
书名  
版权  
前言  
目录

第 1 章 概述  
1 . 1 低速设  
计和高速设计的例  
子

【案例 1 - 1】简  
化的存储电路模块  
1 . 1 . 1 低  
速设计

- 1 . 1 . 2 高速设计
- 1 . 2 如何区分高速和低速
- 1 . 3 硬件设计流程
- 1 . 3 . 1 需求分析
- 1 . 3 . 2 概要设计
- 1 . 3 . 3 详细设计
- 1 . 3 . 4 调

试  
1 . 3 . 5 测

试  
1 . 3 . 6 转

产  
1 . 4 原理图

设计  
第 2 章 高速电  
路中的电阻、电容  
、电感和磁珠的选  
型及应用

2 . 1 电阻的  
应用

## 2 . 1 . 1 与 电阻相关的经典案 例

【案例2 - 1】串  
联电阻过大，导致  
板间告警失败

【案例2 - 2】电  
阻额定功率不够造  
成的单板潜在缺陷

【案例2 - 3】电  
阻在时序设计中的  
妙用

2 . 1 . 2 电

## 阻应用要点

### 2.2 电容的选型及应用

#### 2.2.1 与电容相关的经典案例

【案例 2 - 4】电容失效导致低温下硬盘停止工作

【案例 2 - 5】多次带电插拔子板导致母板上钽电容损坏

**【案例 2 - 6】高速电路中电容应用  
问题导致 C P U 工  
作不稳定**

**2 . 2 . 2 高  
速电路设计中电容  
的作用及分析**

**【案例 2 - 7】交  
流耦合电容选择不  
当引起数据帧出错**

**【案例 2 - 8】利  
用 0 6 1 2 封装的  
电容增强滤波性能**

【案例 2 - 9】 L  
D O 电源应用中的  
滤波电容 E S R 问  
题

【案例 2 - 1 0】  
高频电路中  $1 \mu F$   
 $+ 0.01 \mu F$  是  
否能展宽低阻抗频  
带

2 . 2 . 3      高  
速电路设计常用电  
容及其应用要点

【案例 2 - 1 1】

陶瓷电容选型错误  
导致单板丢数据包

【案例 2 - 1 2】  
根据电路要求进行  
钽电容选型

2 . 2 . 4      去  
耦电容和旁路电容  
2 . 3      电感的  
选型及应用

2 . 3 . 1      与  
电感相关的经典案  
例

【案例 2 - 1 3】

L C 低通滤波导致  
输出电源电压纹波  
偏大

【案例 2 - 1 4】  
大电流通路 P I 型  
滤波造成电压衰减

2 . 3 . 2 高  
速电路设计中电感  
的作用

2 . 3 . 3 高  
速电路设计常用电  
感及其应用要点

2 . 4 磁珠的

## 选型及应用

2 . 4 . 1 磁

珠的滤波机理

2 . 4 . 2 高

速电路设计中磁珠  
的选型及其应用要

点

【案例 2 - 1 5】

误用磁珠造成过流  
保护电路失效

2 . 4 . 3 磁

珠和电感的比较

第 3 章 高速电

# 路中的逻辑器件选型及高速逻辑电平应用

## 3 . 1 与逻辑器件相关的经典案例

【案例 3 - 1】逻辑器件输入端上拉太弱造成带电插拔监测功能失效

## 3 . 2 逻辑器件应用要点

### 3 . 2 . 1 逻

## 逻辑器件概要

【案例 3 - 2】逻辑器件驱动能力过强造成信号振铃

【案例 3 - 3】同一型号逻辑器件的差异性造成 PHY 配置错误

3 . 2 . 2 逻辑器件参数介绍

3 . 2 . 3 逻辑器件功耗计算

3 . 2 . 4 逻辑

# 辑器件热插拔功能 介绍

3 . 2 . 5      逻  
辑器件使用中注意  
事项的总结

3 . 3      高速逻  
辑电平应用

3 . 3 . 1      高  
速逻辑电平概述

【案例 3 - 4】差  
分对走线附近信号  
分布不均衡造成电  
磁辐射

3 . 3 . 2 L  
N D S 逻辑电平介  
绍及其应用要点

【案例 3 - 5】空  
闲输入引脚处理有  
误导致 F P G A 检  
测到错误输入

3 . 3 . 3 L  
V P E C L 逻辑电  
平介绍及其应用要  
点

3 . 3 . 4 C  
M L 逻辑电平介绍

## 及其应用要点

3 . 3 . 5 高速逻辑电平的比较

3 . 3 . 6 高速逻辑电平的互连  
及其应用要点

## 第 4 章 高速电 路中的电源设计

4 . 1 与电源  
相关的经典案例

【案例 4 - 1】 L  
D O 输出电源电平  
低于设置值

**【案例 4 - 2】电  
源芯片欠压保护电  
路导致上电时序不  
满足设计的要求**

**【案例 4 - 3】多  
电源模块并联工作  
时的均压措施**

**4 . 2 高速电  
路设计的电源架构**

**4 . 2 . 1 集  
中式电源架构**

**4 . 2 . 2 分  
布式电源架构**

## 4 . 3 高速电 路电源分类及其应 用要点

### 4 . 3 . 1 L D O电源介绍及其 应用要点

【案例 4 - 4】计  
算 L D O 工作时的  
结温

【案例 4 - 5】S  
ENSE 功能导致  
电源芯片输出电压  
不稳定

4 . 3 . 2 D  
C / D C 电源介绍  
及其应用要点

【案例 4 - 6】计  
算栅极电流

【案例 4 - 7】M  
O S F E T 同时导  
通导致 M O S F E  
T 损坏

【案例 4 - 8】 -  
4 8 V 缓启电路中  
M O S F E T 烧坏  
【案例 4 - 9】基

于ADM1066  
对多路电源实现监  
控

【案例4 - 10】  
基于LTC142  
2 实现上电速度的  
控制

【案例4 - 11】  
基于电源芯片实现  
上电速度的控制

【案例4 - 12】  
基于RC阻容电路  
实现延时功能

【案例 4 - 1 3】  
上电电流过大引起  
电感啸叫

【案例 4 - 1 4】  
输入电源上电过缓  
造成输出电源上电  
波形不单调

4 . 3 . 3      电  
源管理

4 . 3 . 4      保  
险管的选型及应用

【案例 4 - 1 5】  
热插拔单板的保险

管选型

## 第5章 高速电 路中的时序设计

### 5 . 1 时序设 计概述

### 5 . 2 时序参 数介绍

### 5 . 3 源同步 系统时序设计

#### 5 . 3 . 1 源 同步系统时序设计 原理

#### 5 . 3 . 2 源

## 同步系统时序设计 范例一

### 5 . 3 . 3 源 同步系统时序设计 范例二

### 5 . 4 共同时 钟系统时序设计

### 5 . 5 源同步 系统与共同时钟系 统的比较

## 第 6 章 高速电 路中的复位、时钟 设计

## 6 . 1 复位电 路设计

### 6 . 1 . 1 与 复位电路相关的经 典案例

【案例 6 - 1】主  
控板无法通过 P C  
I - X 总线查询到  
接口板

### 6 . 1 . 2 复 位设计介绍及其应 用要点

【案例 6 - 2】存

储模块读取的错误

6 . 1 . 3 专

用复位芯片的使用

6 . 2 时钟电  
路设计

6 . 2 . 1 与  
时钟电路相关的经  
典案例

【案例 6 - 3】系  
统时钟偏快的问题

【案例 6 - 4】P  
HY 寄存器无法读  
取的问题

## 【案例 6 - 5】高 温流量测试丢包问 题

6 . 2 . 2 晶  
体、晶振介绍及其  
应用要点

【案例 6 - 6】利  
用首个时钟沿启动  
组合逻辑导致 C P  
U 工作不稳定

6 . 2 . 3 锁  
相环及其应用

【案例 6 - 7】两

级锁相环的应用导致MPC8280的PCI时钟失锁

6.2.4 时钟抖动与相位噪声  
第7章 高速电路中的存储器应用与设计

7.1 与存储器相关的经典案例  
【案例7-1】时序裕量不足导致存储器测试出错

## 7 . 2 常用存 储器介绍及其应用 要点

### 7 . 2 . 1 存 储器概述

### 7 . 2 . 2 S D R A M 介绍及其 应用要点

### 7 . 2 . 3 D D R S D R A M 介绍及其应用要点

【案例 7 - 2】 D  
L L 缺陷造成 D D

R S D R A M时  
序出错

【案例 7 - 3】 V  
R E F 不稳定造成  
存储器读写操作出  
错

7 . 2 . 4 D  
D R 2 S D R A  
M介绍及其应用要  
点

【案例 7 . 4】 C  
P U 存储系统不识  
别 8 位内存条的问

题

7 . 2 . 5 S

R A M介绍及其应  
用要点

【案例7 - 5】片  
选处理不当导致 S  
R A M数据丢失

7 . 2 . 6 F

L A S H与E E P  
R O M介绍

【案例7 - 6】热  
插拔导致单板F L  
A S H损坏

【案例 7 - 7】读  
取百兆光模块信息  
出错

第 8 章 高速电  
路中的 P C B 及其  
完整性设计

8 . 1 与 P C  
B 及完整性设计相  
关的经典案例

【案例 8 - 1】回  
流路径缺陷对高速  
信号质量的影响

8 . 2 P C B

# 层叠结构与阻抗计 算

8 . 2 . 1 C

o r e 和 P P

8 . 2 . 2 P

## C B 的层叠结构和 阻抗设计

8 . 3 高速电  
路 P C B 设计要点

8 . 3 . 1 P

## C B 设计与信号完 整性

【案例 8 - 2】传

输线的判断

【案例 8 - 3】反射的计算

【案例 8 - 4】DDR SDRAM  
设计时，终端电阻  
RTT 布放位置的选择

【案例 8 - 5】大  
驱动电流信号对高  
速数据信号的串扰

【案例 8 - 6】高  
速接口器件批次更

换造成辐射超标

【案例 8 - 7】 T  
C K 信号出现回沟  
导致无法通过 J T  
A G 接口对 C P L  
D 进行加载

8 . 3 . 2 P

C B 设计与电源完  
整性

8 . 3 . 3 P

C B 设计中的 E M  
C

【案例 8 - 8】 网

## 口指示灯信号线引 发的辐射问题

【案例 8 - 9】接  
口芯片与时钟驱动  
器共用电源，导致  
辐射超标

8 . 3 . 4 P

C B 设计中的 E S  
D 防护

【案例 8 - 10】  
T V S 管布放位置  
不合理导致静电放  
电测试失败

**【案例 8 - 1 1】**  
GND 和 HV\_G  
ND 混用导致电源  
控制电路失效

8 . 3 . 5 P  
CB 设计与结构、  
易用性

**【案例 8 - 1 2】**  
网口指示灯排列顺  
序出错

**【案例 8 - 1 3】**  
网口连接器堆叠方  
式与易插拔特性

8 . 3 . 6 P

C B 设计与散热

8 . 3 . 7 P

C B 设计与可测试

性

参考文献